



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

CARACTERITZACIÓ ELÈCTRICA DE CIRCUITS CMOS
DIGITALS AMB DEFECTES TIPUS PONT:
IMPLICACIONS AL TEST PER CORRENT QUIESCENT

Memòria per a obtenir el títol
de doctora en ciències de:

Rosa Rodríguez i Montañés

Director:

Joan Figueras i Pàmies

Desembre 1992

5.2 La porta Nand

Per a la caracterització dels mòduls bàsics corresponents a la porta Nand i la porta Nor, s'han utilitzat les llibreries del paquet SOLO1400 d'SDA on els transistors n i p tenen les mateixes dimensions ($W = 15.2 \mu\text{m}$ i $L = 1.6 \mu\text{m}$). La tecnologia de fabricació d'aquests mòduls ha estat la *dual metal layer 1.5 μm CMOS ECPD15* d'ES2. En la Figura 5.20 s'il·lustra el *layout* i l'esquema elèctric de la porta Nand de dues entrades.

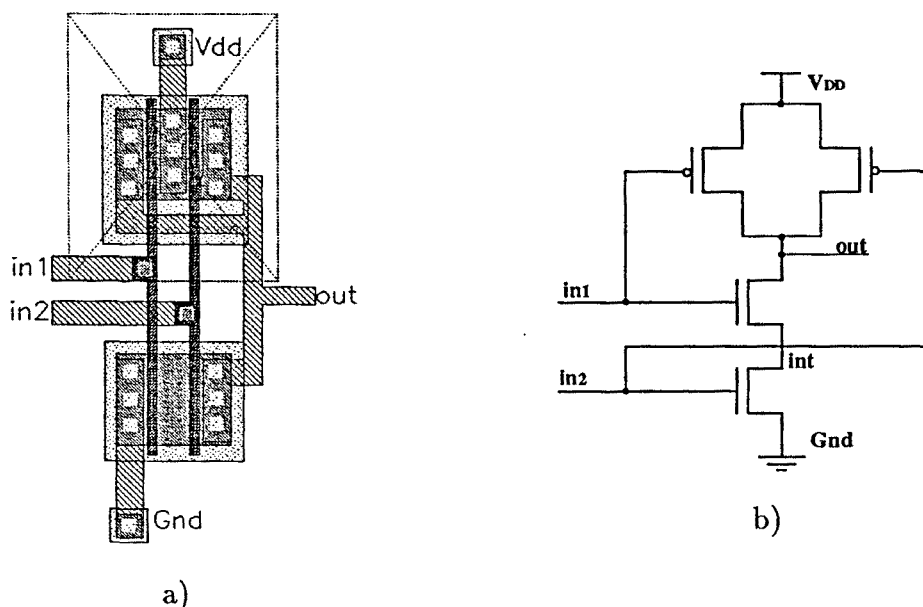


Figura 5.20: a) *Layout* i b) esquema elèctric de la porta Nand en tecnologia CMOS

Entre els sis nodes que componen al porta Nand (veure la Figura 5.20 b)) poden aparèixer els *ponts* classificats en la Taula 5.3 segons la classe de *SAD* que causen.

Classe A	Classe B	Classe C
$N_{out} - V_{DD}$	$N_{out} - N_{in1}$	$N_{in1} - N_{in2}$
$N_{out} - Gnd$	$N_{out} - N_{in2}$	
$N_{int} - V_{DD}$	$N_{int} - N_{in1}$	
$N_{int} - Gnd$	$N_{int} - N_{in2}$	
$N_{int} - N_{out}$		

Taula 5.3: Classificació dels ponts dins la porta Nand segons el *SAD* creat

Seguidament, es caracteritza el *Subdomini Analògic* de la porta Nand i Nor dividint-lo segons el *SAP* i el *SAD*.

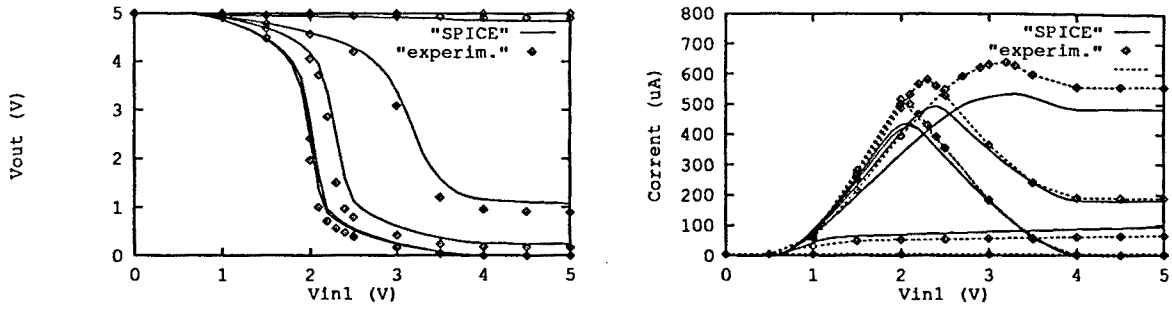


Figura 5.21: V_{out} i I_{DDQ} en funció de V_{in1} , amb V_{in2} com a paràmetre

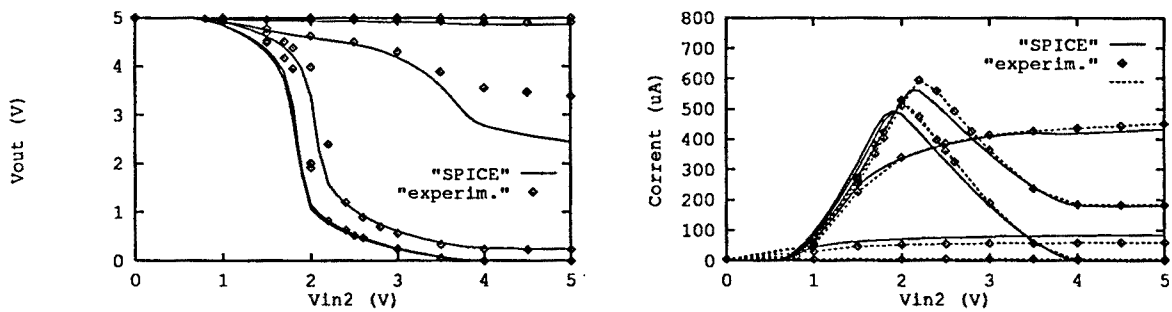


Figura 5.22: V_{out} i I_{DDQ} en funció de V_{in2} , amb V_{in1} com a paràmetre

5.2.1 Subdomini Analògic de Penetració

Quan la porta Nand pertany al *SA* en forma de *SAP*, la caracterització del corrent que per ella hi circula requerirà de la coneixença de la funció $I_{DDQ}(V_{in1}, V_{in2})$. En la Figura 5.21 i la Figura 5.22 es mostren les tensions de sortida i els corrents consumits per a escombrades de les entrades segons simulacions SPICE nivell 2.

Els voltatges de sortida del circuit *SAD* donen les tensions d'entrada a la porta Nand. D'aquesta forma, en els gràfics de les dues Figures anteriors, es pot extreure la informació elèctrica necessària per a la caracterització del *SAP*. Coneixent els voltatges de les entrades a la porta Nand, és, deduïble el corrent per ella consumit, i el voltatge de la seva sortida que determinarà la continuació o l'acabament del *SAP*.

5.2.2 Subdomini Analògic del Defecte

Depenent de quins siguin els *pont* curt circuitats pel *pont*, el *SAD* pertanyerà a una de les tres classes possibles *A*, *B* ó *C*. A continuació es fa una anàlisi d'aquestes classes.

SAD de la classe A

En la Figura 5.23 es mostren els camins de corrent creats pels *ponts* de la classe A en la porta Nand. De la topologia de connexió dels transistors per on circula el corrent quiescent se'n deriven les cotes màxima i mínima d' I_{DDQ} ; la cota superior correspon al *pont* $N_{int} - V_{DD}$ amb el transistor n inferior com a l'únic conduïnt; el corrent mínim correspon als *ponts* entre el node intern i la sortida o terra, ja que, el corrent travessa dos transistors en sèrie, un del qual és de canal p . En la Figura 5.24 es mostren aquestes dues corbes d' I_{DDQ} extremals pels *ponts* de la classe A juntament amb les tres restants.

En la Figura 5.25 es mostra la comparació entre les dades experimentals i les simulades pels corrents extremals.

A continuació es fa la caracterització dels corrents consumits pels *ponts* de classe B.

SAD de la classe B

En la Figura 5.26 s'il·lustren el *ponts* de la classe B amb llurs camins de corrent circulant per les portes *conductores* de la Nand. Es veu fàcilment com les corbes d' I_{DDQ} són iguals pels dos *ponts* entre la sortida i qualsevulla de les entrades; també són iguals pels dos *ponts* entre el node intern i qualsevulla entrada.

Les cotes de consum per a aquests *ponts* depenen de les xarxes de les portes *manadores*. Considerant només el conjunt de portes bàsiques, inversor, Nand i Nor de dues entrades, les cotes són fàcilment deduïbles:

- Cota Màxima

Correspon al cas dels dos transistors de canal p en paral·lel amb dos transistors de canal n . En el cas de la porta Nand, això, és pel *pont* $N_{out} - N_{inx}$ ($x=1,2$) i l'entrada N_{inx} alimentada per una Nor amb els dos transistors n tancats (Figura 5.27 i Figura 5.28).

- Cota mínima

Apareix amb el *pont* $N_{out} - N_{inx}$ essent, una porta Nor el mòdul *driving* (Figura 5.27 i Figura 5.28). La xarxa recorreguda per l' I_{DDQ} està formada pels dos transistors n en sèrie a l'igual que els dos transistors de canal p .

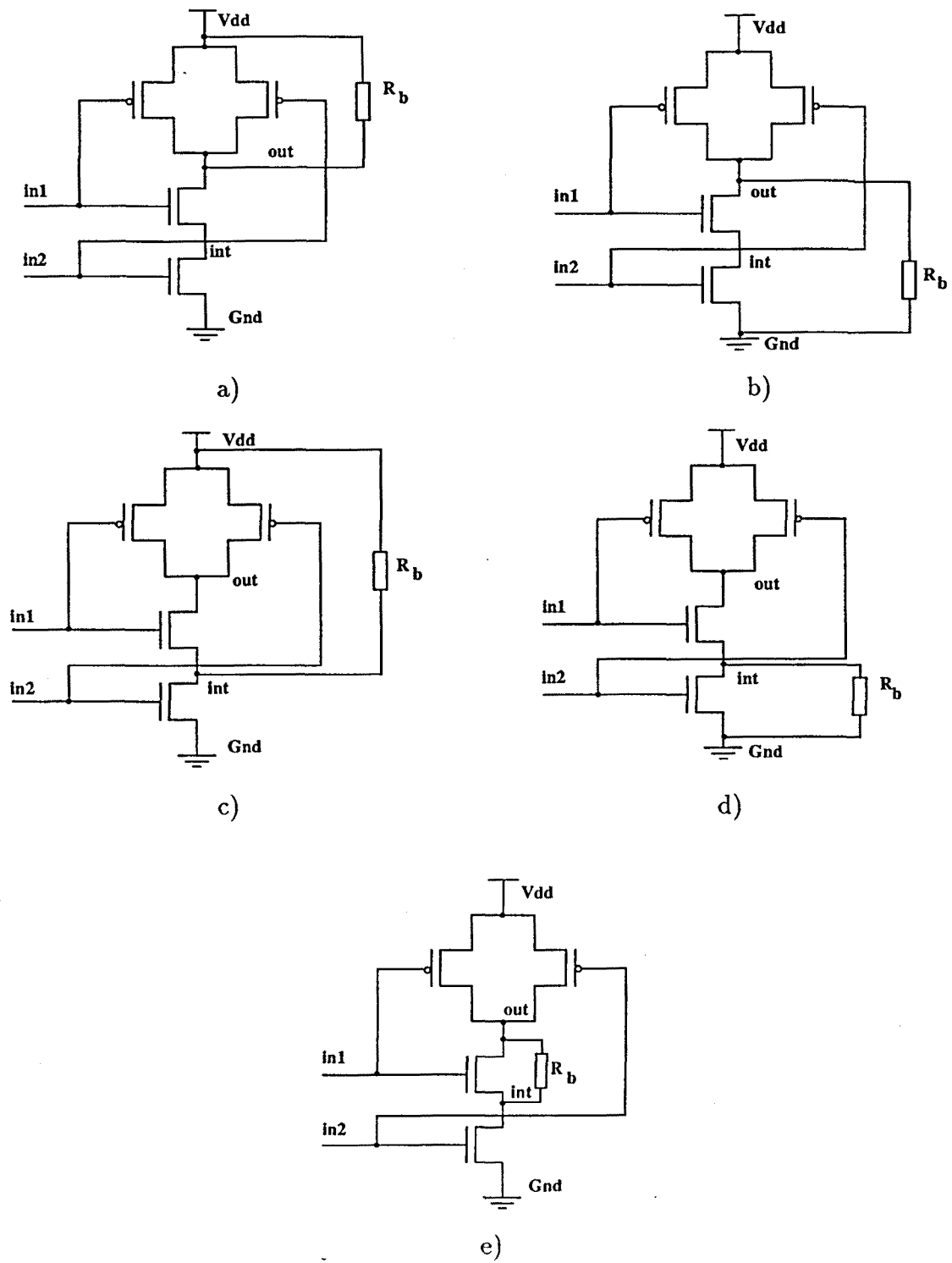


Figura 5.23: Camins de corrent pels ponts de la Classe A

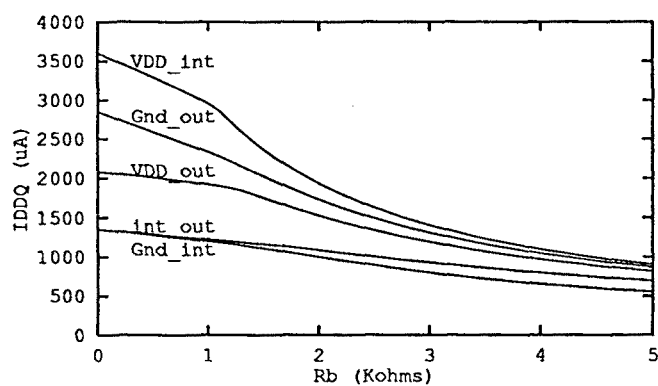


Figura 5.24: Corbes corresponents a la cota màxima i mínima dels punts del SAD de classe A per a la porta Nand

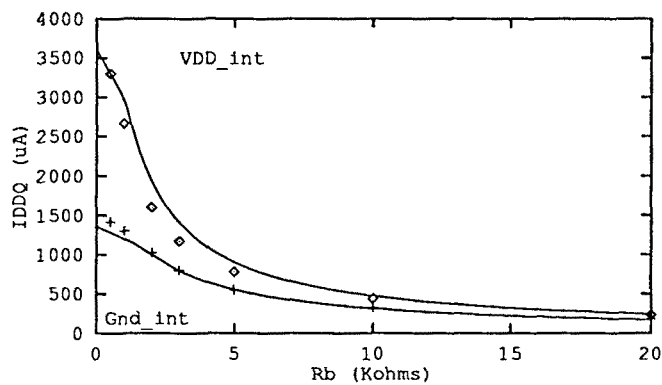


Figura 5.25: Corbes experimentals corresponents a la cota màxima i mínima dels punts del SAD de classe A per a la porta Nand

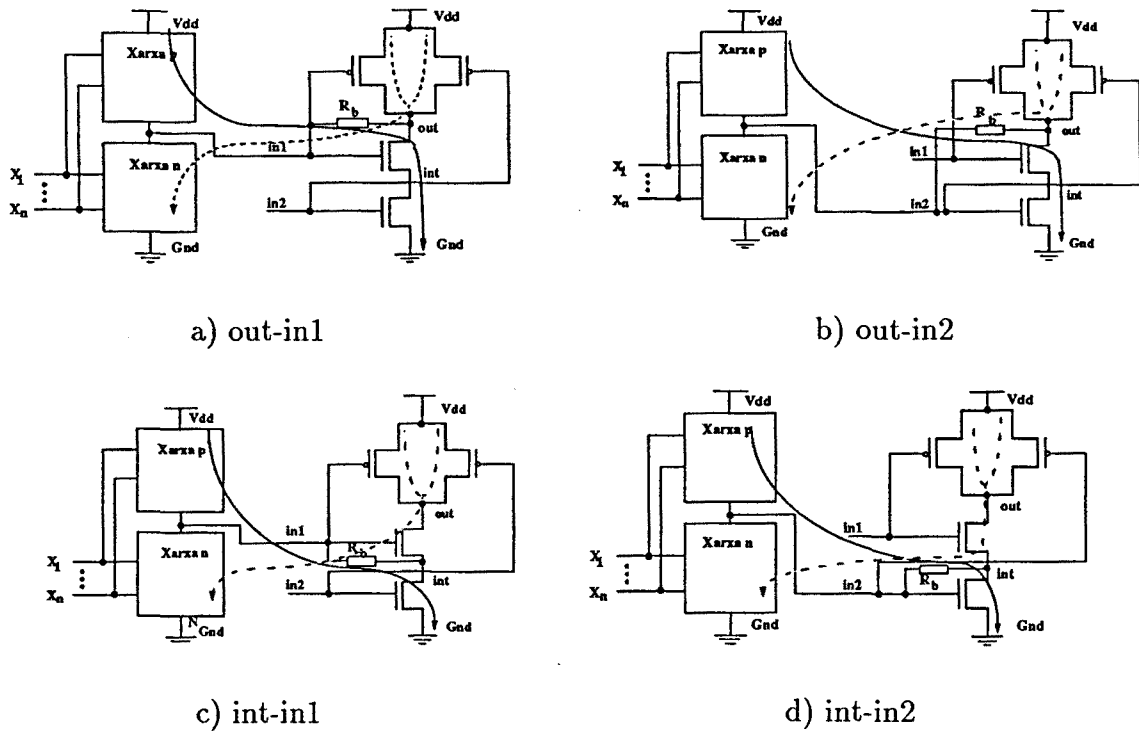


Figura 5.26: Camins de corrent pels ponts de la Classe B

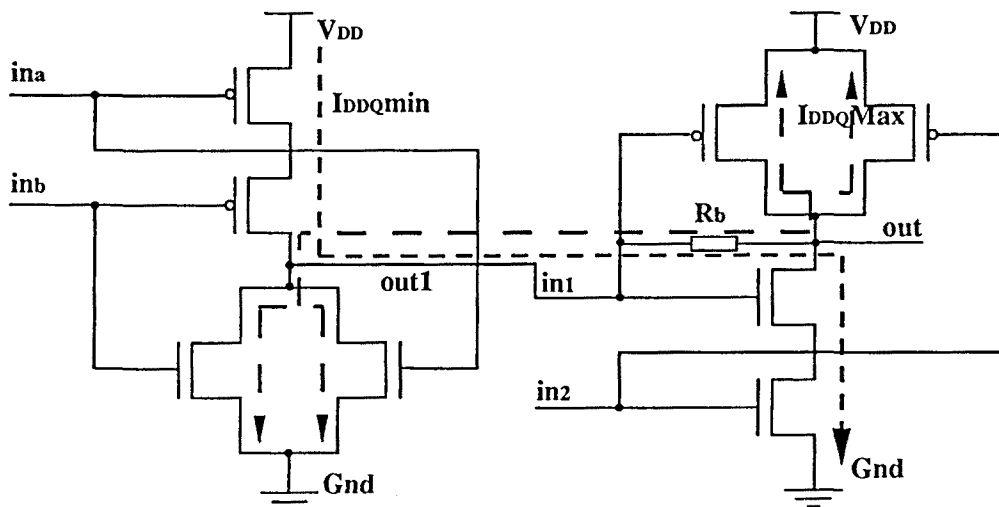


Figura 5.27: Corbes del corrent quiescent pels ponts de la Classe B

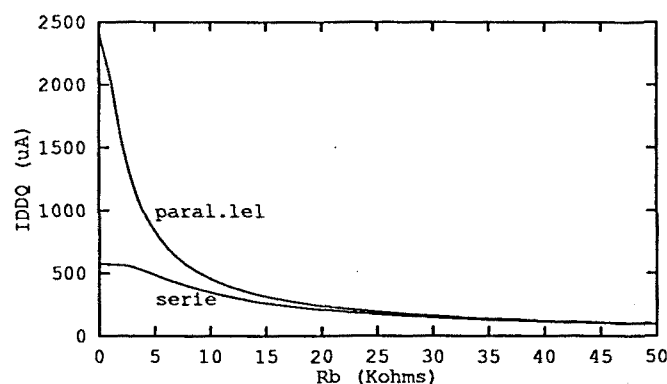


Figura 5.28: Corbes del corrent quiescent pels punts de la Classe B extrems corresponents a la Figura anterior

SAD de la classe C

En la Figura 5.29 es mostra el camí de corrent generat per l'únic *punt* de la classe C. L'ordre de magnitud del corrent depèn exclusivament de les dues portes *mandadores* de les dues entrades a la porta defectuosa. Les cotes màxima i mínima coincidiràn, doncs, amb la disposició dels transistors en paral·lel i en sèrie, respectivament, a l'igual que en la classe B (Figura 5.28).

5.3 La porta Nor

En la Figura 5.30 es mostra el *layout* d'una porta Nor alimentada per la sortida d'un inversor. El disseny d'aquestes dues portes ha estat extret de la llibreria del *software* d'SDA SOLO1400 i la tecnologia ha estat la mateixa que la utilitzada per a la porta Nand. El paquet utilitzat ha estat el SOLO2000.

L'aplicació de la metodologia presentada en les seccions anteriors, ha donat la mateixa correspondència de resultats, ara en el cas de la porta Nor.

5.4 Eina CUTLAB

La metodologia seguida en la caracterització realitzada sobre els mòduls bàsics combinacionals s'ha desenvolupat dins de l'entorn de disseny de *Cadence* en forma d'una eina anomenada *CUTLAB* (*Current Test Tool Layout Based*) [BAL92a]. Aquesta eina caracteritza elèctricament la porció de circuit defectuós que presenta comportament de tensions

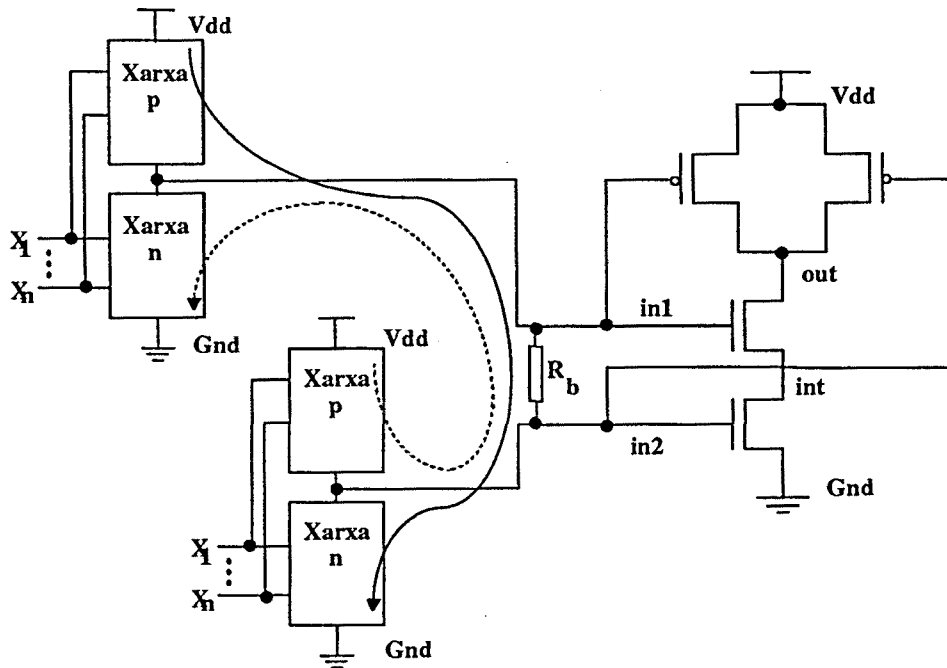


Figura 5.29: Camí de corrent pel pont de la classe C

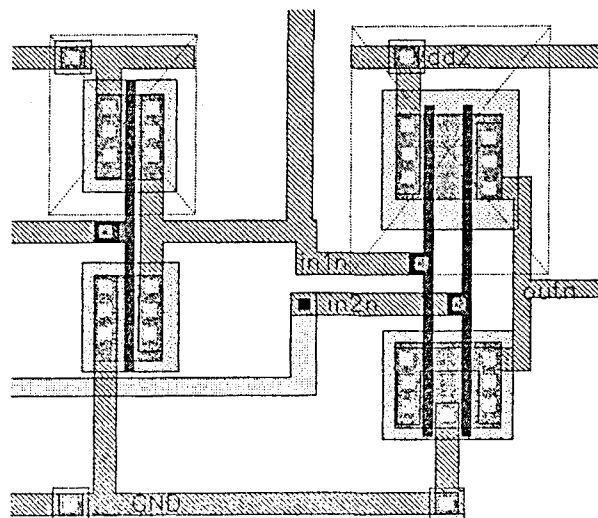


Figura 5.30: Lajout d'una porta Nor alimentada per un inversor

o corrents analògics, DA . Aquesta porció del circuit és identificada per l'anàlisi IFA a partir d'una inspecció realitzada sobre la descripció del *layout* del circuit. La simulació del DA és realitzada per un simulador elèctric standard com SPICE o HSPICE. La resta del circuit és simulada a nivell lògic, el que fa que el temps de computació requerida per a la caracterització del comportament defectuós es mantingui constant independentment de la grandària del circuit. L'única fracció del circuit simulada a nivell elèctric és el SA que, com ja s'ha comentat anteriorment, queda limitat a pocs nivells lògics [BAL92b].

5.5 Conclusions

En aquest capítol s'ha caracteritzat el comportament de mòduls bàsics combinacionals, Not, Nand i Nor. S'ha simulat el SA del circuit i s'ha mesurat experimentalment el corrent i els voltatges generats. Mentre el test per voltatge per a resistències de pont de l'ordre de pocs $K\Omega$ deixa de garantir la detecció del *pont*, el test per corrent cobreix un rang superior en la detecció. La metodologia seguida s'ha desenvolupat dins l'entorn de disseny d' SDA en forma de l'eina $CUTLAB$. La caracterització del corrent consumit pel circuit defectuós amb aquesta eina és acurada amb el mateix ordre que ho és el simulador elèctric utilitzat, mentre el temps requerit és independent de la mida del circuit total.

En el capítol següent s'aplicarà la mateixa metodologia de caracterització sobre dos mòduls bàsics seqüencials i s'analitzarà la testabilitat lògica i per corrent dels resultats trobats.

Capítol 6

Caracterització d' I_{DDQ} en mòduls bàsics seqüencials

En el capítol anterior s'han caracteritzat mòduls bàsics combinacionals així com s'ha estimat el consum d'aquests en presència de *punts* resistius. En el capítol present, s'aplica la mateixa metodologia presentada sobre dos mòduls bàsics, aquesta vegada, seqüencials. El primer mòdul escollit ha estat una cel.la de memòria estàtica per ser una estructura molt freqüentment emprada. El segon mòdul escollit ha estat una cel.la *scan-path* de la llibreria del paquet SOLO1400 utilitzada en dissenys per a la testabilitat que utilitzen les tècniques *scan*. Es clourà el capítol amb les conclusions sobre la metodologia utilitzada i els resultats obtinguts.

6.1 Cel.la de memòria estàtica

En aquesta secció s'analitzen les cobertures del test lògic i del test de corrent en la detecció dels defectes que poden afectar una cel.la de memòria estàtica de lectura. Un treball recent realitzat per Philips sobre una memòria estàtica RAM de 8Kx8 presentà, en [MEE90], resultats simulats i experimentals de les esmentades cobertures obtingudes. La cel.la en qüestió era una cel.la SRAM de sis transistors. Els estudis mostraven com el 86 % dels defectes (d'un total de trenta tres classes) causaven augment del corrent, sobretot, durant la fase d'escriptura, en la que s'obligava als nodes curt circuitats a prendre valors lògics oposats. Un 5 % dels defectes no provocaven ni error lògic ni augment de corrent quiescent. Del total de 7000 mostres mesurades, només cinc circuits provocaren corrent elevat però comportament lògic correcte. Un 30.7 % dels defectes només foren detectats pel test lògic.

La cel·la de memòria considerada, en aquesta tesi, és la cel·la estàtica amb doble port de MATRA M.H.S. presentada en [FER90c]. L'estructura bàsica està composta per dos inversors CMOS i quatre transistors nMOS que controlen l'accés des dels dos ports, com es mostra en la Figura 6.1. Els senyals associats al primer port, que anomenarem port dret, són les línies de *bit* i *bit* anomenades *BLR* (*Bit Line Right*) i *BLRB* (*Bit Line Right Bar*), respectivament. Els senyals relacionats amb el port esquerre són, anàlogament, els *BLL* i *BLLB*. Les ordres de selecció que arriben a la cel·la ho fan per les línies *WLR* (*Word Line Right*) i *WLL* (*Word Line Left*) depenent si ho fan pel port dret o esquerre, respectivament. En la Figura també es mostren els dimensionats del vuit transistors. Les simulacions, fetes amb SPICE, han estat realitzades amb els paràmetres de la tecnologia SCMOS a nivell 3 proporcionats per MATRA M.H.S.

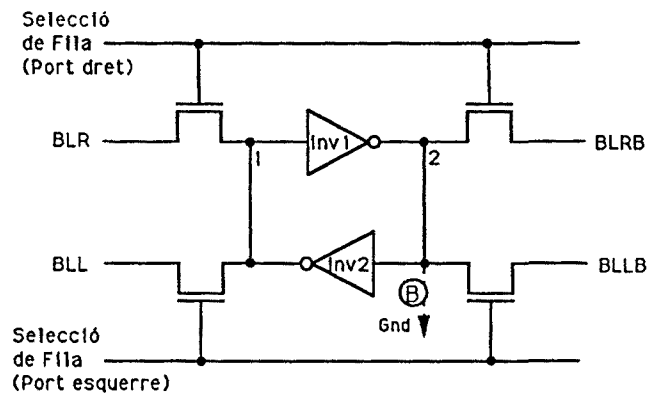


Figura 6.1: Esquema elèctric de la cel·la (cortesia de MATRA M.H.S.)

6.1.1 La cel·la defectuosa

El grup de *punts* afectant a la cel·la ha estat extret pel procediment IFA [SHE85], [FER88], realitzat sobre el *layout* subministrat per MATRA M.H.S. (Figura 6.2). Les modificacions elèctriques introduïdes dins la cel·la han estat classificades en grups com es mostra en la Taula 6.1. Assumint una funció de la densitat de probabilitat del diàmetre de les taques causants dels *punts* de la forma $F(d) = \frac{A}{d^3}$, es dedueix com no tots els *punts* tenen la mateixa probabilitat d'ocurrència. Els *punts* que necessiten de taques massa grans es poden menysprear considerant-los improbables i són marcats amb el símbol "-" en la Taula. Es veu com *punts* entre línies diferents poden causar modificacions elèctriques equivalents dins la cel·la. Així, degut a aquesta equivalència causada per la simetria del

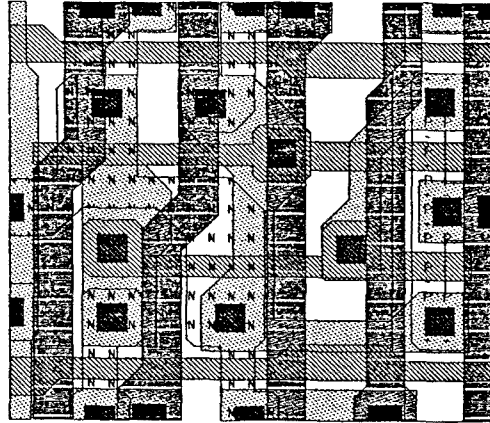


Figura 6.2: Layout de la cel·la (cortesia de MATRA M.H.S.)

Nodes	N_2	Gnd	V_{DD}	BLR	BLRB	BLL	BLLB	WLR	WLL
N_1	A	-	C	D	D	D	D	F	F
N_2		B	C	D	D	D	D	F	F
Gnd			-	-	-	G	-	H	H
V_{DD}				-	L	-	-	J	J
BLR					-	K	K	M	N
BLRB						K	K	M	N
BLL							-	N	M
BLLB								N	M
WLR									-

Taula 6.1: Classificació dels ponts probables dins l'estructura bàsica de MATRA M.H.S.

circuit, per exemple, tots els *ponts* anomenats *D* en la Taula 6.1 són provocats per la connexió entre una línia d'informació (BLR, BLRB, BLL o BLLB) amb un dels dos nodes interns (N_1 , N_2); el comportament defectuós introduït pels quatre *ponts* *D* és equivalent.

La caracterització dels comportaments de la cel·la defectuosa es farà, separatament, en tres dos grups de fallades causades. En el primer grup es consideraran els *ponts* que només afecten els nodes interns N_1 i N_2 i a les alimentacions. En el segon grup es presentaran els resultats pels *ponts* que afecten, com a mínim, un node diferent als abans dits.

Per a cadascun dels defectes dins la cel·la es simularà el seu comportament tant durant la fase d'escriptura com durant la fase de memorització. Les informacions conduïdes a les línies de *bit* i $\bar{\text{bit}}$ seran les dues possibles, (0, 1) i (1, 0).

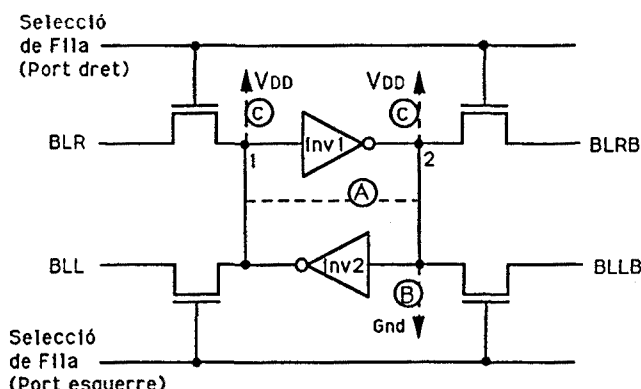


Figura 6.3: *Ponts independents a la circuiteria externa a l'estructura bàsica*

Ponts interns a l'estructura bàsica

D'entre el grup de *ponts* generats per IFA, es troben tres que són independents de l'estructura externa a la cel.la, i.e., són independents als circuits manadors de les línies de bit i de selecció. Aquests tres *ponts* són els mostrats en la Figura 6.3 i afecten, només, als nodes interns N_1 i N_2 i als nodes d'alimentació, V_{DD} i Gnd . El *pont* anomenat *A* és el que connecta els dos nodes interns, N_1 i N_2 , introduint una realimentació que en el subapartat següent serà analitzada. Els altres dos *ponts*, el *B* i el *C*, connecten un node intern amb terra i alimentació, respectivament. Aquests dos darrers *ponts* provoquen comportaments defectuosos simètrics en connectar un node intern a un valor fix. A continuació es presenten els resultats.

- Pont $N_1 - N_2$

Quan la resistència que connecta els dos nodes interns és nul.la, l'estat escrit dins la cel.la és $N_1 = N_2 = V_{e0}$, on V_{e0} és un valor intermedi que depèn de la mida dels transistors connectats pel *pont*. Ara bé, aquest estat escrit no té que ser, necessàriament, igual a l'estat memoritzat que evolucionarà cap a $N_1 = N_2 = V_{m0}$, amb $V_{e0} \neq V_{m0}$. En augmentar el valor de R_b , l'estat memoritzat al qual evolucionarà la cel.la pot continuar essent $N_1 = N_2 = V_{m0}$ fins que s'arribi a una resistència crítica, per a la qual la cel.la deixa de memoritzar l'estat V_{m0} . Per a trobar la resistència del *pont* crítica, R_{cr} , s'estudiarà l'estabilitat de l'estructura de la Figura 6.4 on la R_b ha estat dividida en dues components equivalents per tal d'aprofitar la simetria del circuit.

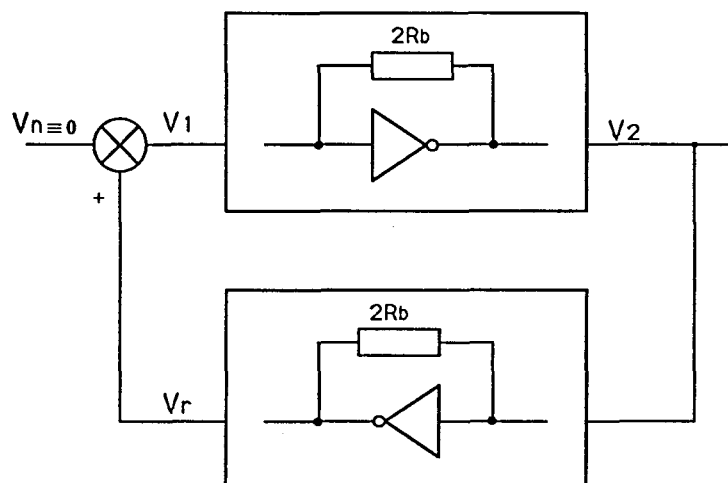


Figura 6.4: Estructura bàsica de la cel·la defectuosa amb el pont $N_1 - N_2$

L'anàlisi de l'estabilitat del circuit al voltant d'un punt quiescent, Q_o , es realitzarà partint del model en petit senyal del circuit (Figura 6.5) que permet aproximar linealment el circuit als voltants del punt quiescent. El criteri d'estabilitat que s'utilitzarà és el basat en la localització en el pla s de les arrels de l'equació característica del circuit [HSU68].

On,

- g_{mn_x} és la conductància incremental del transistor de canal n de l'inversor x en Q_o
- g_{mp_x} és la conductància incremental del transistor de canal p de l'inversor x en Q_o
- r_{dn_x} és la resistència incremental del transistor de canal n de l'inversor x en Q_o
- r_{dp_x} és la resistència incremental del transistor de canal p de l'inversor x en Q_o
- c_{g_x} és la capacitat present en l'entrada de l'inversor x en Q_o

Del graf de flux de senyals corresponent (Figura 6.6) es pot visualitzar l'efecte de *pont* dins la cel·la. El fet d'existir la resistència de realimentació provoca l'aparició, en el graf, dels nodes i_1 i i_2 que introdueixen una dependència entre l'entrada de cada inversor i la seva pròpia sortida, a més, cada inversor presenta una interacció amb l'altre en forma de càrrega.

on,

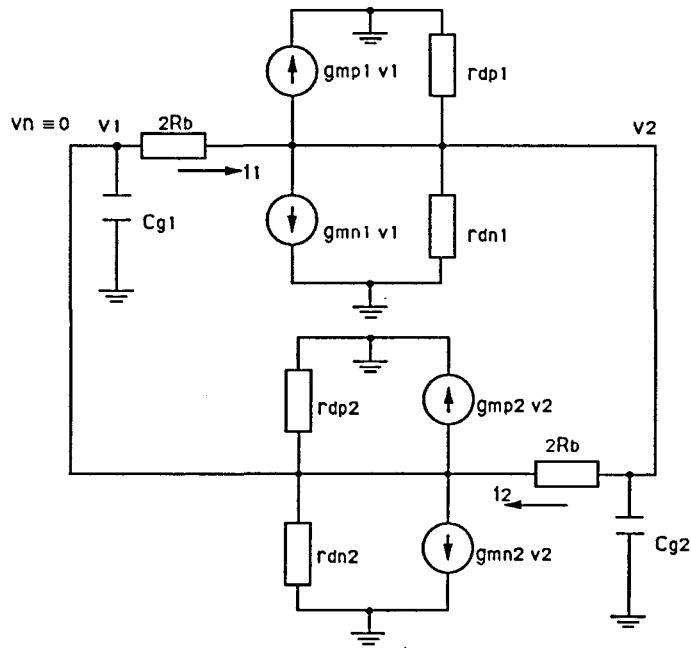


Figura 6.5: Model en petit senyal de la cel.la defectuosa

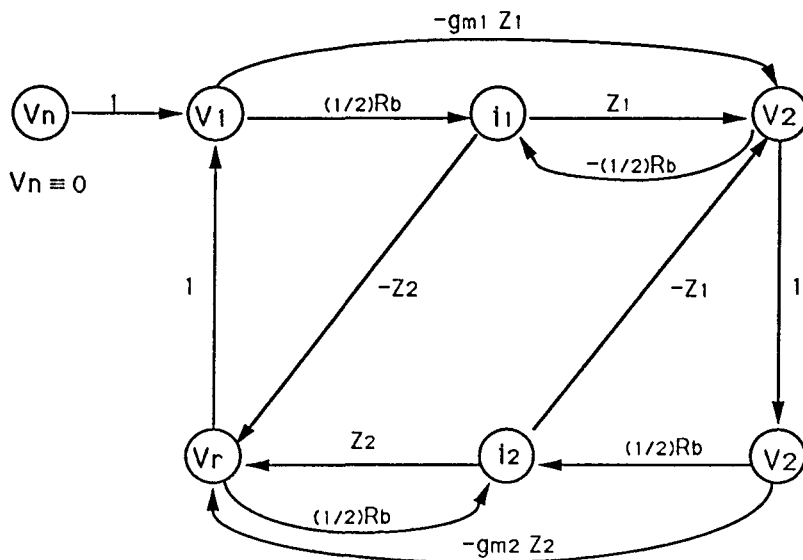


Figura 6.6: Graf corresponent al flux de senyal de la cel.la defectuosa on es considera que l'entrada v_n de soroll és nul.la

- $g_{m_x} = g_{mn_x} + g_{mp_x}$, amb $x = 1, 2$
- $z_x = r_{dn_x} \parallel r_{dp_x} \parallel c_{g_x}$, amb $x = 1, 2$

Per a l'anàlisi de l'estabilitat del punt quiescent s'ha escrit la funció de transferència del circuit defectuós, linealitzada al voltant del punt quiescent, Q_o ,

$$F_T(s) = \frac{N(s)}{D(s)} \quad (6.1)$$

El punt quiescent Q_o trobat quan la resistència del *pont* és nul·la, correspon a l'estat en el que els voltatges d'entrada i de sortida de cada inversor són iguals, i.e., $V_1 = V_2 = k$, on k és un voltatge intermedi. En augmentar el valor de R_b , la circuiteria d'escriptura força els voltatges V_1 i V_2 a valors tant més diferents com elevada sigui R_b durant la fase d'escriptura. Passada la fase d'escriptura, arriba la fase de memorització que provoca l'aïllament dels dos transistors realimentats que evolucionen cap a un estat quiescent diferent a l'escrit. Aquest punt quiescent corresponent a l'estat memoritzat és, per a R_b petites, el mateix que per a resistència nul·la fins que R_b supera un valor crític [ROD91b], R_{cr} , a partir del quin l'estat memoritzat és (V_1, V_2 amb $V_1 \neq V_2$).

Per al càlcul de R_{cr} , cal estudiar l'estabilitat del punt quiescent $Q_o = (V_1, V_2) = (k, k)$. Els dos inversors tenen la mateixa tensió d'entrada i de sortida, pel que, les transconductàncies incrementals dels dos inversors simètrics són iguals,

$$g_{m_1} = g_{m_2} = g_m \quad (6.2)$$

I les resistències incrementals dels drenadors dels inversors també són iguals amb valor,

$$r_d = r_{dn} \parallel r_{dp} \quad (6.3)$$

on r_{dn} i r_{dp} són la resistència incremental del transistor n i p , respectivament.

Amb la consideració d'aquests valors, es troba l'equació del denominador de la funció de transferència,

$$D(s) = s^2 c_g^2 + 2s c_g \left(\frac{1}{r_d} + \frac{1}{R_b} \right) + \frac{2g_m}{R_b} - g_m^2 + \frac{2}{R_b r_d} + \frac{1}{r_d^2} = 0 \quad (6.4)$$

d'on s'en deriva l'expressió per al càlcul de la resistència crítica,

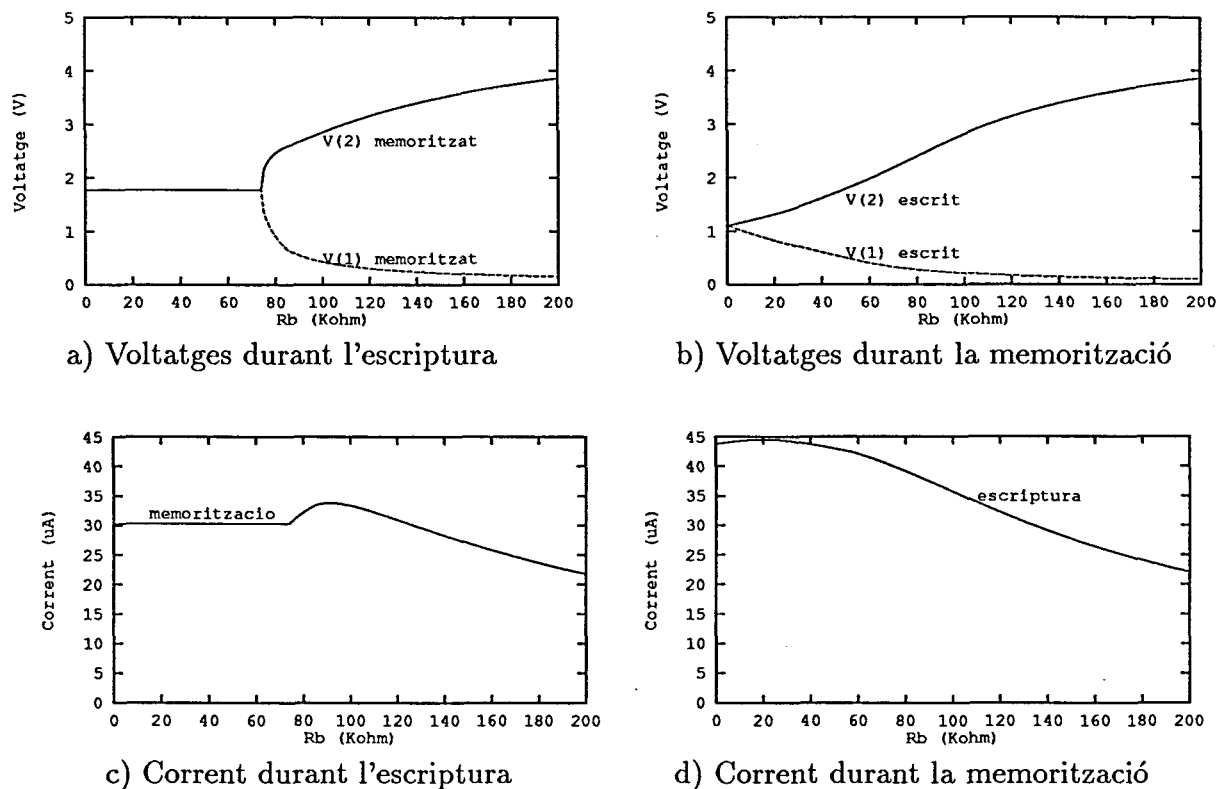


Figura 6.7: Resultat de les simulacions de la fase d'escriptura i la fase de memorització corresponent per a la cel.la amb el pont entre N_1 i N_2

$$R_{cr} = \frac{2}{g_m - \frac{1}{r_d}} \quad (6.5)$$

L'expressió resultant pel càlcul de R_b només depèn de la conductància i resistència de drenador incrementals. Substituint els valors de $g_m=30.92\mu A$ i $r_d=2.3e+5\Omega$ corresponents a l'estat dels inversors amb l'entrada connectada amb la sortida ($V_1 = V_2 = 1.77V$), s'obté el valor $R_{cr}=75.3K\Omega$ per a la tecnologia SCMOS de MATRA M.H.S. i les dimensions utilitzades.

En la Figura 6.7 s'il.lustren els resultats simulats amb SPICE nivell 3 i se mostra el comportament de l'estat dels dos inversors tant en la fase d'escriptura com en la fase de memorització. El valor de la resistència crítica és igual a $73.9 K\Omega$.

Per tot el rang de resistències per a les quals l'estat memoritzat és $N_1 = N_2$, el test lògic no pot pas assegurar la detecció del defecte; en el rang superior a R_{cr} , la lectura de la cel.la pot interpretar-se com l'estat correcte. En la Figura 6.7, tanmateix, s'observa com el corrent quiescent consumit es pot utilitzar en la detecció

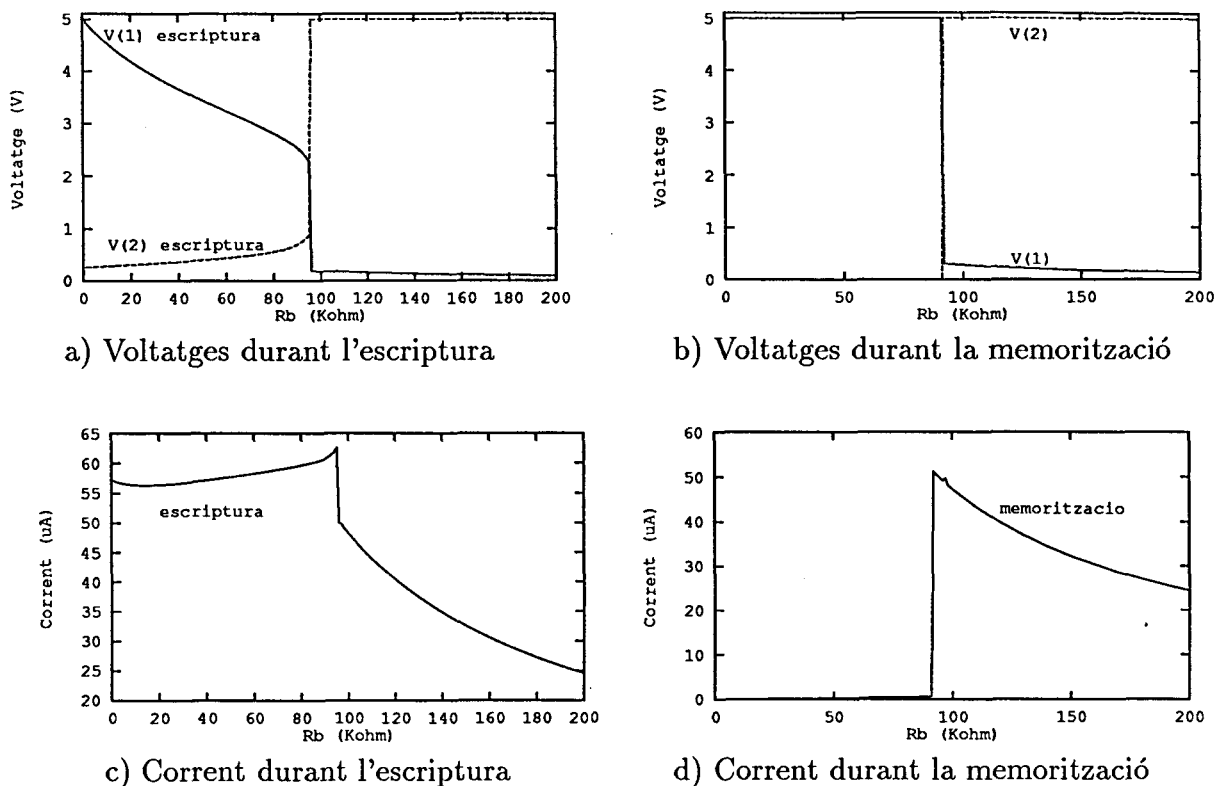


Figura 6.8: Resultats de tensió i de corrent de les simulacions SPICE per a la cel·la amb el pont $N_1 - V_{DD}$ tant en la fase d'escriptura (a) i c)) com en la fase de memorització (b) i d))

del defecte tant per a R_b inferior com superior a R_{cr} .

- Pont $V_{1,2} - V_{DD}$

La cel·la amb una connexió entre un dels dos nodes interns i alimentació és il·lustrada en la Figura 6.3 sota el nom *c*. Durant la fase d'escriptura els dos nodes són conduïts a valors intermedis o digitals dependents del valor de R_b com és mostrat en la Figura 6.8 a). En la fase de memorització els dos nodes prenen, sempre, valors digitals degut a l'estructura realimentada constituïda pels dos inversors. Ara bé, segons sigui R_b superior o inferior al valor crític corresponent, els valors digitals memoritzats pels nodes interns podran ésser bé correctes, bé incorrectes (Figura 6.3 b)). En la Figura 6.8 c) i d) es mostren els resultats obtinguts per al corrent de la cel·la de MATRA M.H.S.

- Pont $N_2 - Gnd$

El comportament defectuós de la cel.la en presència del *pont* entre el node intern i terra és simètric al mostrat pel *pont* entre N_1 i V_{DD} . El valor crític de la resistència del *pont* és inferior degut al dimensionat dels transistors de l'estructura bàsica de la cel.la.

En aquesta subsecció s'ha caracteritzat el comportament defectuós de la cel.la de memòria en presència dels tres *ponts* que només afecten els nodes interns de l'estructura realimentada. El primer *pont* considerat, el *pont* $V_1 - V_2$, és un exemple dels curt circuits que canvien el comportament de circuits seqüencials a comportament combinacional (per a resistència menor que R_{cr}). Quan la R_b sobrepassa el valor R_{cr} , el circuit continua essent seqüencial. Tots tres *ponts* causen pas de corrent superior respecte el consum de la cel.la en absència de defecte, pel rang de resistències considerades. Tanmateix, la detecció per l'observació del voltatge no és garantida en part del rang considerat.

A continuació es presenta una anàlisi similar per a la resta de *ponts* que, per IFA, poden afectar la cel.la.

Ponts externs a l'estructura bàsica

D'entre la classificació feta per IFA dels *ponts* possibles dins la cel.la, existeixen vuit *ponts* que involucren nodes externs a l'estructura bàsica formada pels dos inversors emmagatzemadors de la informació. Aquests vuit *ponts* (Taula 6.1) poden, a la seva vegada, classificar-se segons la llibertat dels nodes connectats, i.e., quatre d'ells connecten nodes que poden prendre valors lògics 0 ó 1, mentre, els altres quatre connecten un node que pot valer 0 ó 1 amb un segon node fix a alimentació o terra.

El primer subgrup està format pels *ponts* mostrats en la Figura 6.9 que corresponen a les connexions entre un node intern amb el senyal de selecció (*pont* F); un node intern amb el node de Bit (*pont* D); el node de selecció amb el node de Bit (M); dos nodes d'informació de bits (K).

El segon subgrup està representat en la Figura 6.10 i format per les connexions dels node de selecció amb alimentació o terra, *pont* assenyalats com J i H , respectivament. Les altres dues connexions pontegen un node d'informació amb bé alimentació o terra, L i G , respectivament.

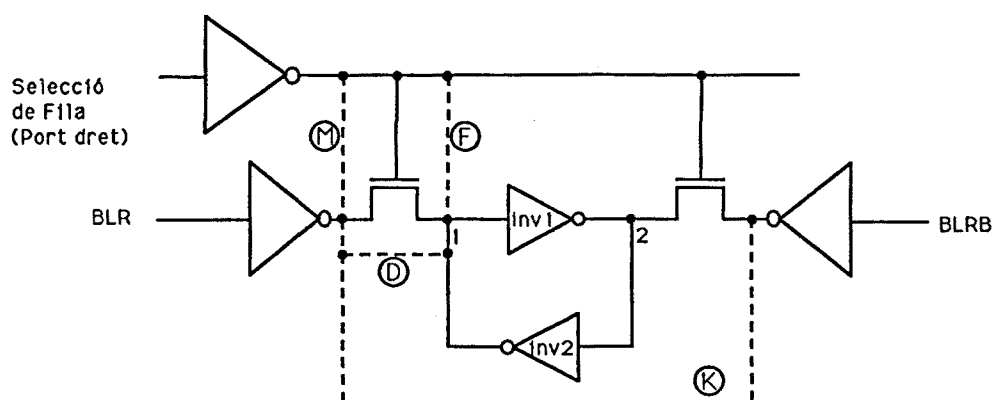


Figura 6.9: Il·lustració dels ponts pertanyents al primer subgrup de ponts externs a l'estructura bàsica

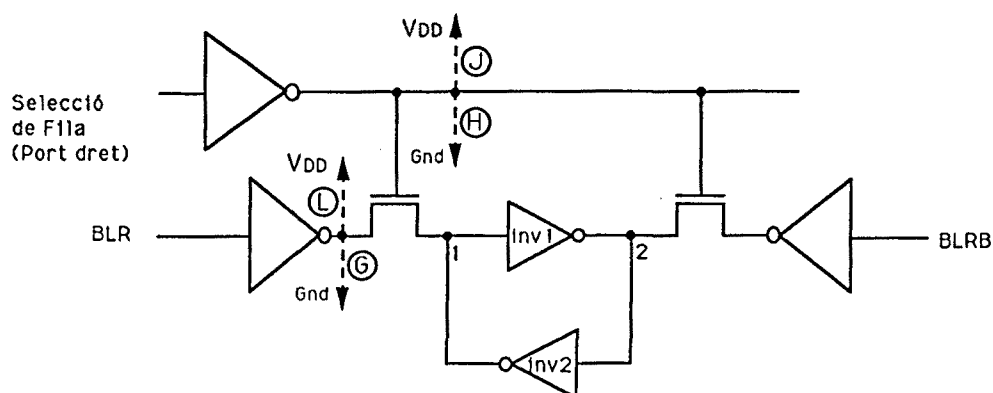


Figura 6.10: Il·lustració dels ponts pertanyents al segon subgrup de ponts externs a l'estructura bàsica

- Primer subgrup

Tots vuit *ponts* podran afectar el comportament de la cel.la sempre que els dos nodes curt circuitats prenguin valors oposats.

Del primer subgrup de *ponts*, n'hi ha tres que, independentment del valor de R_b considerat (0, 200K Ω), sempre consumeixen un corrent quiescent elevat dins de l'estructura bàsica formada pels dos inversors realimentats. Aquests tres *ponts* són els anomenats *F*, *K* i *M*. Degut a que el camí de corrent creua els circuits *manadors* dels nodes Bit i Selecció, els corrents depenen directament dels dimensionat d'aquests anant des de l'ordre de 2.5 mA ($R_b=0$) fins a 25 μ A ($R_b=200$ K Ω) pels circuits escollits en les simulacions. Els drivers escollits han estat simulats per inversors de mides el suficientment gran per a permetre el funcionament de la memòria a la freqüència indicada pel fabricant, tenint en compte les capacitats de cadascuna de les línies de metall del circuit.

El comportament lògic en l'escriptura i en la memorització corre sort diferent al comportament en corrent. Així, trobem, en aquests tres *ponts*, comportaments lògics correctes a partir de R_b igual a 3.5 K Ω , 6.5 K Ω ó, fins i tot, 95 K Ω pels drivers escollits.

El quart *pont* del primer subgrup, el *pont* entre un node intern i un node de bit, presenta un comportament defectuós diferent als altres tres *ponts*, degut a la seva topologia. El comportament lògic pot ser incorrecte en el rang (0, 75 K Ω) però un test de corrent no pot pas detectar aquesta anomalia. És a partir de $R_b=75$ K Ω , que el comportament lògic és correcte i, a més, el consum de corrent s'eleva entre 22 i 42 μ A.

- Segon subgrup

El resultat dels *ponts* pertanyents al segon subgrup és molt clar en relació al consum de corrent quiescent. Degut a que el *pont* sempre és, pels quatre *ponts* corresponents a aquest subgrup, entre la sortida d'un circuit *driver* i un node d'alimentació, el vector que porti el driver al valor lògic oposat al quin es troba connectat pel defecte provocarà un consum de corrent elevat. El rang de corrents consumits depèn del dimensionat dels circuits drivers i, en general, serà de l'ordre de 1 a 3 mA per a $R_b=0$ fins a 25 μ A per a $R_b=200$ K Ω . En referència al comportament lògic durant l'escriptura i durant la memorització de qualsevol valor de bit, a partir de 5 K Ω per a la resistència del *pont*, tots quatre *ponts* fan funcionar lògicament correcta la cel.la de memòria.

Testabilitat lògica front la testabilitat I_{DDQ}

Dins del rang de resistències considerat, (0, 200) K Ω , el corrent consumit per la cel.la defectuosa sempre és superior al consum subministrat en absència de defectes. Això fa que la detecció dels *ponts* sempre es pugui assolir mitjançant la vigilància del corrent quiescent. No succeeix pas el mateix amb la detecció mitjançant la vigilància del voltatge ja que, a partir d'un cert valor resistiu, diferent per a cada *pont*, la cel.la funciona lògicament correcta. Aquest valor resistiu està comprès dins del rang (1, 95) K Ω .

6.2 Biestable scan

En la secció anterior s'ha caracteritzat el comportament defectuós d'una cel.la de memòria estàtica de tecnologia CMOS. S'ha classificat la testabilitat lògica front la testabilitat I_{DDQ} veient-se com el test per corrent és capaç de la detecció del tots els *punts* considerats. En aquesta subsecció, s'estudia una altra cel.la seqüencial molt utilitzada en dissenys per a la testabilitat *scan* que consisteix en un biestable amb dues entrades multiplexades segons un senyal de selecció. L'interès per aquesta cel.la és degut a l'avaluació de la testabilitat I_{DDQ} de l'estructura interna formada per una porta de transmissió, fins ara no considerada en aquesta tesi.

El *layout* de la cel.la ha estat extret de la llibreria d'ES2, concretament del procés ECPD15 de dues capes de metall. En la Figura 6.11 es mostra el símbol lògic utilitzat en la seva representació esquemàtica a nivell de bloc. El mòdul té tres entrades i dues sortides. L'entrada *SEL* és l'encarregada de seleccionar quina de les dues entrades, l'*A* ó la *B*, ha d'arribar fins a la part seqüencial del circuit. Aquesta part seqüencial està composta per un biestable del tipus mestre-esclau que memòritza el valor de l'entrada seleccionada en arribar-li una transició de pujada al rellotge (*Clk*) corresponent (Taula 6.2).

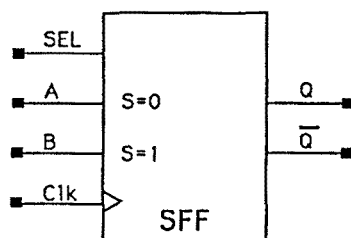


Figura 6.11: Esquema lògic de la cel.la scan (ES2 ECPD15@ECPD12 Library Databook)

SEL	Clock	Q	Q
H	↑	B	\bar{B}
L	↑	A	\bar{A}
X	L	Q	\bar{Q}
X	H	Q	\bar{Q}

Taula 6.2: Comportament lògic del SFF

L'esquema a nivell elèctric corresponent a la cel.la és mostrat en la Figura 6.12 on es veu

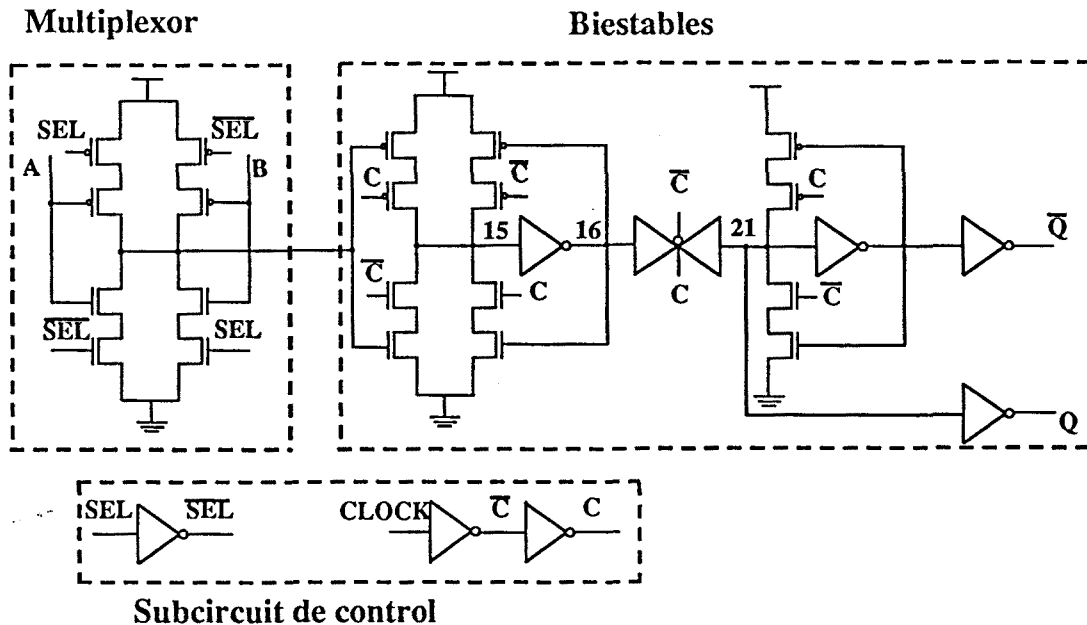


Figura 6.12: Esquema elèctric de la cel·la (ES2 ECPD15&ECPD12 Library Databook)

la composició interna del circuit. L'etapa inicial està formada per un multiplexor de dues entrades que corresponen a les entrades al circuit. La selecció multiplexada en aquesta etapa s'alimenta a l'etapa següent formada per un biestable controlat pel senyal de rellotge (Clock). El senyal emmagatzemat en el primer biestable és introduït al segon biestable a través d'una porta de transmissió controlada pel mateix rellotge. En la Figura 6.13 es mostra el *layout* del biestable scan.

6.2.1 La cel·la scan defectuosa

La llista dels possibles defectes *pont* ha estat extreta amb l'anàlisi IFA. En la inspecció del *layout* s'ha considerat una mida de taca de diàmetre doble a les dimensions mínimes de les regles de disseny, i.e., $2 \times 1,5 \mu\text{m}$. Els materials entre els quals s'ha considerat la possibilitat d'existència de *ponts* són: difusió-difusió, polisilici-polisilici, metall1-metall1, metall2-metall2 i metall1-metall2. En la classificació dels *ponts* s'ha considerat la diferent probabilitat d'aparició de defectes en funció de les capes de material considerades [SOU91]. El resultat de l'aplicació de la inspecció IFA s'il·lustra en la Taula 6.3. En la columna intermèdia de la Taula, es resumeixen els tipus de *ponts* trobats. Per a cadascun dels *ponts*, s'ha cercat el seu efecte elèctric dins del circuit, com es mostra a la columna de la

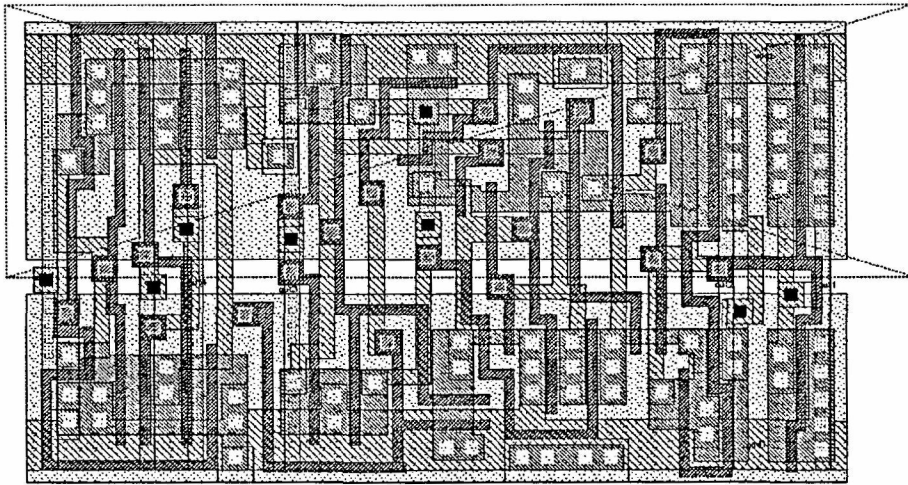


Figura 6.13: *Layout del biestable scan*

dreta en la Taula. S'ha de destacar el fet que dos o més defectes *pont* poden causar una connexió entre els mateixos nodes elèctrics. Després de la consideració de les equivalències entre els defectes, (*defect collapsing*), d'un total de 61 defectes s'ha passat al nombre final de 37 *ponts* elèctrics dins del circuit.

El conjunt format pels 37 *ponts* que poden afectar la cel.la *scan* ha estat dividit en tres grups depenent de la localització dels nodes involucrats en el *pont*. Per a això, la cel.la ha estat dividida, també, en tres subcircuits: a) multiplexor, b) biestables i c) circuit de control (Figura 6.12). Les classes dels *ponts* que connecten un parell de nodes pertanyents

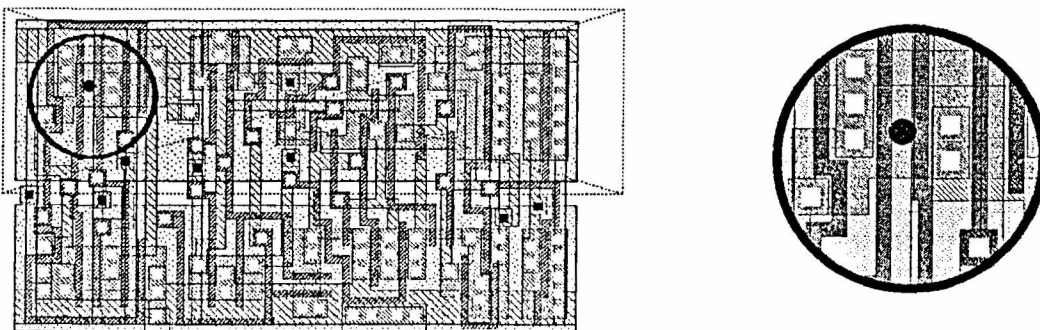


Figura 6.14: *Layout de la cel.la (cortesia d'ES2) amb un defecte connectant l'entrada A amb SEL*

Materials	Defectes <i>layout</i>	Defectes circuit
Difu-Difu	6	5
Poli-Poli	23	11
Met1-Met1	8	7
Met2-Met2	0	0
Met1-Met2	24	14
<i>Total</i>	61	37

Taula 6.3: Llista dels resultats de l'IFA realitzat sobre la cel.la

Mòduls	Mux	Biestables	Control
Mux	6	0	6
Biestables		13	7
Control			5

Taula 6.4: Nombre de defectes entre els mòduls

a aquests subcircuitos són mostrades en la Taula 6.4.

Anàlisi de la cel.la defectuosa

Per a l'anàlisi del comportament del biestable *scan* en presència del *ponts* analitzats per IFA, s'ha realitzat la següent simulació per a cadascun d'ells. Per a cada combinació d'entrades (A, B, SEL) i estat del biestable (Q), s'ha simulat un cicle de rellotge amb la finalitat de propagar i memoritzar el valor de l'entrada A ó B seleccionada per SEL. De cadascuna de les simulacions s'han recollit les informacions sobre el consum de corrent i sobre el comportament lògic final del circuit. En la Figura 6.15 es mostra el format en el que s'ha emmagatzemat aquestes informacions. Ambós grups d'informació han estat comparats amb les respostes corresponents a la cel.la lliure de defecte.

Els voltatges i el corrent del circuit defectuós depenen de la localització del *pont* i del valor de la seva resistència. De la divisió feta en tres subcircuitos es poden treure els resultats mostrats en les següents apartats.

- Subcircuit combinacional

Aquesta etapa del biestable correspon a la composada pel multiplexor d'entrada. Onze dels *ponts* afecten exclusivament als nodes d'aquesta etapa. S'hi inclouen els

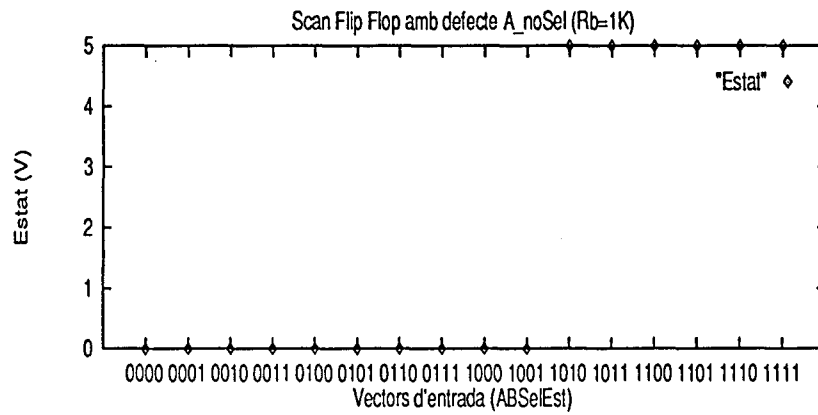
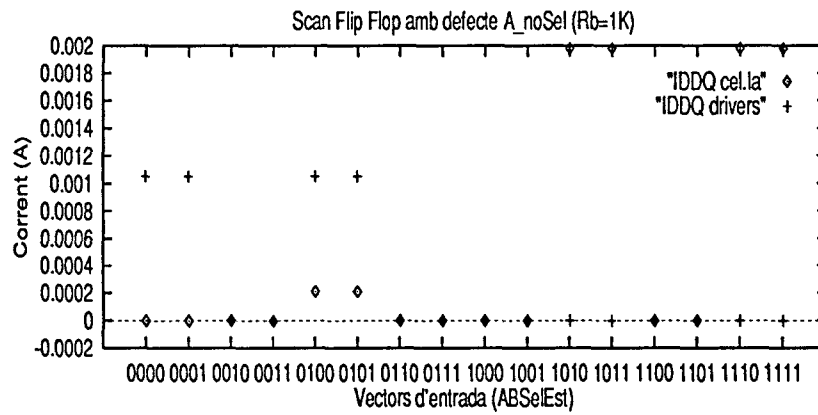


Figura 6.15: Comportament de la cel.la scan defectuosa [BAL92]

R_b (K Ω)	Detec. I_{DDQ}	Detec. lògica	Detec. ambdues	Ni lòg. ni I_{DDQ}
0	11	11	11	0
1	11	4	4	0
2	11	2	2	0
3	11	0	0	0
5	11	0	0	0

Taula 6.5: Resultats de la detecció dels punts que afecten la part combinacional del biestable

R_b (K Ω)	Detec. I_{DDQ}	Detec. lògica	Detec. ambdues	Ni lòg. ni I_{DDQ}
0	3	3	3	0
1	3	2	2	0
2	3	1	1	0
3	3	0	0	0
5	3	0	0	0

Taula 6.6: Resultats de la detecció dels punts que afecten als circuits de control únicament

punts entre els senyals A, B, SEL, la sortida del multiplexor i les alimentacions. En la Taula 6.5 es mostren els resultats corresponents al nombre de *punts* detectats pel consum de corrent quiescent elevat (columna "Detec. I_{DDQ} "), als detectats lògicament ("Detec. lògica") i a la intersecció de ambdós grups ("Detec. ambdues"). En la columna de la dreta es mostra el nombre de defectes no detectats per cap de les dues metodologies, mentre, en la columna de l'esquerra s'indica la resistència considerada en les simulacions.

Es veu com el total dels *punts* són detectables pel consum de corrent. Tanmateix, la detecció per voltatge minva en augmentar R_b fins el punt que, per R_b iguals o majors a 3 K Ω , la cel.la funciona correctament.

- Subcircuit mixt de control

Dins d'aquest subcircuit s'inclouen els *punts* que afecten un node de la part seqüencial relacionat amb el subcircuit del rellotge. El segon node pot ésser alimentació, terra o el senyal de selecció. Els *punts* entre el rellotge i els biestables seran considerats en el grup següent seqüencial. En la Taula 6.6 es mostren els resultats trobats sobre aquest conjunt de tres *punts*. Els resultats són exactament iguals als simulats pel conjunt anterior.

R_b (K Ω)	Detec. I_{DDQ}	Detec. lògica	Detec. ambdues	Ni lòg. ni I_{DDQ}
0	20	20	17	0
1	22	13	12	0
2	23	3	3	0
3	23	2	2	0
4	23	1	1	0
5	23	1	1	0

Taula 6.7: Resultats de la detecció dels ponts que afecten al subcircuit seqüencial

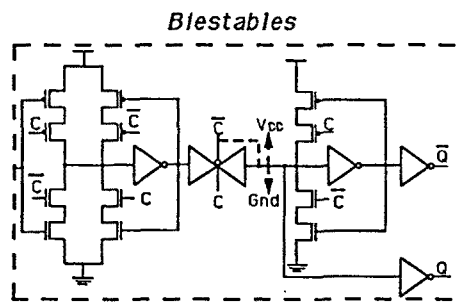


Figura 6.16: Ponts no detectables per l'elevació dels corrent, però sí detectables per l'observació dels voltatges

- Subcircuit seqüencial

Aquest grup és el més nombrós. Els ponts inclosos dins d'aquest apartat són els causants de les vint-i-tres connexions possibles entre els nodes de la part seqüencial formada pel rellotge i els dos biestables. En la Taula 6.7 s'il.lustren els resultats. Tots els ponts són detectables ja sigui per un mètode o per l'altre però, ara, la detecció per la vigilància del corrent quiescent depèn de la resistència dels ponts. No és fins $R_b=2\text{ K}\Omega$ que el test de corrent detecta tots els ponts. El test per la vigilància del voltatge disminueix amb la resistència com és esperat.

Els tres ponts que no són detectables per a $R_b=0$ són els ponts representats en la Figura 6.16.

Per tal de predir la resistència del pont a partir de la qual el circuit defectuós consumirà un corrent quiescent superior a l'esperat, es considerarà l'estructura re-

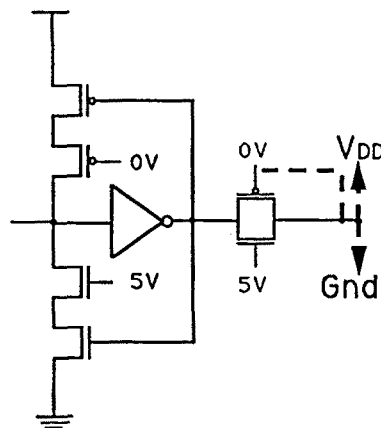


Figura 6.17: Estructura realimentada dels ponts no detectables pel test de corrent

alimentada involucrada en el comportament defectuós. De la localització del punt d'intersecció de les funcions de transferència de l'estructura realimentada es pot deduir l'estabilitat o inestabilitat del punt d'intersecció i la magnitud del corrent consumit. Així, considerant les funcions de transferència de l'estructura realimentada on s'inclouen els tres *punts* no detectables per corrent quan $R_b=0$, s'observa fàcilment els valors de les resistències crítiques a partir de les quals la cel.la és testable per mesura del corrent. Efectivament, en la Figura 6.17 s'indica aquesta estructura de realimentació que apareix quan la porta de transmissió està tancada ($C=1$). Les funcions de transferència corresponents són il.lustrades en la Figura 6.18 pel *pont* $\bar{C} - N_{21}$, Figura 6.19 pel *pont* $N_{21} - V_{DD}$ i Figura 6.20 pel *pont* $N_{21} - Gnd$.

6.2.2 Testabilitat lògica front la testabilitat I_{DDQ}

L'anàlisi de la detecció dels *punts* del *biestable scan* extrets amb l'anàlisi IFA mostra com tots els que afecten a nodes d'estructures completament MOS complementàries poden ser detectats per l'augment del corrent quiescent. No succeeix el mateix amb la detectabilitat pel test lògic que decreix considerablement en augmentar la resistència del *pont*. Tanmateix, el test lògic és capaç de la detecció dels *punts* de baixa resistència que afecten als nodes de la porta de transmissió del biestable essent, aquests *punts* no detectables per la vigilància del corrent quiescent. L'augment de R_b fa que el test lògic i el test per corrent intercanviïn els papers en la detecció dels *punts* que afecten la porta de transmissió.

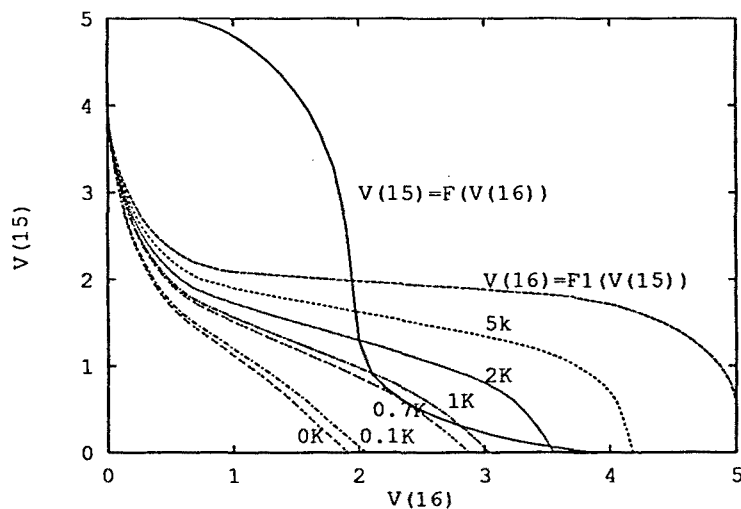


Figura 6.18: Funcions de transferència de la realimentació involucrada en la cel.la amb el pont $\bar{C} - N_{21}$

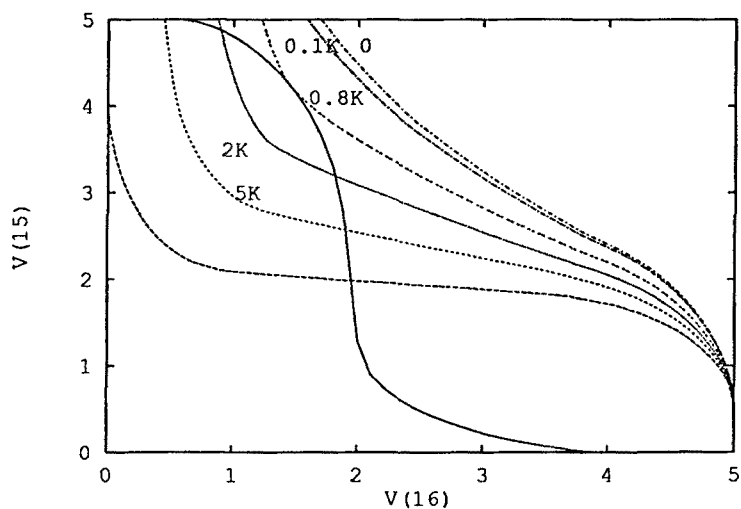


Figura 6.19: Funcions de transferència de la realimentació involucrada en la cel.la amb el pont $N_{21} - V_{DD}$

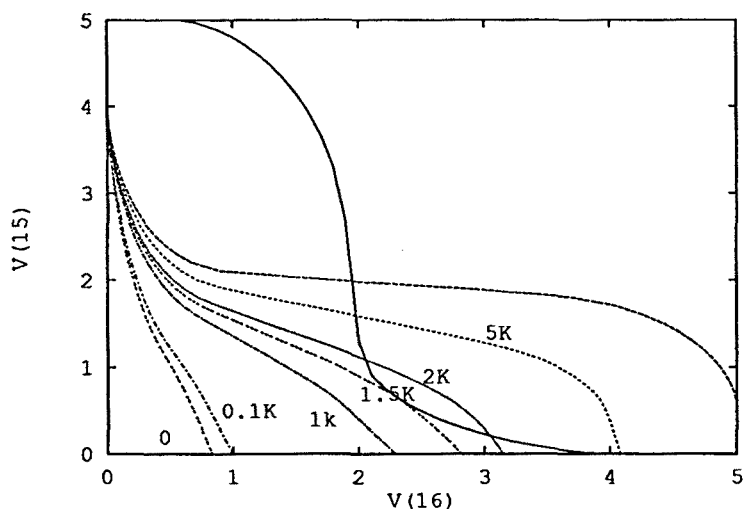


Figura 6.20: Funcions de transferència de la realimentació involucrada en la cel·la amb el pont $N_{21} - Gnd$

6.3 Conclusions

En aquest capítol s'ha aplicat la metodologia d'anàlisi proposada a les caracteritzacions dels comportaments defectuosos causats per *ponts* realistes en una cel·la de memòria estàtica i un biestable amb entrada multiplexada. Els resultats mostren com la majoria dels *ponts* amb resistència nul·la creen un camí de corrent quiescent que pot ser utilitzat per a la detecció del defecte dins del circuit, sempre que els nodes curt circuitats puguin ser conduïts a valors lògics oposats. El nombre d'estats del *latch* s'ha reduït de dos en absència de defecte a un sol estat pels *ponts* de resistència baixa (excepte tres d'ells). Amb l'augment de R_b , el test lògic perd molta de la seva eficiència, en canvi, el test d' I_{DDQ} continua essent efectiu dins del rang de resistències considerat. Comportament diferent mostren els *ponts* que envolten a portes de transmissió on el test lògic s'ha mostrat efectiu per a R_b molt baixa al contrari que el test de corrent quiescent. L'augment de la resistència ha fet que, pels *pont* relacionats amb les portes de transmissió, el test per corrent esdevingués detector i el test lògic deixés de detectar-los. Tanmateix, la complementació dels dos mètodes de test proporciona el cobriment del 100 % dels *ponts*.

L'anàlisi del *SAD*, sempre compost per un nombre baix de nivells lògics, permet la caracterització del comportament defectuós del circuit al quin pertany. L'estalvi en complexitat elèctrica abordada té un benefici notable en el test de defectes *pont*.

Capítol 7

Conclusions i futur treball

En aquesta tesi s'ha caracteritzat el comportament de circuits CMOS en presència de defectes tipus *pont*. La modelació utilitzada ha estat la modelació elèctrica consistent en una resistència entre els nodes curt circuitats. L'elecció del model s'ha basat en els resultats experimentals presentats sobre la capa de metall de circuits monitors CMOS de defectes d'un procés industrial europeu. La majoria dels *ponts* han mostrat una resistència baixa, per sota dels 500 Ω . Tanmateix, un petit percentatge depenent del *batch*, ha mostrat resistència dins del rang (500 Ω , 20 K Ω). De l'anàlisi espectroscòpica realitzada sobre els *ponts* altament resistius, s'ha pogut observar que el material causant dels defectes era el propi alumini. La diferència, doncs, entre els *ponts* altament i baixament resistius no ha estat en la material del defecte. Com a possible explicació es pot considerar la diferència de formes del defecte que, en els *ponts* altament resistius, sembla mostrar contactes febles amb una o les dues línies de metall que connecta. Una altra explicació podria trobar-se en l'oxidació del contacte que causaria una resistència elevada. També, podria trobar-se la causa en residus de resina del procés. En un futur treball seria interessant investigar quin és el comportament resistiu dels *ponts* entre metall i polisilici i també els *ponts* entre polisilici. Comprovar si el contacte també presenta propietats òhmiques o apareixen contactes rectificadors. Un altre treball seria la caracterització de l'efecte de la temperatura sobre els ponts per tal de veure que succeeix amb les estructures defectuoses que constitueixen el *pont*. En aquesta tasca també s'inclouria la caracterització de la morfologia dels defectes realitzada amb tècniques de microscopia de transmissió. Dins aquesta caracterització dels defectes es podria, també, estudiar la correlació entre les característiques i freqüències dels ponts i les possibles operacions en el procés de fabricació.

La modelació elèctrica utilitzada s'ha emprat per a caracteritzar el corrent quiescent, I_{DDQ} . L'efecte del *pont* dins del circuit defectuós s'ha caracteritzat en forma de domini

del circuit (DA) on apareixen voltatges analògics i corrent superior a l'esperat en relació al funcionament correcte. La resta del circuit on els voltatges es comporten digitalment i el corrent és l'esperat, correspon al domini digital del circuit (DD). Després de la caracterització del comportament elèctric en corrent i en voltatge del circuit defectuós, s'ha analitzat la detecció de les fallades pel test lògic i pel test I_{DDQ} . En aquesta anàlisi s'ha considerat una modelació realista per l'efecte del pont en el funcionament elèctric del circuit on la relació de dominàncies de les xarxes en conflicte ha determinat el resultat elèctric del pont. Sempre que els nodes curt circuitats són conduïts a valors lògics oposats, es pot concloure que el test per corrent es comporta com una tècnica adequada en la detecció del pont. Per a ponts no oscil·lants en un circuit donat CMOS, apareix un valor resistiu crític, R_{cr} a partir del que el test per voltatge no és capaç de garantir la detecció del pont. Per R_b inferiors al valor crític, el circuit pot ésser detectat tant pel test lògic com pel test de corrent quiescent. Tanmateix, per resistència del pont superior, el test per corrent continua essent capaç de la detecció del defecte. Per a ponts realimentats s'ha presentat un teorema de condició necessària i suficient per a l'oscil·lació del subgrup de circuits amb una funció de transferència d'un únic punt singular.

S'ha mostrat una predicció de cotes pel corrent quiescent en circuits CMOS defectuosos per tal de preveure el rang de corrents esperats per un circuit defectuós. Amb la coneixença de la mida dels transistors i la tecnologia utilitzada, es pot predir el rang màxim i mínim de corrent quiescent, per a un fan-in donat. Per a resistències del pont baixes, aquestes cotes venen definides per la mida i tecnologia dels transistors. Per a resistències elevades, la pròpia R_b determina en un percentatge gran el corrent generat.

S'ha proposat una metodologia de test d' I_{DDQ} consistent en la caracterització del corrent dins del domini analògic del circuit. Aquest DA sempre té un nombre reduït d'etapes lògiques, de forma que la complexitat del circuit queda simplificada a unes poques etapes i és, generalment, abordable. La metodologia s'ha aplicat a mòduls bàsics combinacionals i seqüencials. Els circuits han estat dissenyats amb eines de SDA i fabricats per ES2. La introducció dels ponts s'ha fet mitjançant pads on s'ha connectat, exteriorment, la resistència simuladora del pont. El treball experimental s'ha fet amb un analitzador de paràmetres 4145BHP amb el que s'ha mesurat el corrent estàtic consumit pel circuit defectuós i la resposta en voltatge donada. Els resultats sobre mòduls combinacionals bàsics mostren una bona concordança entre els comportaments esperats i els experimentalment mesurats. L'anàlisi dels circuits seqüencials s'ha fet només a nivell de simulació. Els resultats de la testabilitat lògica i per I_{DDQ} han estat similars al cas de circuits combinacionals a excepció d'un biestable scan amb una porta de transmissió. En aquests cas particular

s'ha pogut observar que per a resistències baixes, si es pretén una cobertura del 100 % dels *ponts*, cal la unió de les dues metodologies de test. Aquest resultat és degut a la naturalesa del circuit que envolta la porta de transmissió. En general, però, per a portes completament CMOS, el test de corrent ha donat millors percentatges de detecció que el test lògic tant per a ponts amb resistències baixes com per a ponts amb resistències elevades. El test lògic ha mostrat certa ineficàcia per a ponts amb resistències per sobre d'un valor crític, depenent del circuit, de l'ordre de pocs $K\Omega$ en el cas dels circuits combinacionals mesurats.

Com a continuació en un treball futur seria interessant estendre la caracterització elèctrica dels defectes *pont* a altres tecnologies com BiCMOS, AsGa ó ECL. Una altra extensió proposada seria l'ampliació del treball a circuits no només restringits al comportament digital, sinó amb comportament digital i analògic (*mixed signal*), i també circuits només analògics.

El test per corrent sembla tindre bones prestacions en la detecció dels *ponts* en circuits digitals CMOS i sembla ser una profitosa complementació als tests lògics utilitzats. Caldrà, però, estudiar els resultats sobre d'altres tecnologies i dedicar esforços al disseny de sensors per a la mesura del corrent de forma acurada i temporalment òptima. Amb el constant augment en els nivells d'integració dels CI el test d' I_{DDQ} sembla ser, efectivament, "*the next layer of the test onion*" [McE90].

Defect report on S208280W01 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	S	*	*	*	*	*	*	*	*	
4	*	LS	*	*	*	*	*	*	*	*	*	
3	*	*	*	*	*	*	*	*	*	*	*	
2		*	*	*	*	*	*	*	*	*		
1		*	*	*	L	*	*	*	*	*		
0			*	*	*	*	*	*	*			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W01 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	2S	*	*	*	*	*	*	*	*	
4	*	*	*	*	*	*	*	*	*	*	*	
3	*	*	2L	*	*	*	*	*	*	*	*	
2		*	*	*	*	*	*	*	*	*		
1		*	*	*	*	*	*	*	*	*		
0			*	L	*	L	*	*	*			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W01 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	3S	*	*	*	*	*	*	*	*	
4	*	3S	2L	*	*	*	*	*	*	*	*	
3	*	*	*	*	*	*	*	L	*	*	*	
2		*	*	*	*	*	*	*	*	*		
1		*	*	*	*	*	*	*	*	*		
0			*	*	*	*	*	*	*			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.3: Classificació del primer wafer de la planta d'Hamburg

Defect report on S208280W02 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*			
7			*	*	*	*	*	*	*	*		
6			*	*	*	*	*	*	*	*		
5	*	*	*	*	*	*	*	*	*	*	*	
4	*	*	*	*	*	*	*	*	*	*	*	
3	*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	*	S		
1			*	*	*	*	*	*	*	*		
0			*	*	*	*	*	*	*	*		
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W02 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*			
7			*	*	*	*	*	*	*	*		
6			*	*	*	*	*	*	*	*		
5	*	*	*	*	*	*	*	*	*	*	*	
4	*	*	*	*	*	*	*	*	*	*	*	
3	*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	*	S		
1			L	*	*	*	*	*	*	*	*	
0			L	*	S	*	*	L	*	*		
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W02 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	*	*			
7			*	*	*	*	*	*	*	*		
6			2S	*	*	*	*	*	*	*	*	
5	S	*	*	*	*	*	*	*	*	*	*	
4	*	S	S	*	*	*	*	*	S	*	*	
3	*	2S	S	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	S	*	*	*	
1			*	*	*	*	*	*	*	*	*	
0			*	*	*	*	*	*	*	*		
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.4: Classificació del segon wafer de la planta d'Hamburg

Defect report on S208280W03 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*	*	*
6		*	*	*	*	*	*	*	*	*	*	*
5	*	*	*	*	*	*	*	*	S	*	*	*
4	*	*	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	L	*	*	*
2		*	*	*	*	*	*	*	*	*	*	*
1		*	*	L	*	*	*	*	*	*	*	*
0			*	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W03 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*	*	*
6		*	*	*	*	*	*	*	*	*	*	*
5	*	*	*	*	*	*	*	*	*	*	*	*
4	*	*	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208280W03 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*	*	*
6		*	*	*	*	*	S	*	*	*	*	*
5	*	*	*	*	*	*	*	*	*	*	*	*
4	*	*	S	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	*	*	*	*	S	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.5: Classificació del tercer wafer de la planta d'Hamburg

Defect report on S208290W02 [IN] :

*** Types C3DM ***

Y-POS.

8			S	*	*	*	*	*	*	*		
7		*	*	*	*	*	*	*	*	*	*	*
6		*	S	*	*	*	*	*	*	*	*	*
5	*	*	*	*	S	*	*	*	*	*	*	*
4	*	L	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	S	*	*	*
2		*	*	*	*	*	*	*	*	*	*	*
1		*	*	S	*	*	S	*	*	*	*	*
0			*	*	*	*	*	S	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W02 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*	*		
7		*	*	*	*	*	*	*	*	*	*	*
6		*	*	*	*	*	*	S	*	*	*	*
5	*	*	*	*	*	*	*	*	*	S	*	*
4	*	L	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W02 [IN] :

*** Types C250 ***

Y-POS.

8			S	*	*	*	*	*	*	*		
7		*	*	2S	*	*	*	*	*	*	*	*
6		*	*	S	S	*	*	*	*	*	*	*
5	*	*	*	2S	2L	*	S	*	*	*	*	*
4	*	LS	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		*	*	S	*	*	*	*	*	*	*	*
1		2L	*	*	*	*	L	*	*	*	*	*
0			S	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.6: Classificació del quart wafer de la planta d'Hamburg

Defect report on S208290W03 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*			
7		S	2L	*	*	*	*	*	*	*	*	*
6		*	*	*	*	*	*	*	*	*	*	*
5	*	*	*	*	*	*	*	*	S	3S	*	*
4	*	L	*	*	*	*	*	*	*	S	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		L	*	*	*	*	*	*	*	L	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W03 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	LS	*	*	*			
7		*	*	*	*	2S	*	*	*	*	*	*
6		*	*	*	*	*	*	*	*	*	*	*
5	*	*	*	*	*	*	*	*	*	*	*	*
4	*	L	*	*	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*	*
2		2L	*	*	*	*	*	*	*	*	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	S	*	*	*	L	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W03 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	2L	*	*	*			
7		S	S	*	*	S	*	*	*	*	*	*
6		*	*	*	*	*	*	*	*	*	*	*
5	*	*	S	LS	S	*	*	*	*	*	*	*
4	*	LS	*	*	*	*	*	*	*	*	*	*
3	S	*	S	*	*	2S	L	*	*	*	*	*
2		*	*	L	*	*	*	*	*	*	*	*
1		*	*	*	*	*	*	*	*	*	*	*
0			*	*	*	*	*	*	*	*	*	*
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.7: Classificació del cinquè wafer de la planta d'Hamburg

Defect report on S208290W04 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*				
7		S	*	*	*	*	*	*	*	*			
6			*	*	*	*	*	L	*	*	*		
5		*	*	*	*	*	*	*	L	*	*	*	
4		*	L	*	*	*	*	*	*	*	*	L	
3		*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	*	*	*	*	
1			*	*	*	*	*	*	*	*	*	*	
0			*	*	*	*	*	*	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W04 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*				
7		S	S	*	*	*	*	*	*	*	*	*	
6			*	*	*	*	*	*	*	L	*	*	
5		*	*	S	*	*	*	*	S	*	*	*	
4		*	L	*	*	S	*	*	*	*	*	*	
3		*	*	*	*	*	*	*	*	*	*	*	
2			*	*	S	*	*	*	*	*	*	*	
1			L	*	*	*	*	*	*	*	*	*	
0			*	S	*	*	*	*	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208290W04 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	S	*				
7		2S	S	*	*	*	*	*	*	*	*	*	
6			*	*	*	S	*	*	*	*	*	*	
5		*	*	*	*	2S	*	*	S	*	*	*	
4		*	L	*	*	*	*	*	*	*	*	*	
3		*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	*	*	*	*	
1			*	*	*	*	*	*	*	*	*	*	
0			*	*	*	*	*	*	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.8: Classificació del sisè wafer de la planta d'Hamburg

Defect report on S208300W01 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*				
7			*	*	*	*	*	*	*	*			
6			*	S	*	*	*	*	*	*	2S		
5		*	*	*	*	*	*	*	*	*	*	*	
4		*	L	L	*	*	*	*	*	*	*	*	
3		*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	*	*	*	*	
1			*	*	*	*	*	*	*	*	*	*	
0			*	*	*	*	*	S	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208300W01 [IN] :

*** Types C287 ***

Y-POS.

8			*	*	*	*	*	*	*				
7			*	*	*	*	*	*	*	*	*	*	
6			*	*	*	*	*	*	*	*	*	*	
5		*	*	*	*	*	*	*	*	*	*	*	
4		*	L	L	*	*	*	*	*	*	*	*	
3		*	S	*	*	*	*	*	*	*	*	*	
2			*	*	*	L	*	*	*	S	*	*	
1			*	*	*	*	*	L	*	*	*	*	
0			*	*	*	*	*	2L	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208300W01 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	*	*				
7			*	*	*	*	*	*	*	*	*	*	
6			*	*	S	*	*	*	*	*	*	*	
5		*	*	*	*	*	*	*	*	*	*	*	
4		*	LS	L	*	*	*	2S	S	*	*	*	
3		*	*	*	*	*	*	*	*	*	*	*	
2			*	*	*	*	*	*	L	*	*	*	
1			*	*	*	*	*	LS	*	*	*	L	
0			*	*	*	*	*	2S	*	*	*	*	
		-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.9: Classificació del setè wafer de la planta d'Hamburg

Defect report on S208300W02 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*		
7		*	*	*	*	*	*	*	*	*	
6		*	*	*	*	*	*	*	*	S	*
5	*	*	*	S	*	*	*	*	*	*	*
4	*	LS	LS	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	
1		*	*	*	*	*	*	*	*	*	
0			*	*	*	*	*	*	*		

-2 -1 0 1 2 3 4 5 6 7 8 X-POS.

Defect report on S208300W02 [IN] :

*** Types C287 ***

Y-POS.

8			S	*	*	*	*	*	*		
7		*	*	*	*	*	*	*	*	*	
6		*	*	*	*	*	*	*	*	*	
5	*	*	*	*	S	*	*	*	*	*	*
4	*	L	L	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	
1		*	*	*	*	*	*	*	*	*	
0			*	*	*	*	S	*	*		

-2 -1 0 1 2 3 4 5 6 7 8 X-POS.

Defect report on S208300W02 [IN] :

*** Types C250 ***

Y-POS.

8			*	*	*	*	*	*			
7		*	*	*	*	*	*	*	L	L	
6		*	*	S	*	*	*	*	S	S	
5	*	*	*	*	S	*	*	*	*	*	*
4	*	LS	LS	*	*	*	*	*	*	*	*
3	*	*	*	*	*	*	*	*	*	*	*
2		*	*	*	*	*	*	*	*	*	
1		*	S	*	*	*	*	*	*	*	
0			*	S	*	*	*	*	*		

-2 -1 0 1 2 3 4 5 6 7 8 X-POS.

Figura A.10: Classificació del vuitè wafer de la planta d'Hamburg

Defect report on S208300W04 [IN] :

*** Types C3DM ***

Y-POS.

8			*	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	*	*	*	*	*	*	*	*	*	
4	*	L	L	*	*	*	*	*	*	*	*	
3	*	*	*	*	*	*	*	*	*	*	*	
2		*	*	*	*	*	*	*	*	*		
1		*	*	*	*	S	*	*	*	*		
0			*	S	*	*	*	*	*			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208300W04 [IN] :

*** Types C287 ***

Y-POS.

8			*	S	*	*	*	*				
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	*	S	*	*	*	*	*	*	*	
4	*	L	L	*	*	*	*	*	*	*	*	
3	*	*	*	*	S	*	*	*	2S	*	*	
2		*	*	*	*	*	S	S	*	*		
1		2L	*	*	*	*	*	S	*	*		
0			*	*	*	*	*	*	*			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Defect report on S208300W04 [IN] :

*** Types C250 ***

Y-POS.

8			S	*	*	*	*	*	*			
7		*	*	*	*	*	*	*	*	*		
6		*	*	*	*	*	*	*	*	*		
5	*	*	*	*	3S	*	*	*	*	*	*	
4	*	LS	LS	*	*	*	*	*	*	S	*	
3	*	*	*	*	*	*	*	*	*	*	*	
2		*	*	*	*	*	*	*	*	*		
1		*	*	*	*	*	*	S	*	*		
0			*	*	*	*	*	*	S			
	-2	-1	0	1	2	3	4	5	6	7	8	X-POS.

Figura A.11: Classificació del novè wafer de la planta d'Hamburg

Apèndix B

Anàlisi visual dels ponts

En les següents Figures es mostra el resultat de la inspecció visual feta sobre alguns dels ponts mesurats en el capítol 3.

.1 Ponts altament resistius

Les cinc Figures .1 - .5 corresponen a ponts de resistència elevada. En elles es veu com la connexió entre el defecte (alumini) i una de les línies que connecta té una superfície molt petita.

.2 Ponts múltiples

En la Figura .6 es mostra un pont múltiple entre vàries línies de metall.

En la Figura .7 s'il·lustren tres ponts dins d'un mateix circuit monitor.

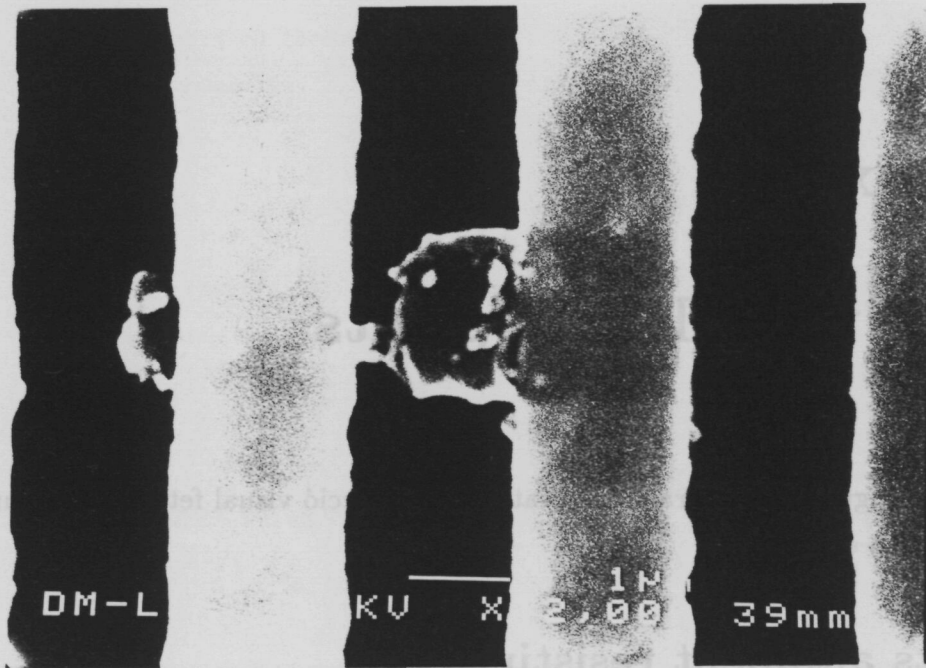


Figura .1: Fotografia d'un pont d'alumini de resistència elevada

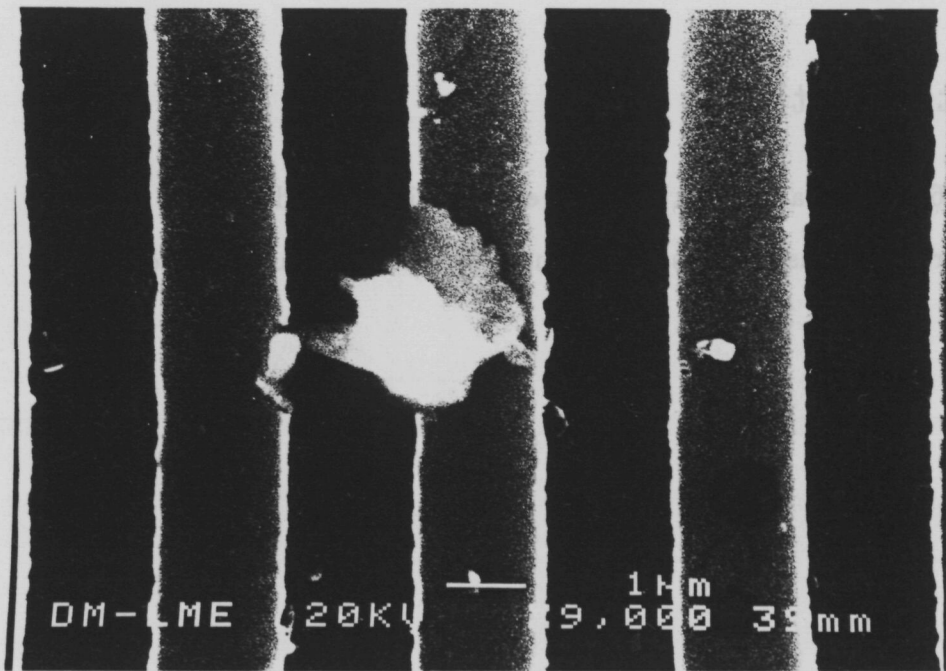


Figura .2: Fotografia d'un pont d'alumini de resistència elevada

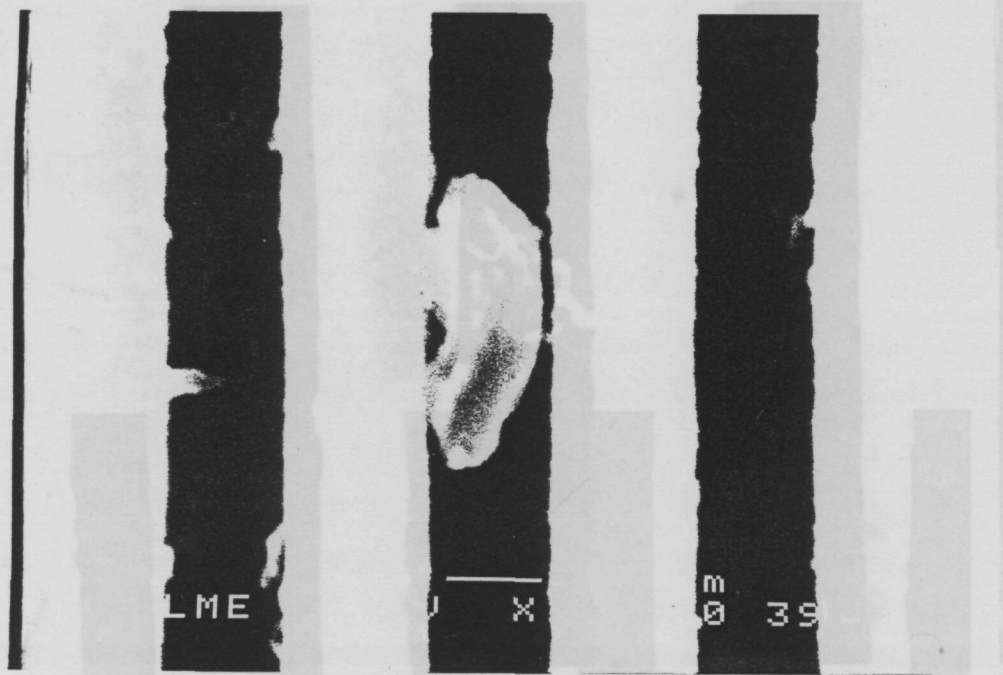


Figura .3: Fotografia d'un pont d'alumini de resistència elevada

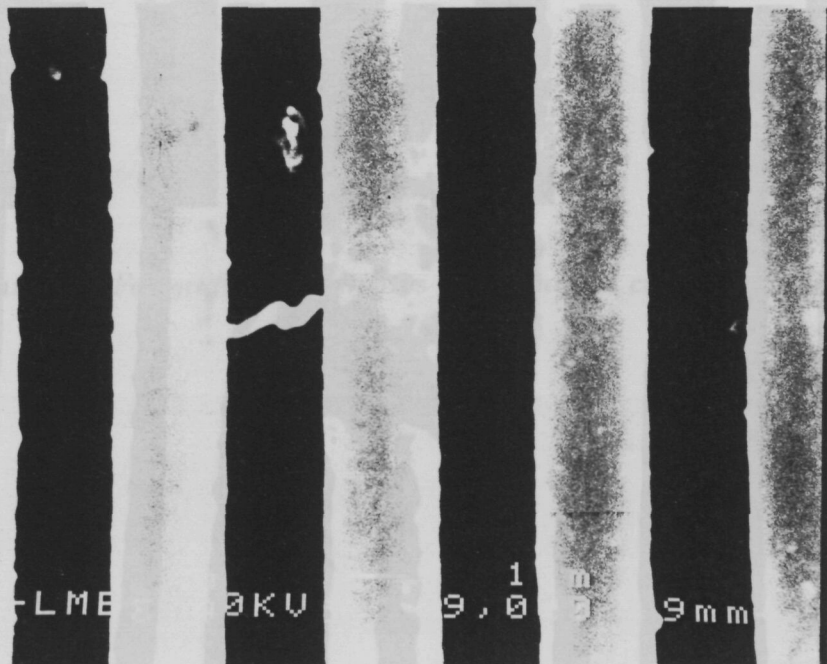


Figura .4: Fotografia d'un pont d'alumini de resistència elevada

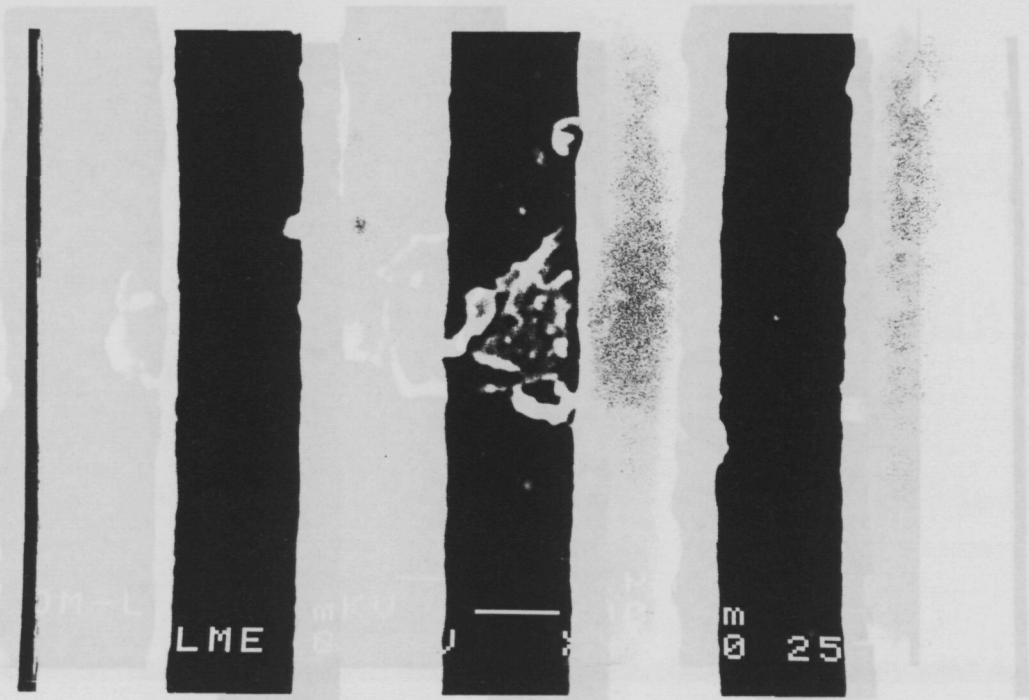


Figura .5: Fotografia d'un pont d'alumini de resistència elevada

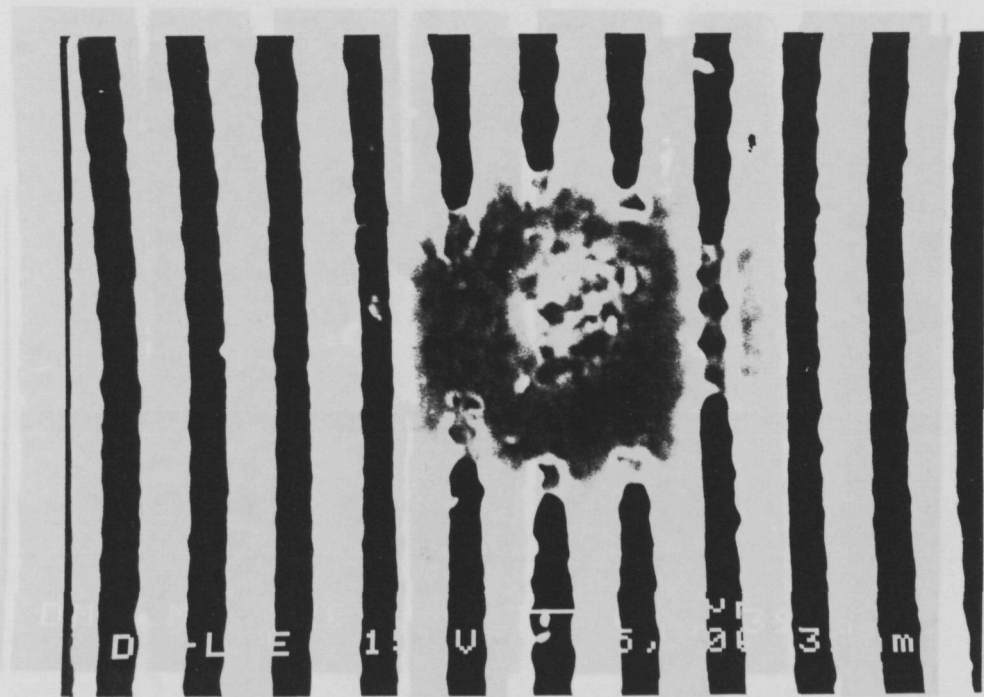


Figura .6: Fotografia d'un pont múltiple d'alumini

Bibliografia

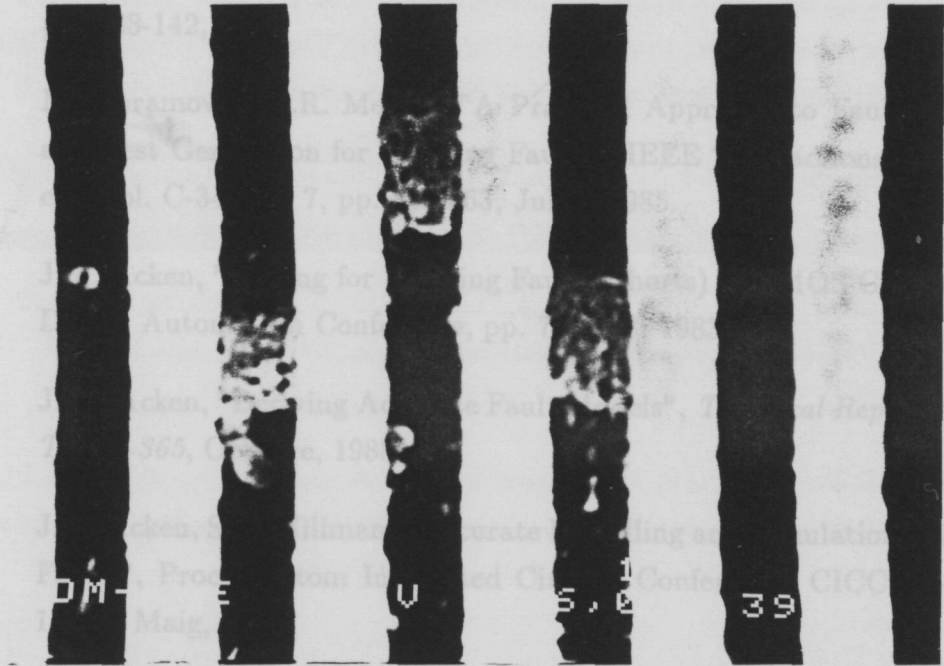
[ABR83] M. Abramovici, P.R. Menon, "A Practical Approach to Fault Simulation and Test Generation for Bridging Faults", International Test Conference, pp. 139-142, 1983.

[ABR87] M. Abramovici, P.R. Menon, "A Practical Approach to Fault Simulation and Test Generation for Bridging Faults", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. C-3, No. 7, pp. 477-488, July 1987.

[ACK83] J. Ackey, "Generating Test Patterns for Bridging Faults", 20th Design Automation Conference, pp. 107-110, 1983.

[ACK88] J. Ackey, "Generating Test Patterns for Bridging Faults", Technical Report, CSL-78-365, October 1988.

[ACK91] J. Ackey, "Generating Test Patterns for Bridging Faults", Proceedings of the International Conference on Computer-Aided Design, pp. 17.4.1-17.4.4, 1991.



[AL87] S.A. Al-Arian, D.P. Agrawal, "Physical Failures and Fault Models of CMOS", pp. 269-279, March, 1987.

Figura .7: Fotografia de tres ponts en un mateix circuit monitor

[AME87] Amerasekera i Campbell, "Failure Mechanisms in Semiconductor Devices", John Wiley & Sons, 1987.

[ARM66] D.B. Armstrong, "On Finding a Nearly Minimal Set of Fault Detection Tests for Combinational Logic Nets", IEEE Transaction on Electronic Computers, Vol. ED 15, Febrer, 1966.

[BAK90] K. Baker, B. Verhelst, "I_{DDT} testing because "Zero defects isn't enough": A Philips Perspective", International Test Conference, pp.253-254, 1990.

Bibliografia

- [ABR83] M. Abramovici, P.R. Menon, "A Practical Approach to Fault Simulation and Test Generation for Bridging Faults", International Test Conference, pp. 138-142, 1983.
- [ABR85] M. Abramovici, P.R. Menon, "A Practical Approach to Fault Simulation and Test Generation for Bridging Faults", IEEE Transactions on Computers, Vol. C-34, No. 7, pp. 658-663, Juliol, 1985.
- [ACK83] J.M. Acken, "Testing for Bridging Faults (shorts) in CMOS Circuits", 20th Design Automation Conference, pp. 717-718, 1983.
- [ACK88] J. M. Acken, "Deriving Accurate Fault Models", *Technical Report No. CSL-TR-88-365*, Octubre, 1988.
- [ACK91] J.M. Acken, S.D. Millman, "Accurate Modelling and Simulation of Bridging Faults", Proc. Custom Integrated Circuits Conference, CICC, pp. 17.4.1-17.4.4, Maig, 1991.
- [ALS7] S.A. Al-Arian, D.P. Agrawal, "Physical Failures and Fault Models of CMOS Circuits", IEEE Transactions on Circuits and Systems, Vol C-34, pp. 269-279, Març, 1987.
- [AME87] Amerasekera i Campbell, "Failure Mechanisms in Semiconductor Devices", John Wiley & Sons, 1987.
- [ARM66] D.B. Armstrong, "On Finding a Nearly Minimal Set of Fault Detection Tests for Combinational Logic Nets", IEEE Transaction on Electronic Computers, Vol. ED 15, Febrer, 1966.
- [BAK90] K. Baker, B. Verhelst, " I_{ddq} testing because "Zero defects isn't enough": A Philips Perspective", International Test Conference, pp.253-254, 1990.

- [BAL91] L.Balado, V.H.Champac, J.Figueras, R.Rodriguez, A.Rubio, J.Segura, "On-line current bist for bridges, gos and floating gate faults in basic combinational modules", Report 5.6.2.D, EVEREST-ESPRIT PR.2318, Juny, 1991.
- [BAL91] L.Balado, V.H.Champac, J.Figueras, R.Rodriguez, A.Rubio, J.Segura, "Implementation of tools for on-line current BIST for Bridges, GOS and Floating Gate Faults in Basic Sequential Modules", Report 5.6.2.H, EVEREST-ESPRIT PR.2318, Gener, 1992.
- [BAL91] L.Balado, V.H.Champac, J.Figueras, R.Rodriguez, A.Rubio, J.Segura, "Quiescent current estimation for Current Testing", European Conference on Design Automation, pp. 543-548, Brussel.les, NMarç, 1992.
- [BAN82] P. Banerjee and J.A. Abraham, "Fault Characterization of VLSI MOS Circuits", Proc. international test conference, pp. 564-568, 1982.
- [BAN83] P.Banerjee and J.A. Abraham, "Generating test for physical failures in MOS logic circuits", Proc. international test conference, pp. 129-137, Octubre, 1983.
- [BAN85] P.Banerjee and J.A. Abraham, "A Multivalued Algebra for Modeling Physical Failures in MOS VLSI Circuits", IEEE Transaction Computer-Aided Design, vol. CAD-4, no. 3, Juliol, pp.312-321, 1985.
- [BAS84] D. Baschiera i B. Courtois, "Testing CMOS: A Challenge", VLSI Design, pp. 58-62, Octubre, 1984.
- [BEC90] S. Beckers i C. Hiltrop, "The Spidermask: A New Approach for Yield Monitoring using Product Adaptable Test Structures", Proceedings IEEE International Conference on Microelectronic Test Structure, Vol. 3, Març, 1990.
- [BRU91] E.M.J.G. Bruls, F. Camerik, H.J. Kretschman and J.A.G. Jess, "A generic method to develop a defect monitoring system for IC processes", *Proc. International Test Conference*, pp.218-227, Octubre, 1991.
- [BUR89] Burns, "Locating High Resistance Shorts in CMOS Circuits by Analysing Supply Current Measurement Vectors", International Symposium on Testing and Failure Analysis, pp. 231-237, Novembre, 1989.

- [BRY84] R. E. Bryant, "A Switch-Level Model and Simulator for MOS Digital Systems", *IEEE Transactions on Computers*, Febrer, pp. 160-177, 1984.
- [CAS76] G.R. Case, "Analysis of actual Fault Mechanisms in CMOS Logic Gates", *13th Design Automation Conference*, pp. 265-270, Juliol, 1976.
- [CHA85] R. Chandramouli, H. Sucar, "Defect Analysis and Fault Modeling in MOS Technology", *International Test Conference*, pp.313-321, 1985.
- [CHA90] V. Chandramouli, R.K. Gulati, R. Dandapani i D.K. Goel, "Bridging Faults and their Implication to PLAs", *International Test Conference*, pp. 852-859, 1990.
- [CHA91] V.H. Champac, R. Rodríguez-Montañés, J.A. Segura, " ", *European Test Conference*, Munich, 1991.
- [CLA87] H.G. Claudius, "Practical defect reduction in an MOS IC line", *Microcontamination*, Vol. 5, no. 4, pp.47-52, Abril, 1987.
- [CRA87] C. Crapuchettes, "Testing CMOS IDD on Large Devices", *International Test Conference*, pp. 310-315, 1987.
- [DEK88] R. Dekker, F. Beenker i L. Thijssen, "Fault Modelling and Test Algorithm Development for Static Random Access Memories", *International Test Conference*, pp. 343-352, 1988.
- [EDW80] D.G. Edwards, "Testing for MOS Integrated Circuits Failure Modes", *IEEE Test Conference*, pp. 407-416, 1980.
- [ELD59] R.D. Eldred, "Test Routines Based on Symbolic Logical Statements", *Journal of ACM*, 6:33-36, Gener, 1959.
- [FAN85] Fantini i Morandi, "Failure Modes and Mechanisms for VLSI ICs- A Review", *IEE Proceedings*, vol. 132, Pt. G, no. 3, pp.74-81, Juny, 1985.
- [FAV91] M. Favalli, P. Olivo i B. Riccò, "A Probabilistic Fault Model for Analog Faults", *EDAC*, pp. 85-88, Febrer, 1991.
- [FAV92] M. Favalli, P. Olivo i B. Riccò, "Dynamic Effects in the Detection of Bridging Faults in CMOS ICs", *EDAC*, 1992.

- [FEL88] D.B.I. Feltham, P.Nigh, L.R. Carley, W. Maly, "Current Sensing for Built-In Testing of CMOS Circuits", Proc. International Conference on Computer Design, Octubre 1988.
- [FER88] F.J. Ferguson and J.P. Shen, "A CMOS Fault Extractor for Inductive Fault Analysis", IEEE Trans. on Computer-Aided Design, vol.7, no. 11, pp. 1181-1194, Novembre, 1988.
- [FER90] F.J. Ferguson, M. Taylor i T. Larrabee, "Testing for Parametric Faults in Static CMOS", International Test Conference, pp. 436-443, 1990.
- [FER90b] F.J. Ferguson, "Detection of Multiple Faults in MOS circuits", IEEE Transaction on Computer-Aided Design, vol 9, no 9, Setembre, pp. 1009-1014, 1990.
- [FER90c] R. Ferrant i V. Stachetti, "A Modular 4Kx16 Dual Port Memory", European Solid-State Circuit Conference, Setembre, pp. 149-152, 1990.
- [FRI74] A.D. Friedman, "Diagnosis of Short Circuits Faults in Combinational Circuits", IEEE Transaction on Computers, vol. C-23, pp. 746-752, Juliol, 1974.
- [FRI90] R.R. Fritzemeier, J.S. Soden, R.K. Treece i C.F. Hawkins, "Increased CMOS IC Stuck-At Fault Coverage with Reduced I_{DDQ} Test Sets", Internacional Test Conference, 1990.
- [FUJ85] H. Fujiwara, "Logic Testing and Design for Testability", The MIT Press, 1985.
- [GAL80] J. Galiay, Y. Crouzet and M. Vergniault, "Physical versus logical Fault Models MOS LSI Circuits: Impact on Their Testability", IEEE Trans. on Computers, Vol. c-29, n6, pp. 527-531, Juny, 1980.
- [GLA90] R. Glang, "Defect Size Distribution in VLSI Chips", Proceedings of the IEEE International Conference on Microelectronic Test Structures, Vol. 3, pp. 57-60, Març, 1990.
- [HAO91] H. Hao i E.J. McCluskey, "Resistive Shorts within CMOS Gates", International Test Conference, pp. 292-301, 1991.
- [HAY85] J.P. Hayes, "Fault Modeling", IEEE Design of Test of Computers, Vol. 2, No. 6, pp. 13-26, Desembre 1985.

- [HAW85] C.F. Hawkins, J. M. Soden, "Electrical Characteristics and Testing Considerations for Gate Oxide Shorts in CMOS ICs", International Test Conference, 1985.
- [HAW86] C.F. Hawkins, J. M. Soden, "Reliability and Electrical Properties of Gate Oxide Shorts in CMOS ICs", International Test Conference, 1986.
- [HAW89] C. F. Hawkins, J. M. Soden, R. R. Fritzeimer and L. K. Horning "Quiescent Power Supply Current Measurement for CMOS IC Defect Detection", IEEE Transaction on industrial electronics, Vol. 36, No. 2, pp. 211-218, Maig, 1989.
- [HOD88] D.A. Hodges i H.G. Jackson, "Analysis and Design of Digital Integrated Circuits", McGraw-Hill Book Company, 1988.
- [HOR87] L. K. Horning, J. M. Soden, R. R. Fritzeimer and C. F. Hawkins, "Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing", International Test Conference, pp.300-309, 1987.
- [HSI86] Hsi-Ching Shih i J.A. Abraham, " Transistor-Level Test Generation for Physical Failures in CMOS Circuits", 23rd Design Automation Conference, 1986.
- [HSU68] J.C. Hsu i A.U. Meyer, "Modern Control Principles and Applications", McGraw-Hill Book Company, 1968.
- [HUG84] J.L.A. Hughes i E.J. McCluskey, "An Analysis of the Multiple Fault Detection Capabilities of Single Stuck-at Fault Test Sets", International Test Conference, pp. 52-58, Octubre, 1984.
- [JAC89] M.Jacomino, J.L. Rainard and R. David, "Fault Detection in CMOS Circuits by Consumption Measurement", IEEE Transsactions on Instrumentation and Measurement, vol.38, n3, pp. 773-778, Juny, 1989.
- [JAC89b] M. Jacomet, "FANTESTIC: Towards a Powerful Fault Analysis and Test Pattern Generator for Integrated Circuits", International Test Conference, pp. 633-642, 1989.
- [KAR80] M.Karpovsky and S.Y.H. Su "Detection and location of input and feedback bridging faults among input and output lines", IEEE Tran. on computers, vol c-29, n.6, juny, 1980.

- [KOD80] K.L.Kodandapani, D.K. Pradhan, "Undetectability of Bridging Faults and Validity of Stuck-At Fault Test Sets", IEEE Transactions on Computers, Vol. c-29, no. 1, pp. 55-59, Gener, 1980.
- [LEV81] Levi, M.W., "CMOS is Most Testable", International Test Conference, pp. 217-220, 1981.
- [MAH92] U. Mahlstedt, M. Heinitz i J. Alt, "Test Generation for I_{DDQ} Testing and Leakage Fault Detection in CMOS Circuits", EURODAC, 1992.
- [MAL82] Malaiya, Y.K. and S.Y.H. Su , "A new fault model and technique for CMOS devices", Proc. international test conference, Philadelphia,pp 25-34, Octobre, 1982.
- [MAL84] W. Maly, J.P. Shen, F.J. Ferguson, "Systematic Characterization of Physical Defects for Fault Analysis of MOS IC Cells", International Test Conference, pp. 390-399, Septembre, 1984.
- [MAL85] W. Maly, "Modeling of Lithography Related Yield Losses for CAD of VLSI Circuits", IEEE Transactions on Computer-Aided Design, vol. CAD-4, no. 3, pp. 166-177, Juliol, 1985.
- [MAL86] Malaiya, Y.K., Jayasumana, A.P., Rajsuman, R., "A Detailed Examination of Bridging Faults", IEEE International Conference on Computer Design, pp 78-81, 1986.
- [MAL87] W.Maly, "Realistic Fault Modeling for VLSI Testing", 24th Design Automation Conference, pp.173-180, 1987.
- [MAL88a] W. Maly P.Nigh, "Built-In Current Testing: Feasibility Study", IEEE International Conference on Computer-Aided Design, pp 340-343, Novembre, 1988.
- [MAL88] W. Maly, M. Thomas, J. Chinn i D. Campbell, "Characterization of Type, Size and Density of Spot Defects in the Metalization Layer", Yield Modelling and Defect Tolerance in VLSI, pp. 71-90, IOP Publishing Ltd and individual contributors, 1988.
- [MAL90] W. Maly, "Current Testing", International Test Conference, p.257, 1990.
- [McE90] S. McEuen, "Why IDDQ?", International Test Conference, p.252, 1990.

- [MEI74] K.C.Y. Mei, "Bridging and Stuck-at Faults", IEEE Transaction on Computers, vol c-23, pp. 720-727, Juliol, 1974.
- [MEE90] R. Meershoek, B. Verhelst, R. McInerney i L. Thijssen, "Functional and I_{DDQ} Testing on a Static RAM", International Test Conference, 1990.
- [MIU92] Y. Miura i K. Kinoshita, "Circuit Design for Built-in Current Testing", International Test Conference, pp. 873-881, 1992.
- [NIG89] P. Nigh, W. Maly, "Test Generation for Current Testing", Fault Tolerant Computing Systems, 1989.
- [NIG90] P. Nigh, W. Maly, "Test generation for Current Testing", IEEE Design and Test of Computers, Febrer, 1990.
- [RAJ87] R. Rajsuman, Y.K. Malaiya, A.P. Jayasumana, "On Accuracy of Switch-level Modeling of Bridging Faults in Complex Gates", 24th ACM/IEEE Design Automation Conference, pp. 244-250, 1987.
- [RAJ91] R. Rajsuman, "Digital Hardware Testing: Transistor-Level Fault Modelling and Testing", Artech House, 1992.
- [RAJ91b] R. Rajsuman, "An Analysis of Feedback Bridging Faults in MOS VLSI", IEEE VLSI Test Symposium, pp. 53-58, 1991.
- [RIU92] J. Rius, J. Figueras, "Proportional BIC Sensor for Current Testing", acceptat per a publicar en el Journal of Electronic Testing: Theory and Applications.
- [ROC92] M. Roca i A. Rubio, "Quiescent Current Testing of Combinational Circuits with Bridging Faults", Asian Test Symposium Hiroshima, Novembre, 1992.
- [ROD90] R. Rodríguez, J. Segura, V. Champac, J. Figueras, A. Rubio, "Bridging Faults in CMOS: Possibilities of current testing", European Solid-State Circuit Conference, Grenoble, Septembre, 1990.
- [ROD91b] R. Rodríguez-Montañés, J. Figueras, A. Rubio, "Current versus Voltage Testing of Bridging Defects in a Dual Port Memory Cell", European Solid-State Circuit Conference, Milano, Septembre, 1991.

- [ROD91] R. Rodríguez-Montañés, J.A. Segura, V.H. Champac, J.Figueras, J.A. Rubio, "Current vs. logic testing of gate oxide shorts, floating gate and bridging failures in CMOS", Proc. International Test Conference, pp.510-519, Nashville, Octubre, 1991.
- [ROD92] R. Rodríguez-Montañés, E. M. J. G. Bruls, J. Figueras, "Bridging defects resistance measurements in a cmos process", Proc. International Test Conference, pp. , Baltimore, Setembro, 1992.
- [RUB90] A. Rubio, J. Figueras, J. Segura, "Quiescent Current Sensor Circuits in Digital VLSI CMOS Testing", Electronics Letters, Vol. 26, N0. 15, pp. 1204-1206, Juliol, 1990.
- [RUB91] A. Rubio, J. Figueras, V. Champac, R. Rodríguez i J. Segura, "Secondary components in CMOS Logic Circuits Preceded by Defective Stages Affected by Analogue Type Faults", IEE Electronics Letters, Vol. 27, N0. 18, pp. 1656-1658, Agost, 1991.
- [SAR92] M. Saraiva, P. Casimiro, M. Santos, J.T. Sousa, F. Gonçalves, I. Teixeira, J.P. Teixeira, "Physical DFT for High Coverage of Realistic Faults", International Test Conference, pp. 642-651, 1992.
- [SAN91] M.B. Santos, J.J.T. Sousa, F.M. Gonçalves, J.P. Teixeira, "On the Testability of Realistic Bridging Faults", International Workshop on Defect Tolerance on VLSI Systems, pp. 175-178, 1991.
- [SHE85] J.P. Shen, W. Maly and F.J. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits", IEEE Design and Test, pp. 13-26, Desembre, 1985.
- [SHI86] H-C Shih i J.A. Abraham, "Transistor-Level Test Generation for Physical Failures in CMOS Circuits", 23rd Design Automation Conference, pp. 243-249, 1986.
- [SIE81] Daniel P. Siewiorek, Larry Kwok-Woon, "Testing of Digital Systems", Proceedings of the IEEE, vol. 69, n.10, Octubre, 1981.
- [SOD89] J.M. Soden and C.F. Hawkins, "Electrical Properties and Detection Methods for CMOS IC Defects", Proc. European Conference, Paris, Abril, 1989.
- [STO90] T.M. Storey i W. Maly, "CMOS Bridging Fault Detection", International Test Conference, pp. 842-851, 1990.

- [STO91] T. Storey i W. Maly, "Stuck Faults and Current Testing Comparison using CMOS Chip Test", International Test Conference, pp. 311-318, 1991.
- [SOD90] J. M. Soden, R. R. Fritzemeier and C. F. Hawkins, "Zero Defects or Zero Stuck-At Faults - CMOS IC Process Improvement with I_{DDQ} ", International Test Conference, pp.255-256, 1990.
- [TEI90] J.P. Teixeira, F.M. GONçalves, J.J. Teixeira de Sousa, "On the physical design of testable CMOS digital circuits", European Solid-State Circuit Conference, Grenoble, Septembre, 1990.
- [TEI91] J.P. Teixeira, F.M. GONçalves, J.J.T. Sousa, "Layout-Driven Testability Enhancement", European Test Conference, pp. 101-109, 1991.
- [TIM83] C. Timoc, M. Buchler, T. Griswold, C. Pina, F. Scott i L. Hess, "Logical Models of Physical Failures", International Test Conference, pp. 546-553, 1983.
- [VIS91] G.S. Visweswaran, A.M. Ali, P.K. Lala i C.R.P. Hartmann, "The effects of Transistor Source-to-Gate Bridging Faults in Complex CMOS Gates", IEEE Journal of Solid-State Circuits, Vol.26, No. 6, pp. 893-896, Juny, 1991.
- [WAD78] R.L. Wadsack, "Fault Modeling and Logic Simulation of CMOS and MOS Integrated Circuits", The Bell System Technical Journal, vol.57, Maig-Juny, pp. 1449-1474, 1978.
- [WOO86] M.H. Woods, "MOS VLSI Reliability and Yield Trends", Proceedings IEEE, vol. 74, no. 12, pp. 1715-1729, Desembre, 1986.
- [XU82] S. Xu and S.Y.H.Su, "Testing feedback bridging faults among internal input and output lines by two patterns," Proc. international conference of circuits and computers, pp 214-217, Septembre, 1982.
- [YAN88] E. S. Yang, "Microelectronic Devices", McGraw-Hill Book Company, 1988.
- [YAR88] Yarbrough, "A Testing Methodology and Test Chip Design Strategy for IC Fabrication Process Assessment, Problem Diagnosis, and Yield Analysis", PhD Dissertation Thesis, 1988.
- [ZAG90] M.E. Zaghloul i D. Gobovic, "Fault Modelling of Physical Failures in CMOS VLSI Circuits", IEEE Transactions on Circuits and Systems, Vol. 37, no. 12, pp. 1528-1543, Setembre, 1990.

