


1110032175
T 98/139

 **UPC**
UNIVERSITAT
POLITÈCNICA
DE CATALUNYA



UNIVERSITAT POLITÈCNICA DE CATALUNYA
Departament d'Enginyeria Electrònica

**ANÀLISI DE L'ENERGIA DE TRANSICIÓ
MÀXIMA EN CIRCUITS
COMBINACIONALS CMOS**

Memòria per a obtenir el títol de
Doctor Enginyer Industrial de:

Salvador Manich Bou

Director:

Joan Figueras Pàmies

Novembre 1998

Capítol 5

Influència del model de retard en l'estimació de l'energia de transició

En els capítols anteriors s'ha vist que l'estimació, a nivell lògic, de l'energia de transició està intrinsecament relacionada amb el model de retard utilitzat durant la simulació del circuit. La selecció d'un o altre model de retard es fa en base a la quantitat d'informació disponible del circuit a analitzar i a la precisió desitjada en l'estimador.

Quan la informació tecnològica del circuit no està disponible, els models de retard més habitualment utilitzats són tres: model de retard zero, model de retard unitari i model de retard variable, amb o sense finestra de filtratge inercial. En aquest capítol es fa una anàlisi sistemàtica de la influència que té cada un dels models de retard en l'energia de transició.

El capítol està dividit en els apartats següents. A l'apartat 5.1 es fa una breu introducció del capítol i es presenten els treballs més importants relacionats amb aquest tema. A la secció 5.2 s'analitza l'efecte que tenen les variacions petites del retard sobre l'estimació de l'energia de transició. Posteriorment, a 5.3 es presentarà el cas en què les variacions del retard siguin grans. A la secció 5.4 es veuen els resultats experimentals que permeten fer una comparació de la precisió de la mètrica d'activitat ponderada en funció del model de retard seleccionat. Finalment a la secció 5.5 es fa un resum de les conclusions més importants del capítol.

5.1 Introducció

La influència que té el model de retard en l'estimació de l'energia de transició és ben coneguda. Una de les primeres referències on es parla d'aquesta influència és en el treball de Kissin, [10]. Allà es distingeixen els models d'estimació d'energia assumint la propagació instantània i no instantània dels senyals en el circuit. Es remarca, específicament, que els models de retard diferents de zero són susceptibles de crear transicions falses en el circuit. Aquestes incrementen el nombre de commutacions en els nodes. Diversos autors han validat posteriorment aquests resultats. Shen *et al.* constaten a [43] que el desequilibri entre els temps de propagació dels senyals d'un circuit que siguin reconvergens són la causa de l'aparició de les transicions falses. El consum d'aquestes transicions pot representar un percentatge que vagi del 20% al 70% del consum total, [66] [81]. A [98], Rabe *et al.* fan una anàlisi amb més profunditat de les transicions espúries, *glitches*, i s'arriba a la conclusió de que la seva repercussió pot estar al voltant d'entre el 10% fins al 60%. Altres resultats similars són els aportats per Wang *et al.* [108] on s'aplica un mètode basat en Monte-Carlo en els circuits ISCAS-85 per determinar la influència que tenen les variacions del procés i l'aparició de transicions falses sobre la potència mitja. En el treball es conclou que, en mitjana, l'increment de potència consumida degut a les transicions falses, *hazards*, és el 13% al 48%.

Per a poder estimar correctament la contribució que tenen les transicions falses, cal que es faci un modelat dels temps de propagació dels senyals interns dels circuits. En general, la complexitat d'aquests models afectarà directament a l'eficiència de l'estimador. Els models més utilitzats, a nivell lògic, són els estàtics, [23] [25] [35] [31] [45]. Aquests models també són anomenats models realistes [91]. La característica principal d'aquests models és que el retard de propagació en les portes vé determinat per una magnitud fixa que representa l'enderrament, en el temps, que experimenta una transició quan travessa una porta. Els temps de transició dels senyals s'assumeix instantani generalment. Dins d'aquests models de retard es distingeixen principalment dos. El retard unitari, on totes les portes tenen la mateixa magnitud i el variable on el retard de cada porta pot ser diferent. És habitual la utilització del *fanout* com a pes que modela les diferències en la magnitud del retard [114].

Alguns exemples de treballs on s'utilitza el model de retard unitari són els següents. Devadas *et al.* [27] i [42] utilitza aquest model per estimar, mitjançant càlcul simbòlic, l'activitat ponderada màxima en un circuit com-

binacional. A [82] Hill aplica aquest model de retard a tècniques de particionat orientat al baix consum. A [86] Manich *et al.* estima l'activitat de les transicions totals d'un circuit combinacional basant-se amb el model de retard unitari. Aquest model també és utilitzat per Krstic a [115] per a fer estimacions del corrent màxim.

Treballs on s'utilitza el model de retard variable són: a Kriplani *et al.* [46], per a calcular una cota al corrent màxim. A Najm [47], per estimar el consum promig d'un circuit per mitjà de la densitat de transició dels nodes. A Bahar *et al.* [57], s'optimització del consum fent la reducció dels camins falsos del circuit, *false paths*. Altres treballs on s'utilitza aquest model de retard són: [80] [85] [88] [90] [110] [120].

En alguns cassos, junt amb el model de retard variable s'incorpora una finestra de filtratge inercial. Aquesta finestra de filtratge modela la supressió de transicions que s'observa a nivell elèctric, quan dues transicions de signes oposats arriben excessivament properes a l'entrada d'una porta. En el cas particular de la finestra de filtratge inercial, la finestra té la mateixa amplada que el retard de la porta. D'aquesta manera, si dues transicions arriben amb una diferència de temps inferior al retard de la porta, aquestes queden suprimides mantenint-se inalterada la sortida. Aquest mecanisme té un efecte atenuador de transicions falses en els circuits que presenten una reconvergència elevada. Per aquesta raó, en diversos treballs es proposa la incorporació d'aquesta finestra de filtratge al model de retard amb l'objectiu de fer més realista el comportament del circuit. Alguns d'aquests treballs són el Burch *et al.*, [39] que estima el consum emprant tècniques Monte-Carlo. El de Gosh *et al.*, [44], que utilitza simulació probabilista en un estimador de consum orientat a circuits combinacionals i seqüencials. El de Tsui *et al.* [53], que també dissenya un simulador probabilistic millorat amb el tractament de la correlació espacial dels senyals. Altres treballs que també utilitzen la finestra de filtratge són: [65], [77], [79], [84], [91], [103] i [117].

La utilització de models dels models de retard realistes millora les estimacions de consum però presenten alguns problemes. En l'article publicat per Gosh *et al.* a [44], s'observa que les estimacions d'energia fetes amb un model de retard unitari són sistemàticament més grans que les calculades amb un model de retard zero. Un comportament similar es detecta entre el model de retard variable i el model de retard variable amb finestra de filtratge inercial. En el cas del model de retard variable, s'apunta a la finestra de filtratge com a la causa de la disminució dels valors obtinguts per les estimacions. Un altre treball on es constaten aquestes diferències en les estimacions és en l'article de Najm *et al.* [80]. En articles anteriors,

[47], els autors havien dissenyat una mètode per a estimar el consum mig d'un circuit basant-se en una tècnica probabilística que estimava la densitat de transició dels nodes. Aquesta tècnica permetia la utilització de models realistes. Es va observar que lleugeres variacions en els retards d'algunes portes claus podien modificar la densitat de transició d'un node, en ordres de magnitud. Un altre aspecte complementari és l'estudiat per Hsiao *et al.* a [114] i Manich *et al.* a [118]. En aquests darrers treballs s'analitzen les parelles de vectors que exciten els circuits combinacionals en els seus nivells d'energia de transició màxima. En concret en aquests treballs s'analitzen les correlacions creuades de parelles de vectors obtingudes amb un model de retard, per exemple unitari, i simulades de nou amb un model diferent, per exemple el variable. A [118] el model de retard variable inclou el filtratge. Després de l'anàlisi es detecta que en alguns casos, la correlació és nul·la. En conseqüència, les parelles de vectors que s'han obtingut amb un model de retard diferent a l'utilitzat durant la simulació, poden deixar de ser vàlides com a excitació de l'energia de transició màxima. Els nivells d'energia de transició que s'obtenen durant la simulació poden estar molt lluny dels valors màxims esperats.

Aquests darrers punts plantejen un interrogant que fins al moment no ha tingut una resposta clara. Per a una excitació fixada a les entrades d'un circuit, ¿quina és la tendència que tenen les variacions experimentades per l'energia de transició quan es modifica el model de retard?

En aquest darrer capítol s'apunten respostes a la pregunta formulada en els paràgraf anterior. Es presenta un estudi realitzat sobre els models de retard realistes. S'analitza l'efecte que tenen aquests models de retard sobre l'estimació de l'energia de transició i també es discuteixen les conseqüències que poden tenir aquestes variacions en el càlcul de les excitacions del circuit.

En la propera secció, es comença l'estudi fent una anàlisi del comportament de l'activitat ponderada quan s'introdueixen petites variacions al retard de les portes.

5.2 Efectes de les variacions petites del retard en l'activitat ponderada

Tal com es veu més endavant, l'estimació de l'energia de transició a nivell lògic és sensible a les variacions del retard de les portes. Aquestes variacions es classifiquen, en aquest capítol, dos tipus: variacions **petites** i variacions **grans** del retard. Tal com es veu més endavant, els efectes que tenen les

variacions petites del retard sobre l'activitat ponderada són independents de l'arquitectura del circuit i de la seva excitació. Per altre cantó, quan les variacions del retard són grans llavors intervenen també l'arquitectura i l'excitació del circuit en la modificació de l'activitat ponderada, *AP*. Si bé aquests dos nous elements compliquen la predicció del comportament de la *AP*, és possible apuntar quines són les tendències.

En aquesta secció s'estudia, doncs, les variacions petites del retard. En primer lloc, l'estudi s'enfoca en un model de retard unitari. Es veu inicialment com s'incrementa l'activitat ponderada quan es modifiquen els retard de les portes. També s'estudia el comportament de la *AP* quan intervé la finestra de filtratge en les portes. El filtratge s'enfoca desde dos punts de vista: en el primer cas s'utilitza una **finestra de filtratge uniforme**, és a dir igual per a totes les portes. En un segon cas, aquesta **finestra de filtratge es fa inercial**, es a dir proporcional amb el retard de la porta. Els resultats que s'obtenen de l'anàlisi del model de retard unitari s'extenen, posteriorment, a altres models de retard.

El retard de les portes d'un circuit es modela inicialment amb la següent expressió,

$$\tau = T_N \pm \Delta$$

El paràmetre T_N representa el valor nominal del retard i en el cas d'un model de retard unitari aquest serà igual per a totes les portes. El segon paràmetre Δ representa la variació màxima que s'imposa al retard nominal. Aquest també és igual per a totes les portes del circuit. Per tant, la variació que experimenti el retard d'una determinada porta del circuit estarà acotat en l'interval $[-\Delta, \Delta]$.

Suposem que es té un circuit G amb una certa interconnexió de les portes, un model de retard unitari i una excitació fixada a les entrades primàries. L'excitació imposada fa commutar els nodes interns del circuit. Passat un temps suficientment llarg aquests nodes interns adquireixen un nou estat estable. Cada commutació d'un node intern passa en un instant de temps que és múltiple del retard nominal T_N . Per tant, un node $g_{i,1}$ pot tenir diversos valors que són $\{g_{i,1}(t_0), g_{i,1}(t_1), \dots, g_{i,1}(t_{k_i})\}$, on $t_{k_i} = k_i \cdot T_N$.

Si en aquest circuit s'apliquen variacions en el retard Δ , els instants de temps t_{k_i} poden experimentar modificacions que facin augmentar o disminuir el seu valor. La zona de fluctuació d'aquests instants de temps augmenta conforme els nodes estiguin situats a un nivell de profunditat superior dins del circuit. En el pitjor dels cassos, l'extensió màxima d'aquesta zona de fluctuació es trobarà situada en el darrer node del camí crític. Si la longitud

del camí crític és L_C , l'extensió màxima d'aquesta zona de fluctuació, Q_F , verifica que,

$$Q_F \leq L_C \cdot \Delta \quad (5.1)$$

Es defineix com a **variació petita** del retard el següent,

Definició 1 *En un circuit amb una longitud de camí crític L_C i un retard nominal T_N , una variació del retard és petita, Δ_P , quan es compleixi la següent desigualtat,*

$$\Delta_P < \frac{T_N}{2 \cdot L_C} \quad (5.2)$$

Aquesta condició assegura que no hi hagi solapament entre les commutacions anteriors i posteriors d'un node per causa del desplaçament introduïts en els retards. Per tant, es preserva la desigualtat,

$$t_{k-1,i} < t_{k,i} < t_{k+1,i}$$

Les repercussions que té aquesta variació petita del retard sobre l'activitat ponderada del circuit, queden resumides en els següents fets demostrables:

Fet 1 *Sigui un circuit G on les portes tenen un retard nominal T_N . Les entrades primàries s'exciten amb una parella de vectors anterior i present, $\{V_a, V_p\}$. En aquestes condicions es calcula l'activitat ponderada nominal del circuit que és, AP_N . Posteriorment, s'introdueix una variació petita Δ_P en els retards de les portes. Si en aquestes noves condicions es calcula de nou l'activitat ponderada, aquesta serà igual o superior a la nominal.*

$$AP(\Delta_P) \geq AP_N \quad (5.3)$$

Demostració. La demostració d'aquest fet es basa en la constatació de que qualsevol porta lògica que tingui transicions arribant simultàniament a dues de les seves entrades, el nombre de transicions a la sortida de la porta quedarà igual o augmentarà si l'arribada de les dues transicions deixa de ser simultània.

Aquest resultat es pot estendre a tot el circuit de la següent manera. Suposem que els nodes interns d'un circuit commuten degut a un canvi en el vector d'entrada. En un cert interval de temps $(t_k \pm \frac{T_N}{2})$ es fotografia el circuit. El nombre de nodes que commutin dins d'aquest interval dependrà de l'arquitectura del circuit, del model de retard nominal i de la parella de vectors d'entrada. Dins de l'interval, cada node fa com a màxim una única

commutació que es dona, exactament, a l'instant de temps t_k . Mantenint el circuit en aquesta situació, es modifiquen els retards de les portes fent una variació petita, Δ_P . A continuació es torna a simular el circuit i es repeteix la fotografia de l'estat del circuit en l'interval de temps $(t_k \pm \frac{T_N}{2})$. Aquells nodes que abans de la variació petita del retard no commutaven però que a l'entrada de la porta tenien transicions arribant simultàniament, ara poden arribar a commutar si desapareix la simultaneïtat. En conseqüència, després de la variació petita del retard, el nombre total de commutacions dins de l'interval de temps $(t_k \pm \frac{T_N}{2})$ serà igual o superior. En aquesta nova situació poden haver-hi nodes que facin més d'una commutació. Els instants de temps en que es produeixin les commutacions no seran exactament t_k , sino que estaran lleugerament avançats o endarrerits. En qualsevol cas, en tots els nodes del circuit aquests desplaçaments quedaran dins de l'interval $\pm \frac{T_N}{2}$. Això és degut a que les variacions imposades en els retards són menors que $(\frac{T_N}{2 \cdot L_C})$.

L'argumentació feta en el paràgraf anterior és vàlida per a qualsevol interval de temps $(t_k \pm \frac{T}{2})$, sent $k = 1, 2, \dots, n$, on n és el nombre total d'instants de temps necessaris per establir el circuit. Per tant, després de fer la variació petita dels retards, el nombre de commutacions globals restarà igual o augmentarà, quedant demostrat el Fet 1. ■

A la figura 5.1 es mostra un exemple que il·lustra la demostració anterior. El circuit de la figura conté tres portes XOR, tres portes NOT i una porta AND a la sortida. El retard nominal de les portes és unitari, tal com queda indicat a la taula inferior de la figura, fila " T_N ". A la part inferior de la figura es pot veure el cronograma, cronograma superior, de la resposta que té el circuit en excitar les entrades amb una parella de vectors $(11) \rightarrow (01)$. El nombre total de commutacions que fan els nodes és de 10. Si s'assigna un pes igual al fanout de les portes, l'activitat ponderada seria de, $AP_N = 13$. Posteriorment, s'introdueixen variacions petites dels retards de magnitud $\Delta_P = 0.08$. A la taula de la figura 5.1 s'indiquen els nous retards després de fer les variacions, fila " $T_N + \delta_i$ ". La resposta del circuit, després de ser excitat amb la mateixa parella de vectors, és la mostrada al cronograma inferior. El nombre total de commutacions augmenta fins a 16 i l'activitat ponderada fins a $AP(\Delta_P) = 19$. En el cronograma, es representa amb una franja gris la zona de fluctuació màxima de cada node.

D'aquest Fet 1, se'n deriva una un segon fet evident.

Fet 2 *Sigui un circuit G amb un cert retard nominal T_N a les portes i amb*

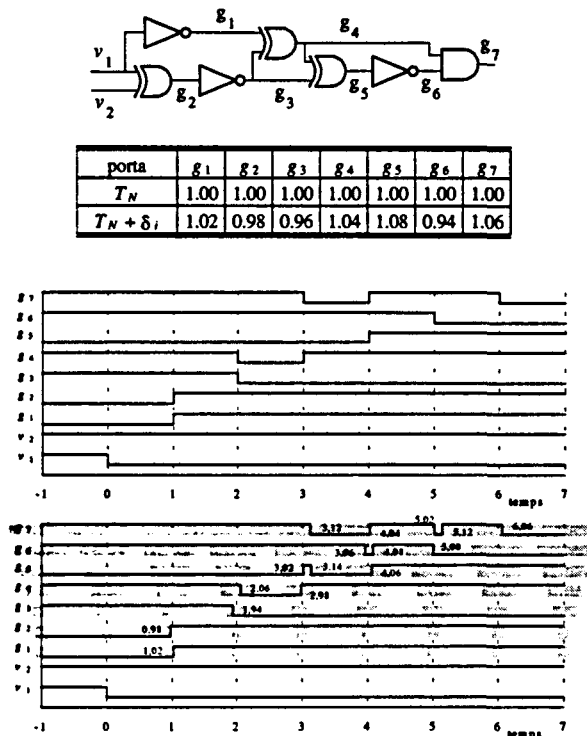


Figura 5.1: Exemple que il·lustra el Fet 1. A les portes del circuit de la figura, que contenen un retard unitari, s'introdueix una variació petita del retard, $\Delta_P = 0.08$. Els dos cronogrames inferiors mostren les commutacions dels nodes abans i després de la variació, quan l'entrada s'excita amb la parella de vectors $(11) \rightarrow (01)$.

una excitació específica a les entrades primàries. En aquestes condicions es calcula l'activitat nominal del circuit, AP_N . En un cert moment, s'introdueix una variació petita Δ_P en els retards de les portes. Si en aquestes noves condicions es calcula de nou l'activitat ponderada, aquesta serà igual que l'anterior si en cap porta del circuit arriben transicions simultàniament.

Aquesta igualtat es donarà en aquells circuit que hagin estat dissenyats lliures de transicions falses.

En els paràgrafs que venen a continuació s'analitza el cas en el que les portes incorporen filtratge de transicions.

5.2.1 Finestra de filtratge uniforme i variació petita del retard. Diagrama X

Un dels models que s'utilitzen per a la finestra de filtratge, a nivell lògic, és el d'una etapa connectada a la sortida de la porta que elimina totes aquelles transicions que tinguin una diferència de temps menor que una certa magnitud ω [25]. En la figura 5.2 es representa aquest model gràficament.

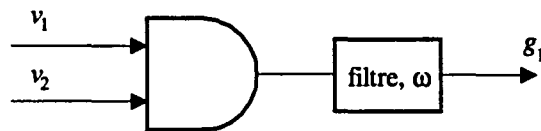


Figura 5.2: Model de la finestra de filtratge. Tota transició que surti de la porta amb una diferència de temps menor a ω queda eliminada.

Inicialment s'estudia el cas de **finestra de filtratge uniforme** on totes les portes del circuit tenen la mateixa amplada de finestra ω_U . Es parteix, com abans, d'un circuit G amb una excitació donada i amb un retard nominal a les portes, T_N . En aquest circuit G es fan variacions petites del retard, Δ_P , i es fixen finestres de filtratge d'amplada, ω_U . El comportament que té l'activitat ponderada quan es fixen diferents valors a $\{\Delta_P, \omega_U\}$ s'explica en el següent diagrama X de la figura 5.3.

En l'eix d'abscisses hi ha el filtratge uniforme, ω_U , i en l'eix d'ordenades la zona de fluctuació màxima Q_F . En la regió del diagrama $Q_F < \frac{T_N}{2}$ les variacions del retard són petites i es la zona on el comportament de l'activitat ponderada és previsible i independent de l'arquitectura del circuit i de l'excitació. En els propers paràgrafs s'explica aquesta regió.

El diagrama es troba delimitat per quatre fronteres i dividit en cinc regions, enumerades amb notació romana en la figura. A la part inferior del diagrama, a la frontera AP_N la $Q_F = 0$ i, per tant, l'activitat ponderada que s'obté del circuit és la nominal. A l'esquerra del diagrama, a la frontera $AP(\Delta_P)$, la finestra de filtratge uniforme és nul·la i en conseqüència l'activitat ponderada que s'obté és màxima. A la dreta del diagrama, a la frontera AP_Z , la finestra de filtratge és molt gran de manera que filtra totes les transicions falses del circuit. Per aquest motiu, en aquest cas, l'activitat ponderada serà equivalent a la que s'obtindria emprant un model de retard zero. Aquesta activitat ponderada és la mínima del diagrama. A la inter-

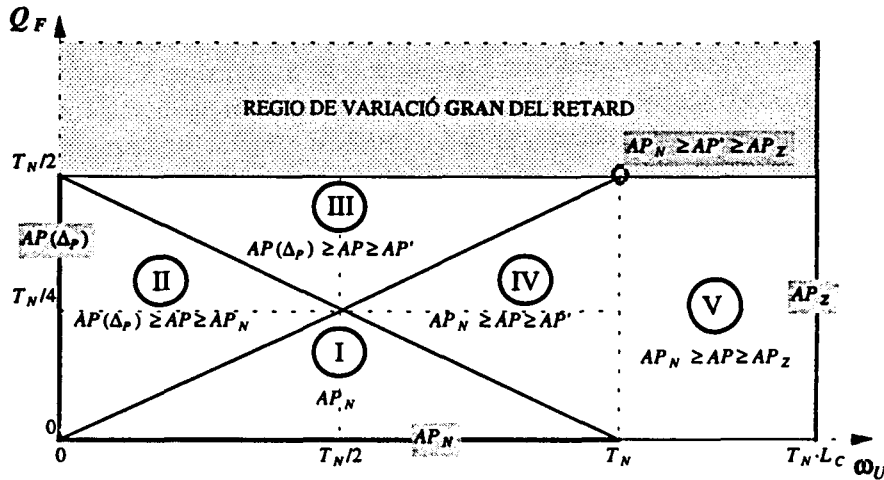


Figura 5.3: Diagrama X. Indica el comportament de l'activitat ponderada per a diferents valors $\{\Delta_P, \omega_U\}$.

secció de la diagonal $Q_F = \frac{\omega_U}{2}$ amb $Q_F = \frac{T_N}{2}$, hi ha la frontera AP' . En aquesta frontera el nivell d'activitat ponderada pot fluctuar entre els valors AP_N i AP_Z en funció de les característiques del circuit i de l'excitació que tingui a les entrades. Tal com es veu més endavant aquesta frontera està relacionada amb la finestra de filtratge inercial.

Els cinc sectors que té el diagrama es descriuen breument tot seguit. A la regió I, l'activitat ponderada és igual a la nominal. A la regió II, l'activitat ponderada és igual o superior a la nominal. A la regió III l'activitat ponderada és superior, igual o inferior a la nominal, però acotada inferiorment per el nivell d'activitat AP' . A la regió IV, l'activitat ponderada es igual o inferior a la nominal i acotada inferiorment per AP' . Finalment la regió V és similar a la IV, però en aquest cas l'activitat ponderada està acotada inferiorment per AP_Z . D'aquestes cinc regions, la I i la II delimiten la zona on l'activitat nominal és una cota inferior de l'activitat ponderada del circuit. Semblantment, en les regions I, IV i V, l'activitat nominal és una cota superior de l'activitat ponderada del circuit. Finalment, a la regió III l'activitat ponderada nominal no representa cap cota de l'activitat ponderada del circuit. Seguidament es justifiquen les desigualtats de les cinc regions del diagrama.

Regió I. Aquesta regió està delimitada per les tres rectes:

$$\left\{ Q_F = 0, Q_F = \frac{\omega_U}{2}, Q_F = \frac{(T_N - \omega_U)}{2} \right\}$$

En la recta $Q_F = \frac{\omega_U}{2}$ la finestra de filtratge serà menor que $\omega_U < \frac{T_N}{2}$ i en conseqüència $Q_F < \frac{T_N}{4}$. Aquesta situació es mostra a la figura 5.4, on es representa el cronograma d'un node del circuit. Degut a la

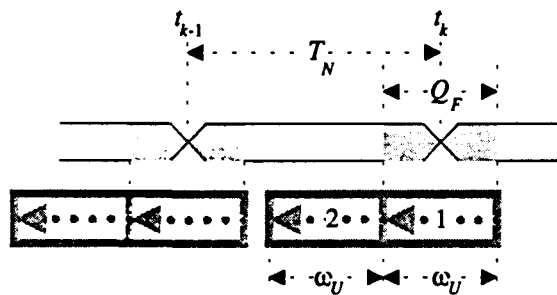


Figura 5.4: Relació entre la zona de fluctuació màxima, Q_F , i la finestra de filtratge uniforme, ω_U , en la frontera $\{Q_F = \frac{\omega_U}{2}, \omega_U < \frac{T_N}{2}\}$ del diagrama X.

variació petita del retard, la zona de fluctuació màxima al voltant dels instants de temps t_{k-1} i t_k és de $2 \cdot Q_F$. Aquesta zona de fluctuació màxima està representada en la figura per una zona ombrejada. A la part inferior de la figura s'indiquen les finestres de filtratge amb rectangles grisos que contenen una fletxa horitzontal del mateix color. En la diagonal del diagrama $\{Q_F = \frac{\omega_U}{2}, \omega_U < \frac{T_N}{2}\}$ la finestra de filtratge té la mateixa amplitud que la zona de fluctuació, veure la fletxa grisa número "1". Totes les transicions que apareguin addicionalment en la zona de fluctuació, com a conseqüència de la variació dels retards, quedaran eliminades per la finestra de filtratge. Com que la distància que hi ha entre la zona de fluctuació de t_{k-1} i la de t_k és superior a la mida de la finestra de filtratge, veure la fletxa "2", la finestra de filtratge no podrà absorbir les transicions d'aquestes dues regions. Finalment, l'activitat ponderada que s'obté és la nominal. Qualsevol altra combinació de valors $\{Q_F, \omega_U\}$ que estigui sota de la diagonal esmentada, donarà com a resultat una activitat ponderada del circuit igual a la nominal.

En la zona dreta de la regió I, la finestra de filtratge "1" és més gran que la zona de fluctuació de t_k , per tant es filtren totes les transicions addicionals dins de la zona de fluctuació. En canvi, la finestra de filtratge "2" no supera la separació que hi ha entre les dues zones de fluctuació i, per tant, no es poden filtrar mútuament les transicions de les dues zones de fluctuació. Així doncs, a la part dreta de la regió I, l'activitat ponderada del circuit també serà igual a la nominal.

Regió II. Aquesta regió es troba delimitada per les rectes:

$$\left\{ \omega_U = 0, Q_F = \frac{\omega_U}{2}, Q_F = \frac{(T_N - \omega_U)}{2} \right\}$$

La situació característica d'aquesta regió és la representada en la figura 5.5. En aquesta regió, la finestra de filtratge "2" és menor o igual que

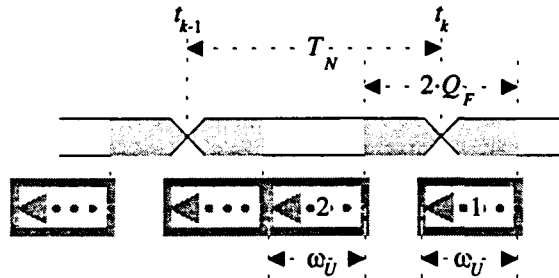


Figura 5.5: Relació entre la zona de fluctuació i la finestra de filtratge en la regió II.

la separació entre les zones de fluctuació de t_{k-1} i t_k . Semblantment, la finestra de filtratge "1" serà menor que les zones de fluctuació. Per aquesta raó, no es poden filtrar totes les transicions creades addicionalment dins de les zones de fluctuació després de fer les variacions petites dels retards. En conseqüència, l'activitat ponderada del circuit és igual o més gran que la nominal.

Regió III. Aquesta regió està delimitada per les rectes:

$$\left\{ Q_F = \frac{T_N}{2}, Q_F = \frac{\omega_U}{2}, Q_F = \frac{(T_N - \omega_U)}{2} \right\}$$

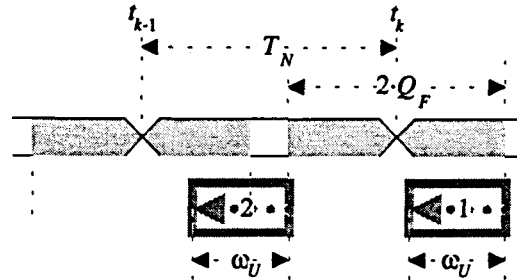


Figura 5.6: Relació entre la zona de fluctuació i la finestra de filtratge en la regió III.

La característica d'aquesta regió queda representada a la figura 5.6, en la que es donen dos efectes contraposats. Per un cantó, la finestra de filtratge "1", és menor que la zona de fluctuació i, per tant, no pot absorbir totes les transicions addicionals aparegudes després d'introduir la variació petita dels retards. Per altre cantó, la finestra de filtratge "2" és més gran que la separació de les dues zones de fluctuació. Això fa que es puguin cancel·lar mútuament transicions de les dues zones de fluctuació. Aquestes dues condicions fan que no es pugui saber, a priori, si l'activitat ponderada del circuit és més gran o més petita que la nominal. Malgrat això, la tendència és a una disminució de l'activitat ponderada del circuit per a finestres de filtratge creixents.

Regió IV. Aquesta regió està delimitada per les rectes:

$$\left\{ \omega_U = T_N, Q_F = \frac{\omega_U}{2}, Q_F = \frac{(T_N - \omega_U)}{2} \right\}$$

A la figura 5.7 es representa la disposició de la finestra de filtratge i les zones de fluctuació. En aquest cas, tant la finestra de filtratge "1" com la "2" són més grans que la zona de fluctuació i la separació entre les dues zones respectivament. Com que "1" filtra totes les transicions addicionals posteriors a la variació petita del retard, l'activitat ponderada del circuit sempre és igual o menor que la nominal.

Regió V. En aquesta regió, l'extensió de la finestra de filtratge és igual o superior a la distància que hi ha entre t_{k-1} i t_k . En aquestes condicions la cancel·lació de transicions es pot estendre més enllà de dues

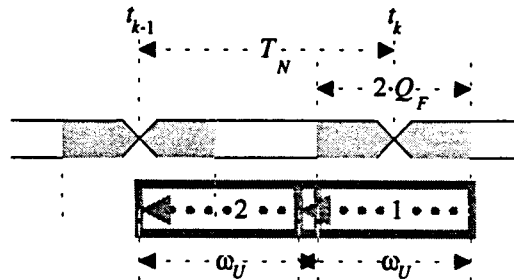


Figura 5.7: Relació entre la zona de fluctuació i la finestra de filtratge en la regió IV.

zones de fluctuació. Aquesta extensió serà funció de l'arquitectura del circuit i del tipus d'excitació que tingui. Així doncs, l'activitat ponderada del circuit serà igual o inferior a l'activitat ponderada nominal. El valor mínim d'aquesta activitat ponderada serà AP_Z .

A continuació es representa el diagrama X del circuit de prova C6288. Es fixa inicialment un retard nominal de $T_N = 400$ unitats de temps. També, es selecciona una parella de vectors que és l'excitació utilitzada en totes les mesures de l'activitat ponderada del circuit. Durant les simulacions, s'introdueixen variacions petites en el retard Δ_P , de manera que la zona de fluctuació màxima del circuit sigui un valor dessitjat de Q_F . Per cada combinació de valors Q_F es modifica la finestra de filtratge uniforme ω_U desde 0 fins al valor màxim 400. El càlcul del valor AP_Z es fa a part, simulant el circuit amb un model de retard zero. Segons es estimacions fetes això equival a utilitzar una finestra de filtratge d'amplada 50000. A la taula 5.1 es presenten els resultats.

En la taula, s'ha marcat amb línies de separació més gruixudes les cinc regions que corresponen al diagrama X. A la part esquerra hi ha els valors Q_F i a la part inferior els valors de la finestra de filtratge, ω_U . Les caselles de la taula que estan buides corresponen a valors que no s'han pogut simular. La raó és que en el simulador utilitzat (system HILO [32]) no és possible definir una finestra de filtratge superior al retard de la porta. Els resultats indiquen que l'activitat ponderada nominal és de $AP_N = 104928$ unitats. Quan es fa una variació petita del retard amb una finestra de filtratge nul·la, aquest nivell d'activitat puja fins a $AP(\Delta_P) = 109146$ i posteriorment aquest nivell és manté independent del grau de variació introduït, veure la columna de

Q_F	AP											
200	109146	106584	105294	105010	104872	104464	102586	100428	93074	78296		2552
178	109146	106584	105294	105010	104952	104866	104382	100428	93074	78296		2552
156	109146	106584	105294	104952	104946	104928	104382	102586	93074	78296		2552
133	109146	106584	105010	104952	104946	104928	104848	104382	100428	78296		2552
111	109146	106584	105010	104946	104928	104928	104928	104848	102586	93074		2552
89	109146	105294	104962	104928	104928	104928	104928	104928	104382	93074		2552
67	109146	105010	104946	104928	104928	104928	104928	104928	104848	100428		2552
44	109146	104952	104928	104928	104928	104928	104928	104928	104928	104382		2552
22	109146	104928	104928	104928	104928	104928	104928	104928	104928	104928		2552
0	104928	104928	104928	104928	104928	104928	104928	104928	104928	104928	104928	2552
ω_U	0	40	80	120	160	200	240	280	320	360	400	50000

Taula 5.1: Valors d'activitat ponderada obtinguts de fer variacions del retard petites combinat amb diferents finestres de filtratge uniformes en el circuit C6288.

l'esquerra de la taula. A l'altre extrem, si s'imposa un nivell de finestra de filtratge de $\omega_U = 360$ i es va incrementant la variació petita dels retards, l'activitat ponderada disminueix progressivament fins a una $AP = 78296$. Per altres combinacions de valors $\{Q_F, \omega_U\}$ es pot comprobar que en cada una de les regions les tendències de l'activitat ponderada del circuit concorden amb les prediccions fetes en diagrama X.

A la figura 5.8 es representen gràficament els valors de la taula. En la gràfica, els eixos són l'amplada de la finestra de filtratge, ω_U , la zona de fluctuació màxima, Q_F , i l'activitat ponderada, AP . La intersecció de la superfície amb el pla $Q_F = 0$ dona una recta horitzontal que indica el nivell de l'activitat ponderada nominal. L'amplada de la finestra de filtratge no afecta a l'activitat ponderada, en aquesta zona, perquè no hi han transicions addicionals a filtrar en els nodes del circuit. La intersecció de la superfície amb el pla $\omega_U = 0$ és una corba que creix molt abruptament al principi, per sobre de l'activitat ponderada nominal adquirint el seu valor màxim $AP(\Delta_P)$. Aquest creixement ràpid és degut a la inexistència d'una finestra de filtratge que atenui l'efecte de les transicions addicionals. Contràriament, en la intersecció de la superfície amb el pla $\omega_U = 360$ s'obté una corba que decreix significativament a mesura que les variacions del retard es fan grans. L'explicació d'aquest fenomen cal buscar-la en el fet que quan s'augmenten les variacions del retard, les commutacions que inicialment es produeixen en els instants de temps $k_i \cdot T_N$, $k_i = 1, \dots, n$ es desvien d'aquests instants de temps. Aquestes desviacions faciliten la proximitat d'unes transicions a les altres i faciliten l'actuació del filtratge de transicions. La disminució de les transicions en el circuit es comporta com una allau degut a l'efecte

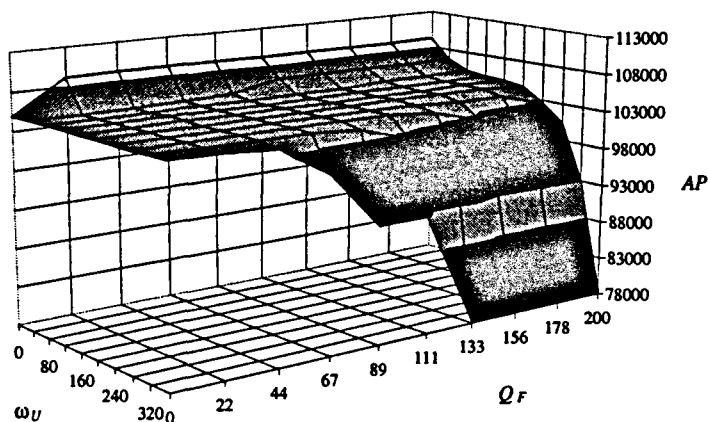


Figura 5.8: Representació gràfica dels nivells d'activitat ponderada obtinguts pel circuit C6288 després de fer variacions petites del retard per a diferents amplades de la finestra de filtratge uniforme.

multiplicador que té la propagació d'aquestes dins del circuit. Aquest efecte d'allau també es pot observar en la intersecció de la superfície amb el pla $Q_F = 200$. La disminució de l'activitat ponderada del circuit no és proporcional a l'augment del filtratge uniforme sino que accelera el seu decreixement en els valors de finestra de filtratge elevats. Cal fer notar que la regió V del diagrama X no està representada en aquest gràfic. Tot i això, si es dibuixes el valor de la AP_Z es confirmaria aquest decreixement accelerat de l'activitat ponderada del circuit ja que el nivell d'activitat és de 2552, molt inferior al valor més petit representat en la gràfica que és de 78296.

5.2.2 Finestra de filtratge inercial

El comportament elèctric dels circuits demostra que una finestra de filtratge que sigui proporcional al retard de la porta és més adequada que el model de finestra de filtratge uniforme emprat en la secció anterior. De les finestres de filtratge proporcionals al retard, la més utilitzada és la finestra de filtratge inercial on l'amplada d'aquesta és igual al retard de la porta [25]. El seu model és, doncs, equivalent al del retard,

$$\omega_I = T_N \pm \Delta_P$$

ents valors de Q_F . El filtratge de transicions del circuit anirà des d'un mínim indicat per la recta ω_I^- fins a un màxim situat en la recta de la dreta ω_I^+ de la zona grisa. Cal fer notar que en el diagrama, la recta $\omega_I^+(L_C = 1)$ no està dibuixada a escala. A mesura que la longitud L_C del circuit augmenta, la variabilitat que mostra l'absorció de transicions per part del filtratge inercial disminueix. Per a circuits amb longituds molt grans, l'activitat ponderada del circuit té tendència a assolir el valor AP' , que és l'activitat ponderada obtinguda en les coordenades $(Q_F = \frac{T_N}{2}, \omega_U = T_N)$, veure la figura 5.3. En el gràfic, la intersecció de la recta ω_I^- amb la diagonal $Q_F = \frac{\omega_U}{2}$ dona el valor Q_1 . Aquest valor indica que per $Q_F \leq Q_1$ l'activitat ponderada del circuit serà sempre inferior o igual a l'activitat nominal. Dit d'una altra manera, l'activitat nominal serà una cota superior de l'activitat del circuit. Aquest valor Q_1 es pot obtenir amb la següent expressió:

$$Q_1 = \frac{T_N \cdot L_C}{2 \cdot L_C + 1} \quad (5.4)$$

En resum, l'activitat ponderada del circuit serà menor que l'activitat ponderada nominal AP_N sempre que la variació petita dels retards sigui menor que $\Delta_P \leq \frac{T_N}{2 \cdot L_C + 1}$.

Tornant a examinar l'exemple estudiat en el circuit C6288 de l'apartat anterior, la $[Q_1] = 184$. Amb aquest valor de zona de fluctuació, s'imposa una finestra de filtratge inercial al circuit i es calcula l'activitat ponderada que dona un valor de $AP(Q_1) = 31976$. Aquest valor és molt menor que la $AP_N = 104928$, i equival a un 30% de l'activitat ponderada nominal. Això demostra que el filtratge inercial té una incidència molt rellevant en una estructura de multiplicació com la que conté el circuit C6288.

Recuperant les simulacions fetes per obtenir la taula anterior 5.1, es pot obtenir el valor de la casella $\{Q_F = 200, \omega_U = 400\}$ fent l'aproximació que es proposa a continuació. Com que la longitud del camí crític d'aquest circuit de prova és gran, $L_C = 124$, l'activitat ponderada que s'obté amb la finestra de filtratge inercial és molt similar a la que s'obtindria amb una finestra de filtratge uniforme de valor indicat anteriorment, $\omega_U = T_N = 400$, que és la frontera AP' de la figura 5.3. Si es fa l'aproximació $AP' \simeq AP(Q_1)$, es pot obtenir una gràfica completa aproximada del comportament que té l'activitat ponderada quan es varia el filtratge uniforme dins de l'interval $[0, T_N]$, veure la figura 5.10. L'eix d'abscisses és l'amplada de la finestra de filtratge uniforme i l'eix d'ordenades l'activitat ponderada del circuit. Amb una línia horitzontal puntejada s'indica el nivell de referència de l'activitat ponderada nominal del circuit. Quan l'amplada de la finestra de filtratge és nul·la,

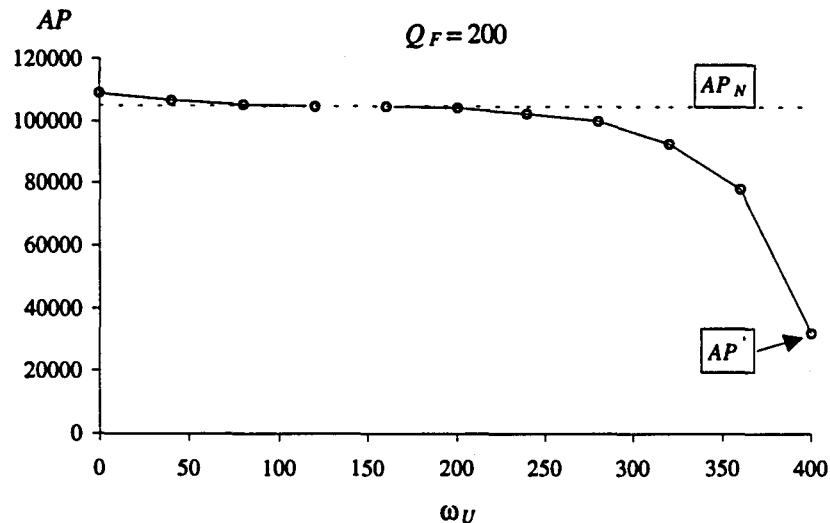


Figura 5.10: Activitat ponderada del circuit quan la variació petita del retard crea una zona de fluctuació de $Q_F = 200$ i la finestra de filtratge uniforme, ω_U , es modifica dins de l'interval $[0, 400]$, $T_N = 400$. El valor d'aquesta activitat a ω_U s'obté per aproximació d'una finestra de filtratge inercial.

$\omega_U = 0$ l'activitat ponderada del circuit supera el valor de AP_N . A mesura que s'augmenta ω_U aquesta activitat ponderada del circuit comença a disminuir. A partir d'aproximadament $\omega_U > 150$ aquesta disminueix per sota de AP_N i quan supera el valor de $\omega_U > 250$ el seu decreixement s'accelera progressivament, tal com ja s'havia discutit en la secció anterior.

Els resultats que es presenten en aquesta primera part del capítol es centren en l'estudi de les variacions petites del retard en circuits on el model de retard nominal era l'unitari. Els resultats del diagrama X es poden transportar automàticament a altres models de retard si es té en compte que un model de retard variable es pot obtenir a partir d'un circuit definit amb un model de retard unitari per mitjà d'afegir buffers en aquells nodes on el retard sigui més gran.

En la propera secció es discuteix el comportament de l'activitat ponderada del circuit quan la Q_F entra en la regió de variació gran del retard. En la primera part de la secció es justifiquen les tendències generals per a qualsevol tipus de variació. En la segona part, aquestes tendències es vali-

den. Les simulacions es centren en els models de retard unitari, variable i variable amb finestra de filtratge inercial. Els dos models de retard variable esmentats es poden considerar obtinguts a partir del model de retard unitari fent variacions grans del retard.

5.3 Efectes de les variacions grans del retard en l'activitat ponderada

L'anàlisi de l'activitat ponderada es complica considerablement quan les variacions del retard són grans. En aquest nou escenari, resulta extremadament difícil predir la tendència de la AP , degut a que ara intervenen més variables que abans. En les variacions petites del retard la tendència que té l'activitat ponderada depèn exclusivament del retard i de la finestra de filtratge de les portes. Aquest comportament de la AP es repeteix per a qualsevol arquitectura i excitació. Quan les variacions del retard són grans això depèn també de l'arquitectura del circuit, del tipus d'excitació i de la manera com es fan les variacions del retard en cada porta. Malgrat aquesta dificultat, es poden predir unes tendències d'aquest comportament. Aquestes tendències s'indiquen en la figura 5.11 i es justifiquen tot seguit.

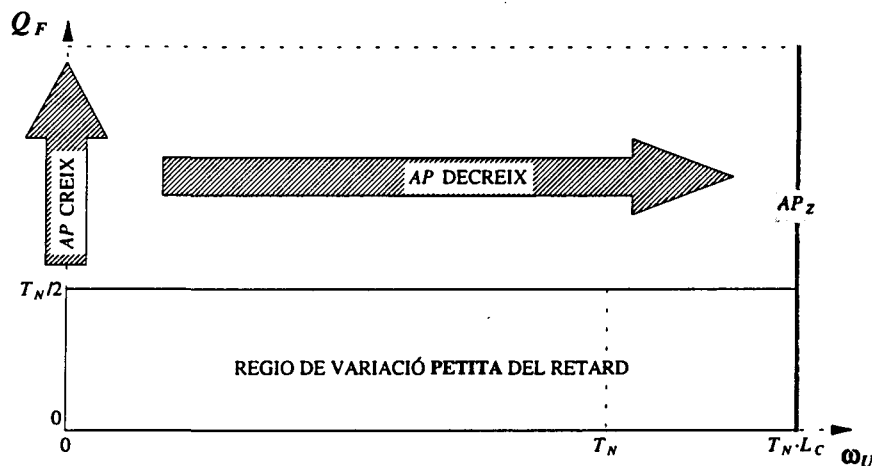


Figura 5.11: Tendències que presenta l'evolució de l'activitat ponderada del circuit quan les variacions del retard són grans.

Com en el cas d'abans, el diagrama X de la figura fa referència a un circuit que tingui un model de retard nominal unitari de magnitud T_N . Quan la variació Δ imposada als retards de les portes provoca una zona de fluctuació màxima superior a $T_N/2$, s'entra en la regió de variació gran del retard, regió superior del diagrama. A la figura, s'indiquen amb dues fletxes les tendències que és esperable observar en l'activitat ponderada. Quan s'incrementa la Q_F i es manté l'amplada del filtratge a zero, $\omega_U = 0$, l'activitat ponderada tendeix a créixer. Semblantment, per un valor de la variació gran del retard prefixat, un increment en la magnitud de la finestra de filtratge uniforme tendeix a decreixer l'activitat ponderada. En el paràgraf que segueix es justifiquen aquestes tendències.

Quan l'amplada de la finestra de filtratge és nul·la, $\omega_U = 0$, els dos únics mecanismes que poden evitar la propagació de les transicions al llarg del circuit són l'arribada simultànea de les transicions a les entrades de les portes i el bloqueig imposat per la lògica d'aquestes. En el model de retard unitari les transicions passen en instants de temps que són múltiples del retard, T_N , afavorint l'eliminació de transicions pel mecanisme de la simultaneïtat. La introducció de variacions en els retards augmenta el desordre en els temps de propagació del circuit i això disminueix l'eliminació de transicions per part del primer mecanisme esmentat inicialment, el de la simultaneïtat. És d'esperar, doncs, que si s'augmenta la variació en els retards s'observi un increment en l'activitat ponderada del circuit.

Quan l'amplada de la finestra de filtratge és no nul·la, entra en joc un tercer mecanisme que pot evitar la propagació de les transicions. És d'esperar, doncs, que la tendència sigui a una disminució de l'activitat ponderada a mesura que l'amplada de la finestra de filtratge es faci més gran. Quan aquest increment es fa prou gran s'arriba a una activitat ponderada mínima que s'indica a la part dreta del diagrama amb el símbol AP_Z . En aquest darrer cas, el filtratge elimina totes les transicions falses del circuit de manera que els nodes fan com a molt una única commutació. Això és equivalent a simular el circuit emprant un model de retard zero.

- Fixada una parella de vectors d'excitació del circuit, l'activitat AP_Z és un mínim teòric ja que no és possible modificar l'estat del circuit amb un nombre menor de commutacions.

Aquest mínim teòric reforça els arguments en favor d'una disminució de l'activitat ponderada per increments del filtratge.

5.3.1 Validació de les tendències de la AP

Les tendències que es prediuen en el diagrama de la figura 5.11, es verifiquen simulant els circuits de prova en un conjunt de 1000 parelles de vectors diferents. L'anàlisi de la tendència s'ha estudiat en els tres models de retard que tenen més interès: model de retard unitari (RU), model de retard variable (RV) i model de retard variable amb finestra de filtratge inercial (RVFI). Els dos models de retard RV i RVFI es poden obtenir fent variacions grans del retard a partir del model RU. Per tant, s'estudia la modificació de la activitat ponderada nominal quan el model RU es substitueix pel model RV i quan el model RU es substitueix pel model RVFI. Esquemàticament es verificarà que,

$$\begin{cases} AP(RU) < AP(RV) \\ AP(RU) > AP(RVFI) \end{cases}$$

A la figura 5.12 s'indica, de manera qualitativa, la zona que ocupen els circuits de prova, en el diagrama X, segons el model de retard que utilitzin. En els resultats de les simulacions que es presenten a continuació, s'assumeix

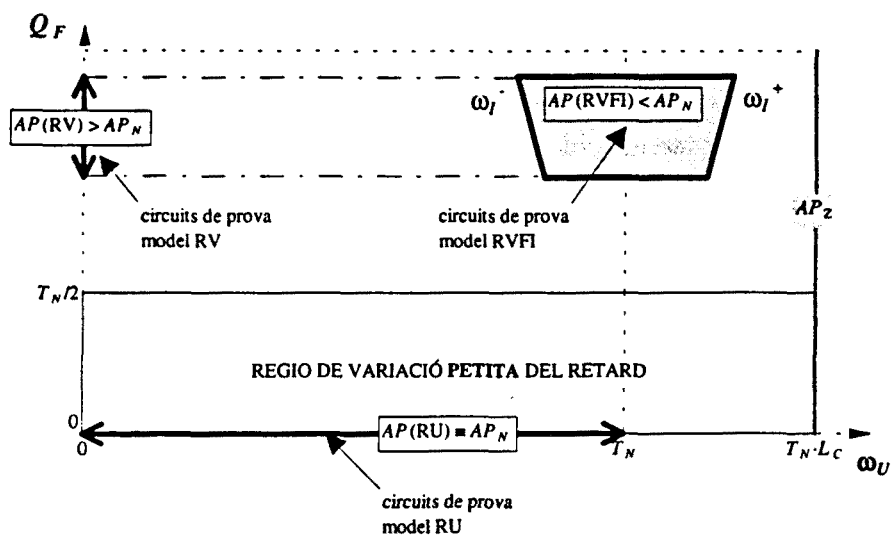


Figura 5.12: En el diagrama X s'indiquen qualitativament les zones que ocupen els circuits de prova segons el model de retard que utilitzin: model de retard unitari (RU), model de retard variable (RV) i model de retard variable amb filtratge inercial (RVFI).

que el valor del retard és igual al *fanout* de la porta en els models de retard RV i RVFI. Per cada un dels circuits de prova, es calculen els tres valors de l'activitat ponderada següents: $AP(RU)$, $AP(RV)$ i $AP(RVFI)$. Aquestes tres activitats ponderades es comparen dos a dos en les gràfiques que es presenten a continuació, veure les figures 5.13, 5.14 i 5.15.

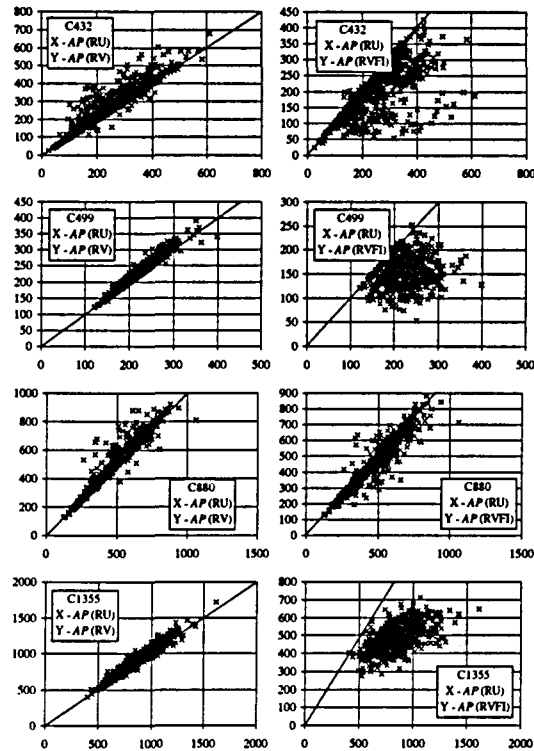


Figura 5.13: Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.

En les tres figures, es presenten els gràfics en dues columnes. En la columna de l'esquerra es comparen les activitats obtingudes amb el model de retard unitari (RU), a l'eix d'abscisses, i variable (RV), a l'eix d'ordenades. A les gràfiques de la dreta, es comparen els resultats del model de retard unitari (RU), a l'eix d'abscisses, i variable amb finestra de filtratge inercial (RVFI), a l'eix d'ordenades. Cada punt de la gràfica representa l'activitat ponderada

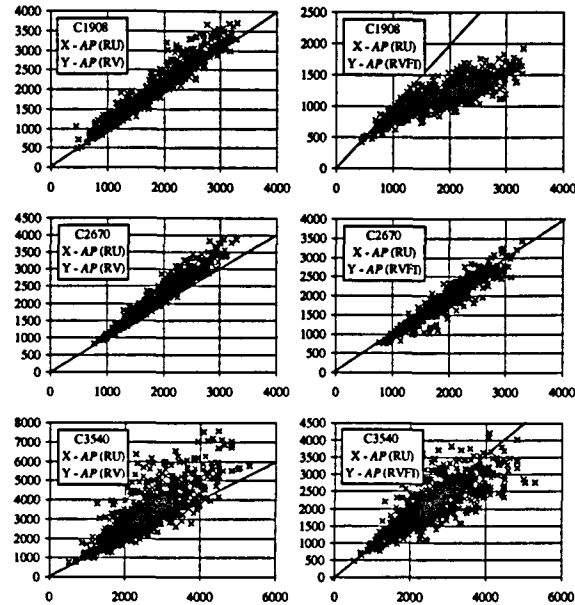


Figura 5.14: Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.

obtinguda de l'excitació d'una parella de vectors. En cada gràfica hi ha un total de 1000 punts. En totes elles s'indica la recta de pendent unitari amb una línia inclinada.

En les gràfiques de l'esquerra, es pot observar que en la majoria dels circuits l'activitat ponderada obtinguda amb el model RV dona valors superiors als obtinguts amb el model RU. Això es dedueix de la comparació de la recta de pendent unitari amb els punts de la gràfica que es mostren, en la majoria dels circuits, coincidents o bé per damunt d'aquesta recta. Aquest resultat confirma la predicció feta anteriorment de que $AP(RU) < AP(RV)$. Hi ha un cas significatiu on aquesta tendència es contradiu, en el circuit C6288. En aquest, les 1000 parelles de vectors donen una activitat ponderada amb el model RU major que amb el model RV. L'explicació d'aquest comportament contradictori cal cercarla en la peculiaritat d'un multiplicador. Aquest està constituït d'una estructura regular formada per lògica iterada. La disposició dels retards de les portes fa que quan es selecciona un model RV augmenti

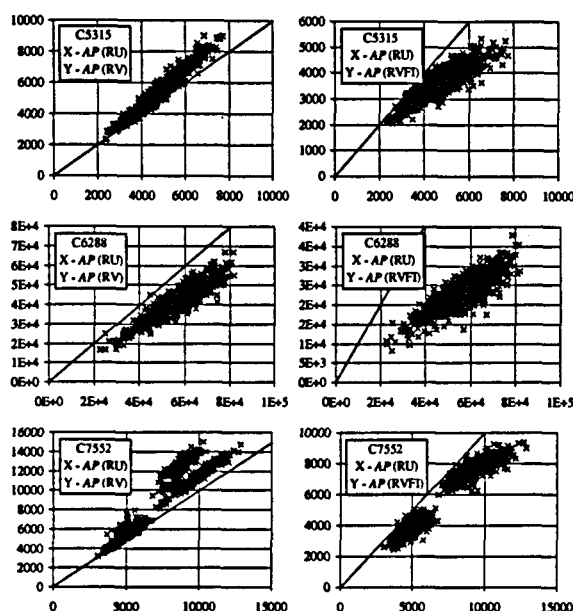


Figura 5.15: Comparació entre les activitats ponderades generades amb els models de retard unitari (RU) vs. variable (RV) i unitari vs. variable amb finestra de filtratge inercial (RVFI). Cada punt de la gràfica correspon a l'excitació d'una parella de vectors.

considerablement, enlloc de disminuir, el nombre de transicions que arriben simultàniament a les entrades de les portes, fent decreixer l'activitat ponderada del circuit. Per confirmar la peculiaritat d'aquest cas s'han fet petites desviacions del retard de les portes en el model RV i s'ha registrat, en cada una d'elles, l'activitat ponderada de les 1000 parelles de vectors. Després de realitzar aquest experiment es comprova que l'activitat ponderada augmenta per sobre de la $AP(RU)$, com era d'esperar, degut a que tendeix a desaparèixer l'eliminació de transicions per simultaneïtat.

En les gràfiques de la dreta, es comparen els models RU i RVFI. En aquest cas, totes les gràfiques presenten la majoria dels punts per sota de la línia de pendent unitari. Això confirma la predicció feta anteriorment de que $AP(RU) > AP(RVFI)$.

De totes les gràfiques presentades anteriorment hi ha tres circuits que presenten una correlació visual bona en les dues gràfiques RV vs. RU i RVFI vs. RU, aquests són el C880 el C2670 i el C3540. Dels tres cassos, els dos

primers mostren una dispersió menor en els punts. Aquesta correlació indica que l'activitat ponderada obtinguda per una parella de vectors específica és pràcticament igual en qualsevol dels tres models de retard RU, RV i RVFI. Aquesta insensibilitat s'atribueix a dos fenòmens: per un cantó, a una disposició ordenada de la interconnexió de les portes del circuit segons el seu *fanout*. Amb aquesta arquitectura el canvi d'un model de retard RU per un de RV no permet l'aparició de transicions falses addicionals en el circuit, degut a que no es trenca la simultaneïtat d'arribada de les transicions a les entrades de les portes. En conseqüència, no hi ha un increment significatiu de l'activitat ponderada. Per altre cantó, les portes que tenen un *fanout* més elevat es troben molt properes a les entrades del circuit. En aquest cas, la incorporació d'una finestra de filtratge de transicions no tindrà pràcticament cap efecte perquè la generació i propagació de les transicions falses serà posterior a la localització dels filtres. En conseqüència, el canvi del model de retard RU a un de RVFI, en aquest cas no mostrarà un decreixement significatiu de la activitat ponderada del circuit.

En resum, es pot dir que la tendència que presenta l'activitat ponderada en els tres models de retard utilitzats en les simulacions és la següent: quan el model es modifica de RU a RV, l'activitat ponderada experimenta un increment que és més o menys important segons l'arquitectura del circuit i la parella de vectors d'excitació. Semblantment, quan el model de retard es modifica de RU a RVFI, l'activitat ponderada disminueix en la majoria dels circuits experimentats. Si s'assumeix que el model RVFI és el més acurat dels tres, l'estimació de l'activitat ponderada emprant un model RV (sense finestra de filtratge) és el que dona una activitat ponderada més elevada i, per tant, més error en l'estimació de l'energia de transició del circuit. Per aquest motiu, aquí no es considera correcte el raonament formulat en el treball de Hsiao *et al.* [114], on es canvia el model de retard RU per un de RV (sense finestra de filtratge inercial), amb l'objectiu de millorar les estimacions de l'energia de transició.

Un altre aspecte de les figures 5.13, 5.14 i 5.15, que es menciona té que veure amb la baixa correlació visual que mostren els punts d'algunes gràfiques, per exemple en els circuits C432, C499 i C1355. Es fa notar que aquesta baixa correlació es dona sempre en les gràfiques RVFI vs. RU, el que apunta al filtratge de transicions com a la causa més important d'aquest fenomen. La conseqüència d'aquesta baixa correlació és la impossibilitat d'utilitzar els càlculs de l'activitat ponderada realitzats amb el model de retard RU en el model de retard RVFI, sobretot si es volen prendre individualment, per parella de vectors. A la vista d'aquest fenomen s'insisteix,

doncs, en la precaució quan es fan estimacions de l'energia de transició d'un circuit amb models de retard que no incloguin finestra de filtratge, com són els models RU i el RV. Podria donar-se el cas de que el filtratge, sempre present en el domini elèctric dels circuits, provoqués errors massa elevats en els estimacions fetes amb la mètrica d'activitat ponderada. Si bé alguns autors justifiquen la utilització dels models RU i RV basant-se en el fet que les estimacions d'energia mitjana consumida compensen els errors individuals, es fa notar que no és així quan es fan estimacions de l'energia de transició màxima d'un circuit on es pren el valor calculat sobre una única parella de vectors.

A la propera secció es presenten els resultats experimentals de les mesures d'energia de transició realitzades en un circuit multiplicador. Amb aquests resultats es verifiquen les estimacions fetes amb la mètrica d'activitat ponderada realitzades amb cada un dels models de retard utilitzats en els capítols anteriors, RZ, RU, RV i RVFI¹.

5.4 Validació experimental dels models de retard lògics

En les seccions anteriors s'han estudiat els efectes que tenen els models de retard en el càlcul de l'activitat ponderada. En aquest apartat es proposa com a objectiu la comprovació de la bondat de la mètrica d'activitat ponderada calculada amb els quatre models de retard RZ, RU, RV i RVFI, com a estimador de l'energia de transició. A continuació es descriu el disseny del circuit experimental emprat per fer les mesures.

5.4.1 Disseny del circuit experimental

L'experiment utilitza un circuit multiplicador de 8x8 bits que havia estat dissenyat anteriorment, en un altre projecte, per a fer comprovacions de detectabilitat lògica i per test de corrent estàtic, de falles tipus pont. El disseny del circuit integrat es va fer a la mida amb l'objectiu d'optimitzar al màxim l'àrea de Silici. L'arquitectura de la funció aritmètica és la d'un multiplicador matricial amb propagació d'acarreig, segons es descriu a [51]. A la figura 5.16 es pot veure un esquema de blocs de l'arquitectura. La cel·la

¹RZ, model de retard zero. RU, model de retard unitari. RV, model de retard variable amb retard igual al *fanout* de la porta (sense finestra de filtratge). RVFI, model de retard variable amb retard igual al *fanout* de la porta i amb finestra de filtratge inercial.

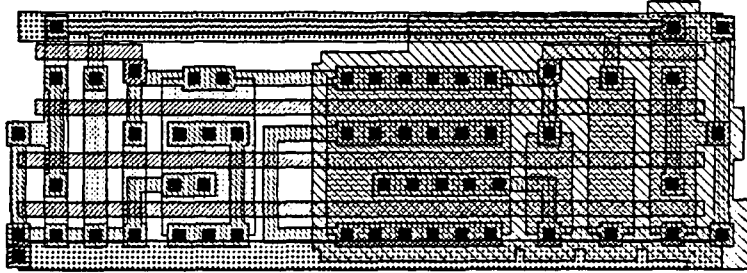


Figura 5.17: *LayoutLayout* emprat en el disseny a la mida de les cel·les migsumadores i sumadores senceres del multiplicador.

el corrent es monitoritza contínuament i s'integra a fi d'obtenir l'energia de transició.

Una part molt important de l'energia consumida per un circuit integrat es dedica a la commutació dels buffers de sortida, que controlen capacitats paràsites molt elevades. En el nostre cas, el consum dels buffers de sortida no és d'interés perquè enmascara l'energia consumida internament pel multiplicador i, per tant, dificulta la comparació de les mesures amb les estimacions. Donat que l'eliminació dels buffers de sortida del circuit no és possible, s'opta per utilitzar un pin d'alimentació independent que tenen aquests, per excloure el seu consum de les mesures. Així doncs, la configuració dels terminals del multiplicador és la que es presenta a la figura 5.18. A més de les entrades i sortides funcionals del multiplicador aquest té un terminal únic de tensió V_{DD} . Aquest terminal distribueix l'alimentació als buffers d'entrada/sortida al nucli del multiplicador i a la polarització dels pous, (és una tecnologia de pou n). La línia de terra està distribuïda en dos terminals. Un correspon al terra del nucli del multiplicador, $V_{SS}(\text{nucli})$ i l'altre al terra dels buffers i del substrat del xip, $V_{SS}(\text{perifèria})$. La resistència R_S és una resistència externa utilitzada per fer un sensat del corrent del nucli del multiplicador. La seva utilització s'explica en els propers paràgrafs. A la figura 5.19 es presenta una fotografia del xip.

Hi ha diverses tècniques per a poder fer un sensat del corrent transitori [48] [87] [124]. En el nostre cas, el disseny del xip obliga a realitzar un sensat extern del corrent. Aquí es tria el sensat proporcional del corrent per mitja de la resistència externa R_S mostrada anteriorment en la figura 5.18. Aquest sensat proporcional permet monitoritzar el corrent instantani, $i_{SS}(\text{nucli})$,

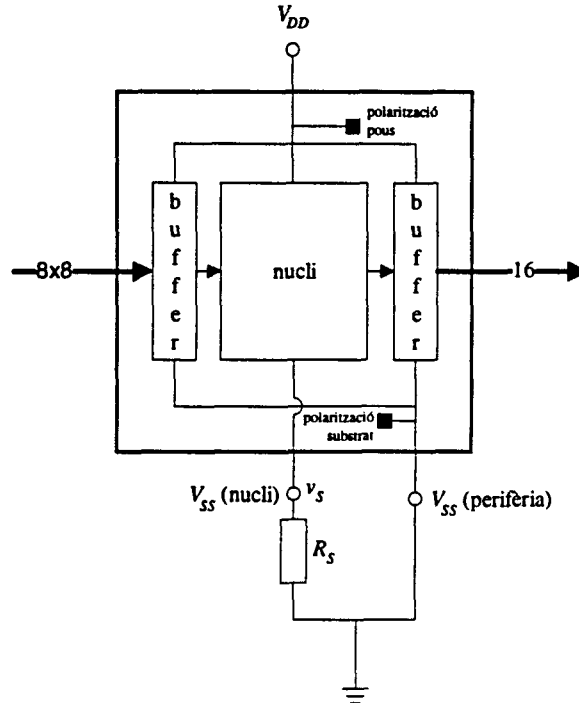


Figura 5.18: Esquema dels terminals externs del multiplicador. Els terminals de terra del nucli i de la perifèria estan separats.

de manera contínua sense necessitat d'haver de desconnectar periòdicament l'alimentació del xip, tal com ho requereixen altres sistemes com el de [124]. El corrent $i_{SS}(\text{nucli})$ és el que entreguen els surtidors dels transistors NMOS. La mesura del corrent es fa a través de la tensió v_S i és capturada amb un oscil·loscopi digital, tal com s'explica més endavant.

Aquesta tècnica presenta algunes limitacions que es descriuen tot seguit.

1. L'increment de la tensió v_S redueix la tensió d'alimentació del xip i degrada les seves prestacions. Pot afectar directament al retard i indirectament sobre la mesura de l'energia de transició.
2. Les capacitats i inductàncies paràsites del terminal $V_{SS}(\text{nucli})$, de la resistència R_S i de la sonda de l'oscil·loscopi poden alterar la tensió

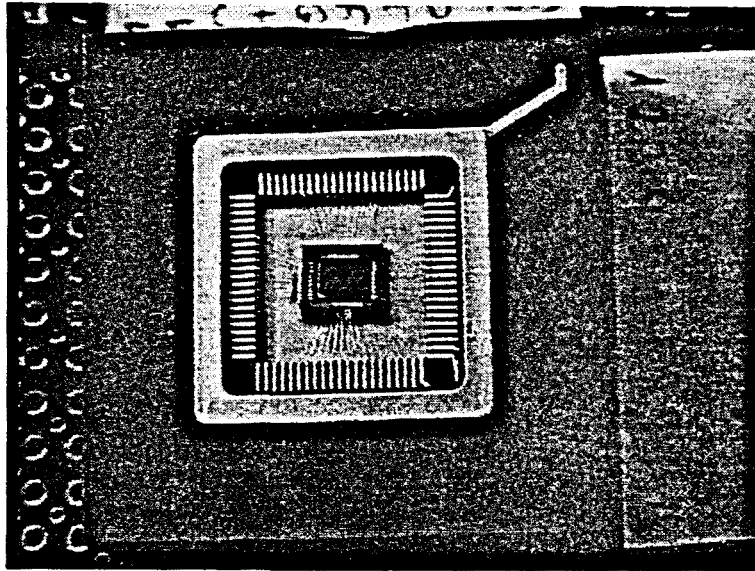


Figura 5.19: Fotografia del multiplicador muntat sobre el circuit imprès del banc de mesura.

v_S .

3. La connexió de la resistència R_S a la línia de V_{SS} (nucli) la fa més sensible al soroll extern que pot perturbar la mesura de la tensió v_S .

Tenint en compte aquestes limitacions es munta el banc de mesura amb les següents precaucions.

1. Limitació de la tensió instantànea màxima de v_S a un valor de 300mV.
2. Reducció de la mida dels contactes entre el xip, la resistència, el terra V_{SS} i la sonda de sensat de la tensió al mínim.
3. Utilització d'una sonda activa per la mesura de la tensió v_S .
4. Eliminació del soroll extern fent la mitjana digital punt a punt de successives formes d'ona de v_S capturades per la sonda.

En la figura 5.20 es presenta un esquema de blocs de la configuració final del banc de mesura. Una màquina de test de circuits digitals, HP82000,

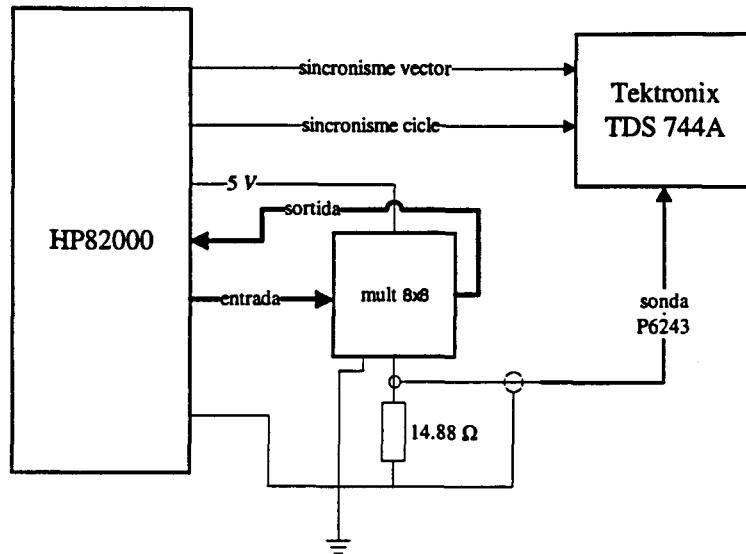


Figura 5.20: Esquema de blocs del banc de mesura.

controla tot el sistema. Per un cantó subministra la tensió d'alimentació de 5V al circuit. Igualment, envia les parelles de vectors d'excitació del circuit per un bus de 16 bits, "entrada", i recull el resultat per un altre bus d'iguals característiques, "sortida". L'interval de temps entre un vector i el següent està temporitzat a un interval de temps de $2\mu s$. Simultàneament, també genera dos senyals de sincronisme, "sincronisme vector" i "sincronisme cicle" que van connectats a l'oscil·loscopi digital Tektronix TDS 744A. El senyal de **sincronisme de vector**, "sincronisme vector", indica el moment en que es modifica el vector anterior pel vector present a l'entrada del multiplicador. El senyal de **sincronisme de cicle**, "sincronisme cicle", indica el moment en el que es comença a enviar una serie completa de parelles de vectors. L'oscil·loscopi té una sonda activa P6243 connectada a la resistència que sensa la tensió v_S . Amb la resistència de 14.88Ω es limita la tensió de v_S per sota dels $300mV$ especificats. Amb el muntatge de la resistència físicament propera al circuit i amb la utilització d'una sonda activa es minimitzen, dins de les possibilitats, els efecte de les inductàncies i de les capacitats paràsites. L'ample de banda del conjunt sonda i oscil·loscopi és de $1GHz$.

Les parelles de vectors que s'envien al multiplicador s'agrupen en llistes de 100 vectors. Aquests vectors s'envien cíclicament al multiplicador de manera que la forma d'ona de v_S que obté l'oscil·loscopi és el promitjat després d'enviar 1500 vegades cada parella de vectors al multiplicador. Les senyals de sincronisme indicades anteriorment permeten fer aquest promitjat de manera automàtica. La forma d'ona resultant s'integra digitalment obtenint-se la càrrega total consumida pel circuit. La multiplicació amb la tensió d'alimentació permet l'obtenció de l'energia de transició. L'error absolut que presenta aquest sistema de mesura s'estima experimentalment en un valor inferior a $1mV$ i a una resolució superior als $70\mu A$.

Durant la presa de mesures s'ha tingut en compte la temperatura ambient. De tot el banc, l'element més sensible a la temperatura és la sonda activa que té una desviació de $1mV/^{\circ}C$. Com que el volum de l'equipament fa difícil el control de la temperatura, s'opta per fer una correcció emprant un valor de referència. La referència consisteix en fer la mesura de l'energia de transició d'una parella de vectors, utilitzant la calibració automàtica d'*offset* de l'oscil·loscopi. Posteriorment, aquesta parella de vectors s'utilitza com a referència i s'intercala després de cada 10 mesures. Finalment, els resultats obtinguts es corregeixen en base a aquests valors de referència.

A la figura 5.21 es pot veure una fotografia del banc de treball.

A l'esquerra hi ha la màquina de test. La part frontal de la màquina de test conté una placa de circuit imprès especial on es solda el circuit integrat a experimentar, en aquest cas el multiplicador. A la part dreta es pot veure l'oscil·loscopi que té tres sondes connectades directament al circuit imprès de la màquina de test. Una de les sondes és la sonda activa de sensat de la tensió. Les altres dues són sondes passives que capten les senyals de sincronisme.

A les figures 5.22 i 5.23 es poden veure els detalls de la resistència de sensat, soldada a la part posterior del circuit imprès 5.22. A la fotografia 5.23, es mostra el detall de la connexió de la sonda activa.

A les figures 5.24 i 5.25 es veuen dues captures de la pantalla de l'oscil·loscopi. A la figura 5.24 es mostren els senyals captats pels tres canals de l'oscil·loscopi. A l'esquerra de la figura s'indiquen els números dels canals. Al canal (2) capta el senyal de sincronisme de cicle. Cada vegada que comença el cicle es registra un nivell de tensió baix. Al canal (3) capta el senyal de sincronisme de vector. Cada vegada que es modifica el vector d'entrada aquest senyal fa una transició de baixada. Al canal (1) reb la tensió v_S . Cada vegada que es canvia el vector el multiplicador consumeix una quantitat d'energia que es manifesta en forma de pic de tensió a v_S . A la figura 5.25 es visual-

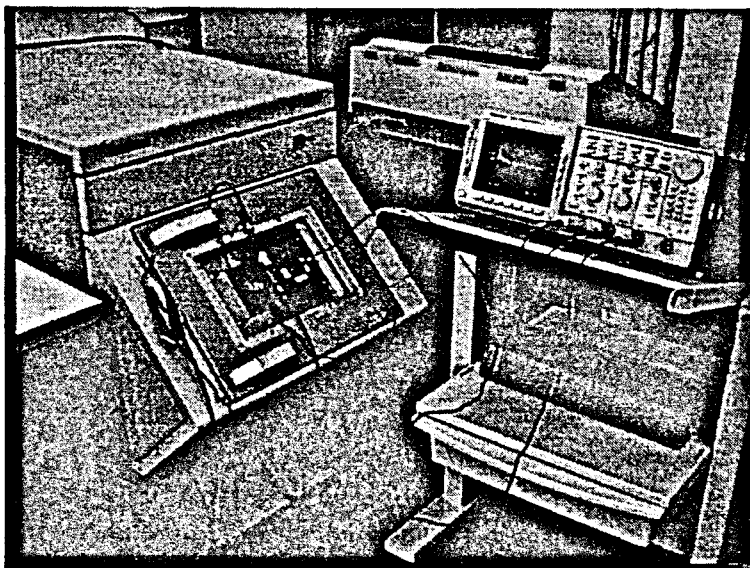


Figura 5.21: Sistema de mesura utilitzat en aquesta part experimental. A l'esquerra es veu la màquina de test HP82000 i a la dreta l'oscil·loscopi Tektronix TDS 744A, que capta el corrent de consum del xip.

itza el detall del transitori de tensió durant el canvi d'un vector d'entrada. La forma d'ona que es mostra es capta en el canal (1) de l'oscil·loscopi. Aquesta forma d'ona és el resultat d'aplicar el promitjat digital en un total de 1500 captures. L'ona presenta una característica que es va repetint en totes les parelles de vectors. El corrent creix inicialment a un valor elevat. Posteriorment va decreixent, però no ho fa suaument sinó a través de pics més petits que disminueixen d'amplitud. Aquesta evolució es pot atribuir a l'estructura matricial iterativa que té el multiplicador. Per a una certa parella de vectors, inicialment commuten el nombre màxim de blocs, després ho fan tots menys una fila d'ells, a continuació tots menys dues files i així successivament fins que s'estabilitza el circuit. Cada commutació d'aquestes genera pics de corrent que van disminuint a mesura que decreix el nombre de files involucrades en la commutació. La presència de tensions negatives a v_S es pot atribuir, per un cantó, a les inductàncies i capacitats paràsites del muntatge i en segon lloc a la commutació dels pins de sortida de xip que s'acoblen amb el circuit intern a través de les capacitats paràsites de

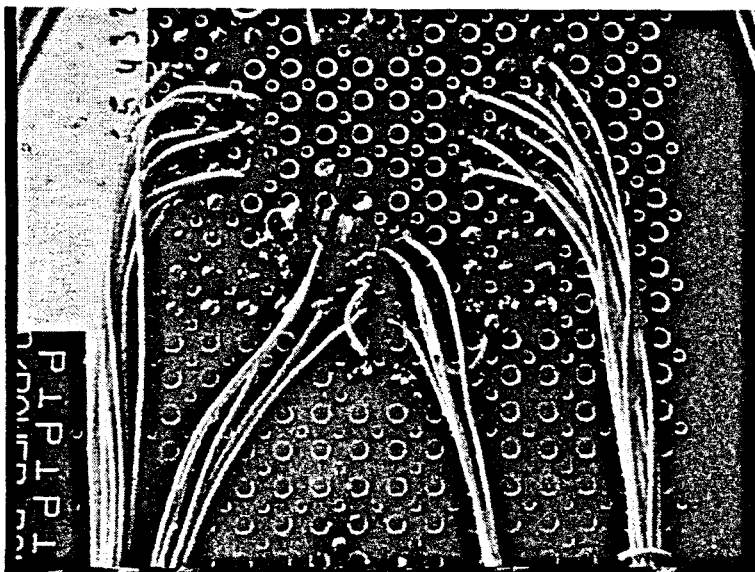


Figura 5.22: Detall de la resistència de sensat utilitzada per la mesura del corrent dinàmic del xip. La resistència està directament soldada als terminals del xip, per la part posterior de la placa de circuit imprès.

porta i de substrat. Els efectes de les inductàncies i capacitats paràsites del muntatge es veuen pràcticament eliminats per la integració del senyal, ja que aquesta es fa desde que el corrent es zero fins que torna a ser zero.

5.4.3 Resultats experimentals

Tot seguit es presenten els resultats de les mesures. El total de vectors utilitzats per excitar el circuit i mesurar l'energia de transició ha estat de 1000 dividits en 10 sèries de 100 vectors, sense comptar les mesures de calibració. La longitud màxima de les sèries ve determinada per la memòria intermitja que té disponible la màquina de test. Tal com s'ha explicat abans, cada sèrie s'envia cíclicament 1500 vegades al multiplicador a fi de poder fer la mijana de les mesures. El total de parelles de vectors experimentades és doncs de 990. A la figura 5.26 es presenta l'histograma de les dades obtingudes. En la gràfica, l'eix d'abscisses és energia, l'eix de l'esquerra la freqüència d'aparició dels diferents valors i l'eix de la dreta el percentatge acumulat. Les energies



Figura 5.23: Connexió de la sonda activa amb els dos terminals que accedeixen a la resistència de sensat.

mínima, màxima i mitjana de l'histograma són de 0.0109, 1.4659, i 0.6838 nJ respectivament. Per tenir un ordre de magnitud de la quantitat d'energia que això representa es pot pensar en un sistema portàtil que tingués aquest circuit incorporat. Si es suposa que aquest sistema està alimentat amb una bateria típica de $2000mAh$ i es fa funcionar el multiplicador a una freqüència de $5MHz$, 5 milions de multiplicacions per segon, la duració mitjana de la bateria seria d'aproximadament 585 hores que són uns 24 dies.

Per altre cantó, es calcula l'activitat ponderada d'aquest conjunt de 990 parelles de vectors a partir d'una descripció lògica del circuit. Aquesta descripció es fa de manera que el fanout de les portes coincideixi amb el nombre de transistors que controlen les pistes del circuit físic. En la simulació s'utilitzen els quatre models de retard esmentats en els apartats anteriors, RZ, RU, RV i RVFI². Després de calcular l'activitat ponderada es fa la comparació d'aquesta amb les mesures experimentals. A la figura 5.27 es donen

²RZ, model de retard zero. RU, model de retard unitari. RV, model de retard variable amb retard igual al fanout de la porta (sense finestra de filtratge). RVFI, model de retard variable amb retard igual al fanout de la porta i amb finestra de filtratge inercial.

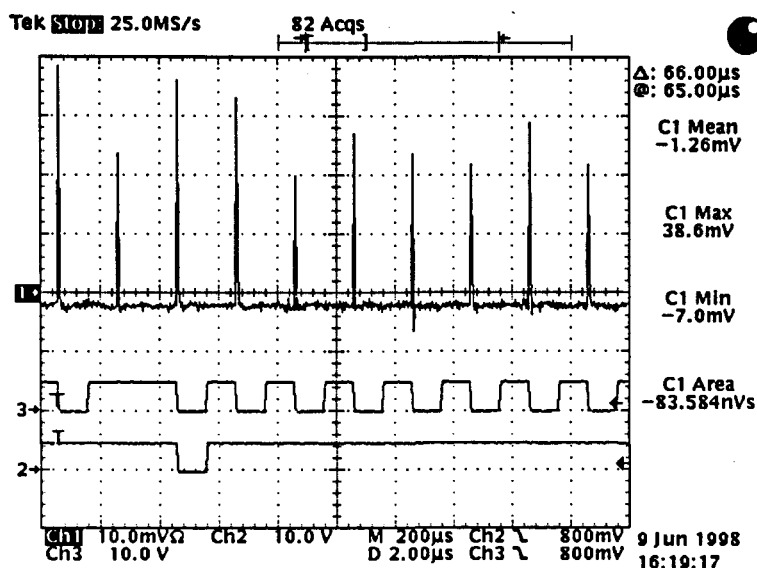


Figura 5.24: Captura d'una pantalla de l'oscil·loscopi. El canal (2), veure el número situat a l'esquerra de la pantalla, és la senyal de sincronisme de cicle, el (3) és el sincronisme de vector i l'(1) la tensió de sensat v_S . Cada vegada que (3) fa una transició de baixada es modifica el vector d'entrada del multiplicador i en conseqüència la tensió de sensat v_S fa un pic degut al corrent consumit pel circuit.

les gràfiques de comparació pels quatre models de retard.

L'eix d'ordenades representa l'energia de transició mesurada, E_M . L'eix d'abscisses l'activitat ponderada, AP . Cada punt de les gràfiques correspon a una parella de vectors dels que s'ha fet la mesura d'energia de transició i s'ha calculat l'activitat ponderada. El model de retard utilitzat s'indica a la capçalera de cada gràfica. La línia gruixuda que està dibuixada al centre de les gràfiques és la regressió lineal calculada amb una constant inicial nul·la, ja que s'assumeix que el consum quiescent del circuit és nul. Si l'estimació que fa l'activitat ponderada és exacta, tots els punts estaran sobre la recta. A la part superior esquerra de cada gràfica s'indiquen els coeficients de correlació i de determinació de la regressió per a un nivell de confiança del 95%. Les expressions del coeficient de correlació ρ_{AP,E_M} i del

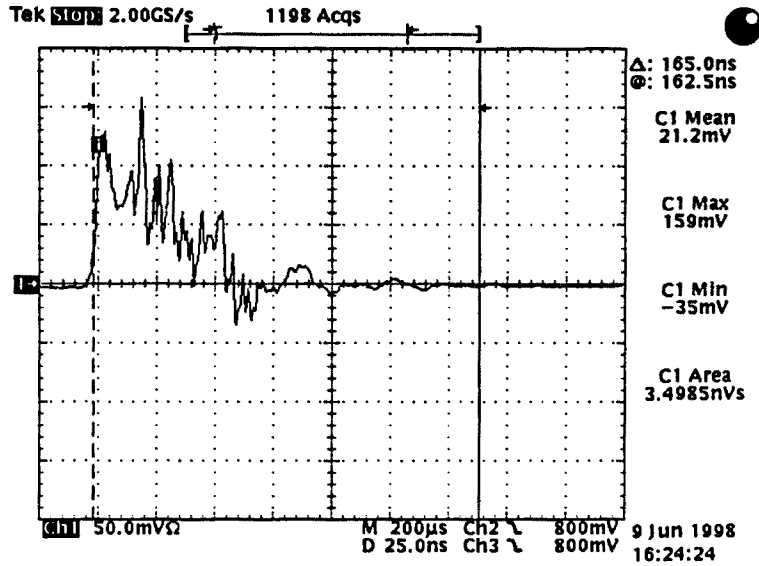


Figura 5.25: En el canal (1) de l'oscil·loscopi s'ha capturat la forma d'ona de la tensió v_s durant un transitori. La tensió màxima és de 159mV que correspon a un corrent de pic de 10.6mA . L'àrea total és de 3.4985nVs que equival a una energia de transició de 1.1756nJ .

coeficient de determinació R^2 són les següents,

$$\rho_{AP,EM} = \frac{\text{Cov}(AP, E_M)}{\sigma_{AP} \cdot \sigma_{E_M}}$$

$$R^2 = \frac{SS_1}{SS_{m-1}}$$

En l'expressió del coeficient de correlació, $\text{Cov}(AP, E_M)$ és la covariància entre l'activitat ponderada i l'energia de transició mesurada, i σ_{AP} , σ_{E_M} les seves desviacions estàndard respectives. La correlació està acotada en l'interval $-1 \leq \rho_{AP,EM} \leq 1$. En l'expressió del coeficient de determinació el terme SS_1 és la suma de quadrats de la regressió lineal, $\widehat{E_M}$, amb la mitjana, $\overline{E_M}$, i SS_{m-1} la suma de quadrats de l'energia de transició, E_M , amb la mitjana, $\overline{E_M}$. Com més bé s'ajusta la regressió lineal més s'aproxima la R^2 a la unitat. Amb una fletxa horitzontal i un cercle negre, es senyala l'energia de transició màxima obtinguda de les mesures experimentals. Aquest valor

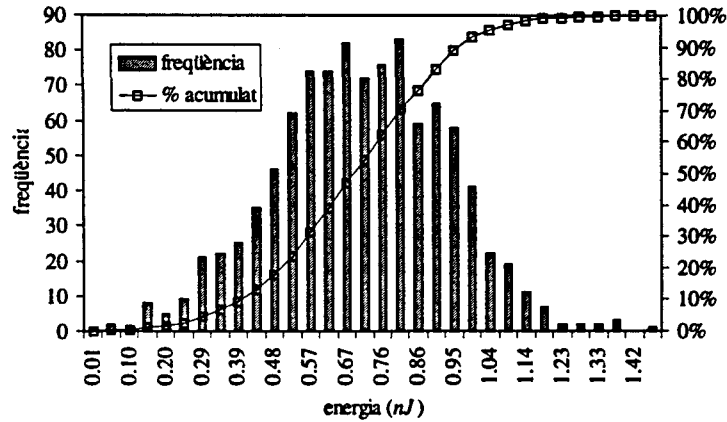


Figura 5.26: Histograma de les energies de transició mesurades després d'exercitar el circuit amb un conjunt de 990 parelles de vectors.

és equivalent en les quatre gràfiques. Amb una fletxa horitzontal i un cercle blanc es senyala l'activitat ponderada màxima obtinguda a partir de les simulacions. En aquest valor té influència el model de retard utilitzat. Com millor és l'estimació de la mètrica d'activitat ponderada més propers estan aquests dos màxims. La fletxa que apunta al cercle blanc conté un percentatge que quantifica la proximitat entre els dos màxims. Aquest percentatge valdria 100% si els dos màxims fossin iguals.

De la comparació dels resultats de les quatre gràfiques, es pot veure que l'estimació que es fa amb el model de retard RVFI és la millor de les quatre. En aquest cas, s'obtenen els millors coeficients de correlació i determinació. En canvi, els resultats pitjors són els que s'obtenen amb el model de retard RV. En aquest cas els valors dels dos coeficients $\rho_{AP,EM}$ i R^2 són els més petits. En els restants models de retard, els resultats obtinguts amb el model RZ són millors que els del model RU. La inspecció visual de les gràfiques indica que en el model de retard zero l'activitat ponderada té tendència a sobreestimar l'energia de transició, ja que el núvol de punts es situa per sota de la recta de regressió. Contràriament, en els models de retard RU i RV l'activitat ponderada té tendència a subestimar l'energia de transició tal com es desprèn de la disposició dels núvols de punts situats per sobre de les rectes de regressió. Finalment, quan s'utilitza el model RVFI el núvol de

punts està centrat i en conseqüència l'estimació que fa l'activitat ponderada de l'energia de transició és millor que en els casos anteriors.

Si es compara l'activitat ponderada màxima amb l'energia de transició màxima els resultats tornen a ser millors per al model de retard RVFI. Això es desprèn del percentatge del 74% que s'indica en el cercle blanc de la gràfica. Per ordre decreixent d'aquest percentatge els altres models de retard són el RZ amb un 66%, el RV amb un 62% i el RU amb un 48%. La lectura que es pot fer d'aquest darrer valor del model RU és la següent. Suposem que es vol estimar l'energia de transició màxima utilitzant la mètrica d'activitat ponderada i un model de retard unitari. Utilitzant l'eina COIN presentada al capítol 4 es calcula aquest màxim en el model lògic del circuit i s'obté també la parella de vectors d'excitació. Si posteriorment s'utilitza aquesta parella de vectors per assolir l'energia de transició màxima en el circuit físic només s'obté el 48% del valor màxim esperat.

5.5 Conclusions

En aquest capítol s'estudia la influència que té el model de retard en les estimacions de l'energia de transició fetes a nivell lògic. Els models de retard que s'estudien són els habitualment utilitzats: el model de retard zero (RZ), l'unitari (RU), el variable sense filtratge (RV) i el variable amb filtratge inercial (RVFI). Aquests són models de retard estàtics que requereixen un mínim d'informació tecnològica. La mètrica utilitzada és l'activitat ponderada que dona valors mínims quan es calcula amb un model de retard zero, degut a la inexistència de transicions falses. En els restants models de retard intervé el domini temporal de les portes. Per aquesta raó, entren en joc les transicions falses i, per tant, l'activitat ponderada calculada s'incrementa considerablement. Si bé els models de retard RU, RV i RVFI modelen el domini temporal, la utilització d'un o altre en el càlcul de l'activitat ponderada afecta també al valor final d'aquesta provocant modificacions que poden ser importants.

La influència que té el model de retard en el càlcul de l'activitat ponderada s'estudia inicialment sobre un model de retard RU al que s'apliquen variacions en el retard. Les variacions es diferencien en dos tipus: variacions petites i variacions grans del retard. Inicialment s'apliquen variacions petites en el retard. Es pot veure que en aquest cas el comportament de l'activitat ponderada és independent de l'arquitectura del circuit i de la parella de vectors d'excitació. Aquest comportament s'explica a través del diagrama X. Aquest diagrama té com a paràmetres d'entrada la variació del retard

imposada al circuit i l'amplada de les finestres de filtratge, assumint que el circuit té un filtratge uniforme. La sortida del diagrama és la relació que hi ha entre l'activitat ponderada del circuit i l'activitat ponderada nominal, l'obtinguda amb el model de retard unitari. Sobre aquest diagrama també s'analitzen aquells circuits que tenen una finestra de filtratge inercial. En aquest cas particular, on la magnitud del filtratge és igual que la del retard de la porta, es demostra que l'activitat ponderada nominal és una cota superior de l'activitat ponderada del circuit. Com a cas pràctic s'estudia el circuit de prova C6288 exhaustivament. Els resultats obtinguts amb el model de retard unitari s'extenen a altres tipus de models de retard.

En les següents seccions s'amplia el problema a variacions grans del retard. En concret el retard RV i RVFI es poden considerar obtinguts a partir d'un model de retard RU després d'aplicar variacions grans del retard. En aquest segon cas de variacions grans, el comportament de l'activitat ponderada no és previsible amb exactitud degut a que depèn de l'estructura d'interconnexió de les portes i de la parella de vectors d'excitació. Malgrat això sí que es poden estimar unes tendències. Aquestes tendències s'expliquen en el diagrama X i es justifiquen tenint en compte els mecanismes que són responsables de generar i eliminar transicions en els circuits. Per a validar aquestes tendències s'analitza el conjunt complet dels circuits de prova ISCAS-85. Es veu que el model de retard RV tendeix a fer creixer l'activitat ponderada per sobre del valor nominal mentre que el retard RVFI fa disminuir aquesta activitat ponderada per sota de la nominal.

En la darrera secció del capítol s'analitza la bondat de la mètrica d'activitat ponderada com a estimador de l'energia de transició i la influència que tenen sobre aquesta bondat els models de retard mencionats anteriorment. Es dissenya un experiment sobre un circuit multiplicador de 8×8 i es mesuren les energies de transició d'un conjunt de 990 parelles de vectors. Posteriorment, es calcula l'activitat ponderada sobre un model lògic del multiplicador utilitzant els quatre models de retard estàtics RZ, RU, RV i RVFI. Es comparen els resultats de les mesures i de la mètrica i s'arriba a la conclusió de que el model de retard RVFI és el més indicat dels quatre. El resultat és similar si el que es vol estimar és l'energia de transició màxima. També en aquest cas, el model de retard RVFI dona resultats millors. Es comprova també que dels quatre models de retard el que es comporta pitxor és el RV. L'explicació és que en aquest darrer model els mecanismes de generació i eliminació de transicions estan excessivament desequilibrats. Hi ha molta generació i poca eliminació de transicions.

Com a conclusions més importants de l'estudi es poden indicar els següents

punts.

- La mètrica d'activitat ponderada és més insensible a les variacions del retard de les portes si el model de retard incorpora algun tipus de filtratge de transicions.
- Si la finestra de filtratge del model és inercial i les variacions introduïdes al retard són petites, l'activitat ponderada nominal és una cota superior si es verifica l'expressió 5.4. Per variacions grans del retard, la tendència de l'activitat ponderada és de decreixer encara més, per tant en molts casos l'activitat nominal es podrà seguir sent utilitzada com una cota superior.
- Dels quatre models de retard presentats, la utilització d'un model de retard RVFI és la més adequada quan es volen fer estimacions de l'energia de transició. En el cas particular de l'experimentació realitzada en un multiplicador 8x8, s'obté una bona correlació entre les mesures experimentals i les estimacions fetes amb la mètrica d'activitat ponderada.
- Comparant amb un model de retard RU, la utilització d'un model de retard RV empitjora les estimacions de l'energia de transició. Es recomana, doncs, que en el cas de no poder ser utilitzats mecanismes de filtratge, la realització de les estimacions amb un model de retard RZ o RU en front d'un de RV.

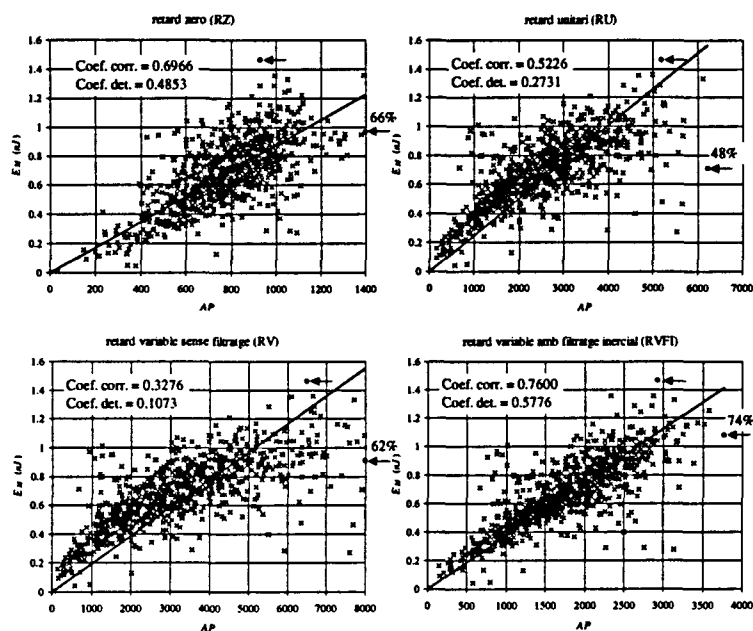


Figura 5.27: Comparació de les mesures d'energia de transició fetes en el multiplicador amb la mètrica calculada a partir de la descripció lògica del circuit. S'han emprant els quatre models de retard indicats a cada gràfica. La recta representa el resultat de la regressió lineal amb una constant inicial nul·la. A dalt a l'esquerra es donen els coeficients de correlació i de determinació per un nivell de confiança del 95%. Amb dues fletxes s'indiquen dos punts rodons. El punt negre és l'energia de transició màxima mesurada, que és igual en els quatre cassos. Amb el punt rodó blanc s'indica l'energia de transició màxima trobada mitjançant la simulació lògica. El percentatge que acompanya el punt rodó blanc indica la distància a que es troba de l'energia de transició màxima mesurada.

Capítol 6

Conclusions i treball futur

El tema principal que ha motivat la tesi ha estat l'anàlisi de l'energia de transició màxima. Aquesta anàlisi s'ha dut a terme en circuits combinacionals CMOS. Els capítols 3 i 4 estan exclusivament dedicats a l'estimació d'aquest màxim, per mitjà del càlcul de dues cotes, una de superior i una de inferior. L'anàlisi s'ha enfocat en circuits descrits a nivell lògic. Per a poder estimar l'energia de transició a aquest nivell, s'ha utilitzat una mètrica molt coneguda que és l'activitat ponderada. Aquesta mètrica ha motivat l'estudi d'altres dos temes. Al capítol 2 s'ha presentat una ampliació d'aquest model de l'activitat ponderada a fi d'incloure el consum de curt-circuit. Per altre cantó, al capítol 5 s'ha estudiat la influència que té el model de retard, en l'activitat ponderada. Seguidament es presenten les conclusions més importants de la tesi.

6.1 Conclusions

Les conclusions de la tesi es presenten segons l'ordre que estableixen els capítols. Cada una d'elles s'inclou dins una subsecció encapçalada pel títol del capítol corresponent.

6.1.1 Activitat ponderada capacitiva i de curt-circuit

L'estimació de l'energia de transició es fa, habitualment, amb la mètrica activitat ponderada. Aquesta mètrica és un model purament capacitiu, que associa a cada commutació d'un node intern del circuit una certa energia. Aquesta energia és la subministrada a la capacitat paràsita del node. A

partir del nombre total de commutacions de tot el circuit, es calcula la mètrica global.

Aquesta mètrica, doncs, ignora per complert el consum de curt-circuit, que es deriva de les commutacions no ideals de les portes. Per uns temps de transició fixat a la sortida d'aquestes, la component de curt-circuit pot ser elevada si el temps de transició en les entrades augmenta excessivament. Els temps de transició estan condicionats per la mida de les capacitats paràsites d'entrada i de sortida i, alhora, per les mides dels transistors de la porta. En conseqüència, el disseny de les portes i la seva interconnexió afectaran directament a la component del curt-circuit. Al principi del capítol 2 es veu com en un futur, en les tecnologies molt submicròniques, la component de curt-circuit serà determinant alhora de fer el dimensionat dels transistors per davant dels criteris de retard dels senyals. Això motiva una anàlisi dels models existents. D'aquesta anàlisi s'observa que tots els models utilitzen els temps de transició dels senyals d'entrada i sortida de les portes. Per altre cantó, tots ells estan dedicats exclusivament a l'estimació de l'energia de curt-circuit.

A nivell lògic és habitual que els simuladors calculin els temps de propagació dels senyals però, en canvi, és més difícil l'estimació dels temps de transició dels nodes interns. Si es pretén obtenir l'energia de curt-circuit cal estimar aquests temps de transició, el que obliga a la utilització de models addicionals. Una vegada es calcula aquesta energia de curt-circuit, la seva comparació amb el consum total pot ser difícil per la manca d'informació tecnològica que es pot donar en una fase *pre-layout*.

Les dues raons exposades en el paràgraf anterior, el càlcul dels temps de transició i la comparació amb el consum global, han motivat la proposta d'un model que inclogués les dues components del consum dinàmic, la capacitiva i la de curt-circuit. En el model, s'incorporen els càlculs dels temps de transició que utilitzen com a paràmetres les mides dels transistors i dels pesos dels nodes. Es recorda que el pes d'un node és una mètrica que indica la magnitud de la seva capacitat paràsita. Aquesta mètrica, F

La validesa del model es valida en una llibreria de portes. Aquestes inclouen diferents funcions lògiques i tamanyes que arriben fins a 5 entrades. Els disseny de les portes es fa amb una tecnologia de $0.7\mu\text{m}$. L'energia que s'obté del model es compara amb els valors calculats en el simulador elèctric HSPICE. Els resultats demostren el bon comportament del model proposat. Es veu que l'error del model és inferior al 11% sempre que el pes de les entrades no superi vint vegades el pes de la sortida. Aquesta relació de pesos és corrent en els dissenys CMOS actuals.

La utilitat de la mètrica es demostra fent una estimació ràpida de la contribució que té l'energia de curt-circuit en l'energia de transició de cada porta, i en l'energia de transició global del circuit. Aquesta estimació es fa definint un interval delimitat per dues cotes, una de superior i una de inferior. El càlcul d'aquestes cotes es valida en el circuit C1908. Es demostra la rapidesa d'obtenció de les cotes, gràcies a que el seu càlcul és independent del valor de les entrades de les portes. Els resultats aplicats a les portes individuals del circuit demostren que un 4% d'aquestes tenen una energia de curt-circuit superior al 20% de l'energia de transició. Semblantment, aquest nombre de portes amb nivell de curt-circuit superior al 20% no supera en cap cas el 11% del total de portes del circuit. Els resultats de les cotes de l'energia de transició global s'obtenen després de simular una llista de 1000 parelles de vectors. S'observa que l'energia de transició global pot veure's incrementada d'un 5.7% fins a un 16.2% respecte de l'energia de transició purament capacitiva. Aquests increments estan per sota del nivell del 20% si bé internament aquest nivell de referència queda superat en portes individuals del circuit, tal com s'ha explicat anteriorment.

A partir de les simulacions realitzades amb el model d'energia de transició proposat, es poden resumir alguns punts importants.

- L'energia de curt-circuit és sensible a les mides dels transistors i als pesos dels nodes d'entrada i sortida de les portes.
- En el circuit C1908 analitzat, el curt-circuit representa en mitjana un 9.6% de l'energia de transició dinàmica. Individualment, la desviació estàndard que experimenta aquesta contribució, quan s'analitza porta a porta, és d'un 10.2% amb una diferència màxima del 66.7%. En aquest circuit, una anàlisi dels *fanouts* de les portes indiquen que únicament un 5.4% de les portes tenen una *fanout* superior a 2. Aquests resultats fan pensar que en circuits on el percentatge de portes amb *fanouts* elevats sigui superior al 5.4%, els desequilibris entre els pesos

d'entrada i sortida de les portes poden fer augmentar la desviació del 10.2%, així com el valor màxim del 66.7%.

- Del model d'energia de transició que es presenta es pot deduir que en les portes amb més d'una entrada, el curt-circuit depèn de la manera com s'excitin aquestes entrades. En aquestes portes, si es suposa que els *drivers* de tots els senyals d'entrada són equivalents, la commutació d'aquells senyals amb *fanouts* més elevats farà incrementar el curt-circuit de la porta per sobre dels seus nivells típics.
- A partir dels resultats de les simulacions presentats al capítol 2, es pot observar que un increment en els amplituds dels transistors de diferents tipus de portes afecta tant a l'energia de curt-circuit com a la capacitiva. L'energia de curt-circuit es veu afectada directament a través de les resistències pentode dels transistors i indirectament a través del temps de transició de la sortida. L'energia capacitiva es veu influenciada per l'augment de la capacitat paràsita interna de la porta. Aquesta doble influència ha de tenir-se en compte alhora de fer el dimensionat dels transistors. Es podria donar el cas de que un intent de disminuir la component de curt-circuit per mitjà d'un augment de l'amplitud d'alguns transistors, repercutís al consum total en forma d'increment per causa de les capacitats paràsites.
- En general, a nivell lògic, la utilització de la component capacitiva de l'energia de transició és suficient en una primera estimació. Malgrat això, és recomanable la utilització de mètriques que incloguin tant la component capacitiva com la de curt-circuit, per a les tasques d'optimització de l'estructura, a nivell lògic. Aquesta recomanació, es basa en l'observació de la influència que té la interconnexió de les portes, sobre aquestes dues components de l'energia.

Motivat per les conseqüències que pot tenir sobre la fiabilitat i les prestacions d'un circuit l'energia de transició màxima, en els capítols 3 i 4 s'analitza l'energia de transició màxima. En el subapartat que ve a continuació es presenten les conclusions del capítol 3. Es fa notar que en els capítols 3, 4 i 5 la mètrica que s'utilitza és la purament capacitiva. L'explicació d'això és que la millora que es proposa del model, en el capítol 2, ha estat posterior en el temps al treball d'investigació presentat en els capítols 3, 4 i 5. Malgrat això, s'ha cregut més indicat començar a presentar els continguts de la tesi pel nivell elèctric i posteriorment passar al nivell lògic.

6.1.2 Cota superior propera de l'energia de transició màxima

En el capítol 3 es calcula la cota superior propera de l'energia de transició màxima. En el càlcul d'aquesta cota s'utilitza l'activitat ponderada capacitiva. Es parteix d'un estimador de l'activitat ponderada màxima basat en tècniques no-depenents-d'entrada. Aquestes tècniques, són les que permeten assolir els temps de càlcul més curts. Aquest estimador, COSUS, inclou les metodologies utilitzades en la majoria de tècniques similars [77] [80] [88] [89] [100]. La idea bàsica de l'eina és la propagació de formes d'ona incertes al llarg del circuit i, d'aquesta manera estimar el nombre de commutacions màxim que poden fer els nodes interns. Durant la propagació de les formes d'ona es tenen en compte els retards dels senyals i els efectes de filtratge de transicions. Aquesta propagació és bàsicament estructural, donat que no es tenen en compte les funcions lògiques de les portes del circuit.

En el capítol es presenta una millora d'aquesta tècnica. La millora consisteix en incorporar la funció lògica de les portes en la propagació dels senyals interns. Les funcions lògiques realitzen un "bloqueig lògic" quan no permeten la propagació de determinades transicions. Aquesta millora té, doncs, en compte la correlació estructural dels senyals interns, a nivell de porta. L'anàlisi d'aquesta correlació estructural es fa utilitzant la programació dinàmica que permet mantenir la complexitat de càlcul acotada polinòmicament. Es desenvolupa una eina que incorpora aquestes millores, COFUS.

La millora que s'assoleix en el càlcul de la cota superior propera, es valida en un conjunt de circuits de prova formats majoritàriament pels ISCAS-85. Inicialment, es compara COSUS amb COFUS. La comparació es duu a terme comptabilitzant el nombre de commutacions estimat node a node. Com a resultat més rellevant es destaca que COFUS és capaç de disminuir fins a un 50% el nombre de commutacions estimades en determinats nodes. Aquesta reducció s'aconsegueix emprant un model de retard variable que incorpora finestra de filtratge inercial.

Una segona validació consisteix en la comparació de la cota superior propera calculada per COFUS amb una cota inferior aleatòria. Aquesta cota inferior aleatòria s'obté amb un estimador d'activitat ponderada anomenat SAIL. Consisteix en la simulació d'un conjunt nombrós de parelles de vectors generades aleatòriament, en cadascun dels circuits de prova. El millor resultat de cada circuit es selecciona com a cota inferior aleatòria. Es compara, doncs, aquesta cota inferior aleatòria amb la cota superior propera, tant pel que fa a les magnituds obtingudes com als temps de simulació. Com a re-

sultats més rellevants es destaca el circuit C6288, que ha donat una relació entre la cota superior propera i inferior aleatòria de 1.9. En tots els cassos la cota superior propera està per sota de l'ordre de magnitud de la cota inferior aleatòria. Per contra, els temps de simulació presenten diferències en dos ordres de magnitud. La cota superior propera és molt més ràpida de calcular que la cota inferior aleatòria.

De les cotes superiors properes calculades en els circuits de prova, es poden resumir un conjunt d'observacions.

- El càlcul de la cota superior propera és una eina molt potent per a detectar els "punts calents" del circuit.
- La possibilitat del càlcul de la cota superior propera emprant diferents models de retard i filtratge, millora significativament la proximitat de la cotes superiors properes respecte de les inferiors aleatòries.
- L'estimació de l'energia de transició màxima basada únicament en la cota superior propera no és recomanable. Això és degut a que la velocitat de càlcul s'accelera, menyspreant parcialment correlacions espaials i/o temporals. Això provoca que, en alguns circuits, la cota pot allunyar-se excessivament del valor òptim del màxim.
- La cota superior propera es pot millorar considerablement en circuits amb restriccions a les entrades. En aquest cas, es poden incloure correlacions espaials i temporals, sense incrementar excessivament els temps de càlcul.

En el següent subapartat es presenten les conclusions del capítol 4.

6.1.3 Cota inferior propera de l'energia de transició màxima

En el capítol 4 es calcula una cota inferior propera de l'energia de transició màxima. Com abans, la mètrica utilitzada per estimar l'energia de transició és l'activitat ponderada. La metodologia seguida en el càlcul de la cota inferior propera del màxim és diferent de la presentada en capítol 3, degut a que ara s'empra una tècnica dependent-d'entrada. Això vé forçat per la necessitat de conèixer la parella de vectors d'entrada que exciten el circuit en aquestes condicions.

La tècnica proposada està dividida en tres parts essencials. Una primera on es fa una propagació de transicions habilitables (formes d'ona incertes).

Amb aquesta propagació es determinen, per cada node del circuit, els instants de temps en els que poden haver-hi commutacions. A continuació es fa una transformació temps-espai. Aquesta transformació consisteix en traduir el domini funcional, arquitectural i temporal del circuit en un nou domini funcional i arquitectural. El nou circuit generat a partir d'aquesta transformació és un detector de transicions del circuit original. Utilitzant una eina de *Automatic Test and Pattern Generation*, ATPG, en aquest nou circuit, es dissenya un heurístic que és capaç de calcular una cota inferior propera de l'activitat ponderada màxima.

La tècnica dissenyada es valida en un conjunt de circuits de prova de tamany divers. Com a estimador de referència s'utilitza les mateixes cotes inferiors aleatòries calculades en el capítol 3. La validació es fa comparant la magnitud de les cotes i els costos de cada un dels mètodes. El cost es calcula com el nombre de parelles generades, en el mètode proposat, o simulades, en el mètode aleatori. La validació es duu a terme pels quatre models de retard més coneguts que són: retard zero, retard unitari, retard variable i retard variable amb finestra de filtratge inercial. Els resultats indiquen que pel conjunt de circuits de prova simulats, utilitzant del model de retard zero el mètode proposat millora en un 12.3% la cota inferior aleatòria i disminueix en un -47.2% el cost d'obtenció d'aquesta cota. Amb el model de retard unitari la millora de la cota és del 14.8% i la reducció de costos del -50.3%. Pel model de retard variable els valors són una millora de 21.6% i una disminució del -44.7%. Finalment, pel model de retard variable amb filtratge inercial els valors són 7.5% i -55.4%. Considerant la globalitat dels circuits i dels models de retard s'obté una millora de la cota del 15.8% i una reducció del cost de -49.6%.

En resum es pot dir que,

- La utilització de les eines de generació de vectors de test en el càlcul de la cota inferior propera dona molt bons resultats. És flexible i capaç de detectar el màxim en circuits patològics. Per exemple, en circuits amb senyals de control que forcin modes de funcionament diversos en el circuit. Un circuit d'aquest tipus és el C7552.
- Durant l'execució de l'eina ATPG, es busca el màxim a partir d'una llista dels nodes interns del circuit, ordenats segons el seu potencial energètic. La utilització d'aquesta llista, permet enfocar la búsqueda del màxim de manera flexible. Per exemple, la mateixa tècnica es pot fer servir per forçar commutació a nodes específics, que no tenen perquè ser del màxim.

- Tal com es demostra en l'apartat de resultats del capítol 4, la tècnica genera internament excitacions que tenen una distribució energètica més elevada que les obtingudes utilitzant generació aleatòria. Això fa pensar que la metodologia presentada es pot reconvertir pels *burst mode tests*. En aquests tests, es força el circuit a treballar per sobre dels límits tèrmics permesos.

Seguidament es presenten les conclusions del capítol 5.

6.1.4 Influència del model de retard en l'estimació de l'energia de transició

Durant el càlcul de les cotes de l'energia de transició màxima, s'observa que aquesta varia significativament segons el model de retard que s'utilitzi. Això ha motivat que, en el capítol 5, es faci un estudi de la influència que té el model de retard sobre l'activitat ponderada.

En aquest capítol s'estudia la influència que té el model de retard en les estimacions de l'energia de transició fetes a nivell lògic. Els models de retard que s'estudien són els habitualment utilitzats: el model de retard zero (RZ), l'unitari (RU), el variable sense filtratge (RV) i el variable amb filtratge inercial (RVFI). Aquests són models de retard estàtics que requereixen un mínim d'informació tecnològica. La mètrica utilitzada és l'activitat ponderada que dona valors mínims quan es calcula amb un model de retard zero, degut a la inexistència de transicions falses. En els restants models de retard intervé el domini temporal de les portes. Per aquesta raó, entren en joc les transicions falses i, per tant, l'activitat ponderada calculada s'incrementa considerablement. Si bé els models de retard RU, RV i RVFI modelen el domini temporal, la utilització d'un o altre en el càlcul de l'activitat ponderada afecta també al valor final d'aquesta provocant modificacions que poden ser importants.

La influència que té el model de retard en el càlcul de l'activitat ponderada s'estudia inicialment sobre un model de retard RU al que s'apliquen variacions en el retard. Les variacions es diferencien en dos tipus: variacions petites i variacions grans del retard. Inicialment s'apliquen variacions petites en el retard. Es pot veure que en aquest cas el comportament de l'activitat ponderada és independent de l'arquitectura del circuit i de la parella de vectors d'excitació. Aquest comportament s'explica a través del diagrama X. Aquest diagrama té com a paràmetres d'entrada la variació del retard imposada al circuit i l'amplada de les finestres de filtratge, assumint que el circuit té un filtratge uniforme. La sortida del diagrama és la relació que

hi ha entre l'activitat ponderada del circuit i l'activitat ponderada nominal, l'obtinguda amb el model de retard unitari. Sobre aquest diagrama també s'analitzen aquells circuits que tenen una finestra de filtratge inercial. En aquest cas particular, on la magnitud del filtratge és igual que la del retard de la porta, es demostra que l'activitat ponderada nominal és una cota superior de l'activitat ponderada del circuit. Com a cas pràctic s'estudia el circuit de prova C6288 exhaustivament. Els resultats obtinguts amb el model de retard unitari s'extenen a altres tipus de models de retard.

En les següents seccions s'amplia el problema a variacions grans del retard. En concret el retard RV i RVFI es poden considerar obtinguts a partir d'un model de retard RU després d'aplicar variacions grans del retard. En aquest segons cas de variacions grans, el comportament de l'activitat ponderada no és predictable amb exactitud degut a que depèn de l'estructura d'interconnexió de les portes i de la parella de vectors d'excitació. Malgrat això sí que es poden estimar unes tendències. Aquestes tendències s'expliquen en el diagrama X i es justifiquen tenint en compte els mecanismes que són responsables de generar i eliminar transicions en els circuits. Per a validar aquestes tendències s'analitza el conjunt complet dels circuits de prova ISCAS-85. Es veu que el model de retard RV tendeix a fer creixer l'activitat ponderada per sobre del valor nominal mentre que el retard RVFI fa disminuir aquesta activitat ponderada per sota de la nominal.

En la darrera secció del capítol s'analitza la bondad de la mètrica d'activitat ponderada com a estimador de l'energia de transició i la influència que tenen sobre aquesta bondad els models de retard mencionats anteriorment. Es dissenya un experiment sobre un circuit multiplicador de 8×8 i es mesuren les energies de transició d'un conjunt de 990 parelles de vectors. Posteriorment, es calcula l'activitat ponderada sobre un model lògic del multiplicador utilitzant els quatre models de retard estàtics RZ, RU, RV i RVFI. Es comparen els resultats de les mesures i de la mètrica i s'arriba a la conclusió de que el model de retard RVFI és el més indicat dels quatre. El resultat és similar si el que es vol estimar és l'energia de transició màxima. També en aquest cas, el model de retard RVFI dona resultats millors. Es comprova també que dels quatre models de retard el que es comporta pitxor és el RV. L'explicació és que en aquest darrer model els mecanismes de generació i eliminació de transicions estan excessivament desequilibrats. Hi ha molta generació i poca eliminació de transicions.

Com a conclusions més importants de l'estudi es poden indicar els següents punts.

- La mètrica d'activitat ponderada és més insensible a les variacions del retard de les portes si el model de retard incorpora algun tipus de filtratge de transicions.
- Si la finestra de filtratge del model és inercial i les variacions introduïdes al retard són petites, l'activitat ponderada nominal és una cota superior si es verifica l'expressió 5.4. Per variacions grans del retard, la tendència de l'activitat ponderada és de decreixer encara més, per tant en molts cassos l'activitat nominal es podrà seguir sent utilitzada com una cota superior.
- Dels quatre models de retard presentats, la utilització d'un model de retard RVFI és la més adequada quan es volen fer estimacions de l'energia de transició. En el cas particular de l'experimentació realitzada en un multiplicador 8x8, s'obté una bona correlació entre les mesures experimentals i les estimacions fetes amb la mètrica d'activitat ponderada.
- Comparant amb un model de retard RU, la utilització d'un model de retard RV empitjora les estimacions de l'energia de transició. Es recomana, doncs, que en el cas de no poder ser utilitzats mecanismes de filtratge, la realització de les estimacions amb un model de retard RZ o RU en front d'un de RV.

Les investigacions dutes a terme han motivat una serie de treballs futurs que es comenten a continuació.

6.2 Treball futur

El treball futur es divideix en cada una de les línies de treball que s'han dut a terme en aquesta tesi.

Inicialment, s'aborda l'obtenció d'un model de l'activitat ponderada capacitiva i de curt-circuit. En el model que es proposa no es tenen en compte, explícitament, les transferències de càrrega que hi han a través de les capacitats d'acoblament entre les portes i els drenadors/surtidors dels transistors. Seria interessant, doncs, veure quin és l'efecte real d'aquesta transferència de càrrega i, com es podria incloure en els models utilitzats a nivell lògic. Cal remarcar que en la bibliografia que aborda aquest tema, proposada en el capítol, sempre s'assumeix que la tensió d'entrada de la porta és una rampa. Això imposa, implícitament, que la potència de la font que controla

la rampa d'entrada és infinita i, per tant, els efectes que poden tenir aquestes capacitats d'acoblament, no repercuteixen sobre la tensió d'entrada. Durant, les simulacions que s'han dut a terme, s'observa que hi ha efectes de retroalimentació. Els canvis de la tensió de sortida poden afectar a la tensió d'entrada, quan aquesta estigui excitada per un *driver* amb potència finita.

En relació a la cota superior propera, hi ha línies de treball que estarien orientades a la millora de la cota en els aspectes següents. Per un cantó, el bloqueig lògic pot ser millorat amb la incorporació dels efectes d'onada que representa el no propagar transicions a les portes descendents. Amb la incorporació d'aquest efecte s'estima una millora que podria estar al voltant del 10% al 15% en la cota global del circuit. Per altre cantó, la correlació estructural que es realitza a nivell de porta, es pot estendre a conjunts de portes més grans. De totes maneres, aquesta extensió del mètode cal fer-la amb precaució si es vol mantenir la complexitat acotada polinòmicament. Una tercera extensió natural del mètode és l'estimació de la cota superior propera de l'activitat ponderada màxima en circuit seqüencials. Aquesta ampliació és immediata perquè el bloqueig lògic permet tractar les restriccions que siguin imposades a les entrades d'un circuit combinacional. En aquest cas, les restriccions vindrien per la variable d'estat de l'autòmat.

Pel que fa a la cota inferior propera, també hi ha uns punts on la tècnica pot ser millorada. Durant la fase d'aplicació del ATPG, es capturen uns nodes concrets del circuit transformat, amb una porta AND. D'aquesta manera, es pot forçar la detecció simultànea de falles *stuck0* en aquests nodes. Utilitzant l'opció de detecció simultànea de falles que té l'eina de ATPG, es pot ampliar aquest conjunt de detecció simultànea a altres nodes del circuit. Gràcies, doncs, al conjunt de *stuck0* detectats simultàniament, és possible aconseguir una parella de vectors que maximitzi l'activitat ponderada.

La selecció dels nodes capturats a la AND, es fa en base a una classificació del nivell potencialment energètic de les portes. S'observa que durant les simulacions aquest criteri és molt fructuós en determinats tipus de circuits, per exemple en multiplicadors, però no ho és tant en altres tipus com poden ser unitats de control. Aquest criteri de selecció dels nodes es pot ampliar incloent la dependència estructural i lògica que hi ha entre els nodes, etc. També es poden refinar més els criteris d'aturada, que en els experiments realitzats han estat molt relaxats. L'objectiu d'un criteri d'aturada hauria de ser la de parar el càlcul de la cota inferior propera, tan bon punt s'hagués assolit el valor màxim. Durant el funcionament de l'algorisme, es van generant una serie de dades residuals que poden ser utilitzades, precisament, per refinar aquest criteri d'aturada. Algunes d'aquestes dades són les

activitats ponderades obtingudes internament, la llista de nodes capturats a la AND i l'expansió que s'obté a partir d'aquests nodes llavor.

Un punt addicional de la cota inferior propera, a semblança de la superior, és l'extensió a autòmats seqüencials. Aquesta ampliació és senzilla i ha de permetre el càlcul de la cota inferior propera en els cicles. La cota es pot calcular en cicles complets o per trams, optimitzant branques de longitud 2, 3, etc dins el cicle.

En referència a l'estudi que es fa del comportament de l'activitat ponderada en front dels models de retard, hi ha un punt que pot ser motiu d'estudi. Aquest fa referència a la importància que té el filtratge de transicions, com a mecanisme capaç d'eliminar transicions falses en el circuit. L'ampliació de l'estudi contempla els efectes de "presió" que té el filtratge sobre les transicions. Això vé motivat per l'observació de que circuits amb iguals filtratges a les portes, absorbeixen de manera diferent les transicions. D'entrada es creu que això està motivat per la disposició que tenen les portes dins el circuit. Una anàlisi sistemàtica de la disposició del filtratge dins el circuit i l'efecte que això té en l'activitat ponderada, seria d'utilitzat. Permetria explotar aquest mecanisme en el disseny de circuit menys consumidors.

6.3 Darreres consideracions

L'evolució que té la tecnologia s'ha accelerat en els darrers anys. L'últim informe de la *Semiconductor Industry Association*, SIA, revela que la disminució de la mida en la tecnologia CMOS s'ha accelerat, del cicle de tres anys que venia experimentant amb anterioritat a l'any 1997, a cicles de dos anys a partir de l'any 1997. En l'informe de l'any 1994, es preveia la introducció dels 250nm a l'any 1998, mentre que finalment aquesta tecnologia va entrar en funcionament un any abans, al 1997. Igualment, s'indicava que els 180nm es podrien començar a fabricar el 2001. En l'informe de la SIA del 1997, aquesta data s'ha avançat dos anys, al 1999. Cal, doncs plantejarse, de bell nou, la pregunta de com evolucionaran els interessos pels temes exposats en aquesta tesi, en el futur.

Els investigadors A. Chatterjee *et al.* fan, a [97], un estudi de quins seran els factors més importants que poden tenir conseqüències sobre l'energia de curt-circuit en les noves tecnologies. N'identifiquen dos com a més importants: la disminució de la tensió llindar dels transistors, V_{TH} , per sota de 0.1V i l'augment de la resistència de la porta dels transistors, *gate sheet resistance* ρ_{sh} , en transistors amb longituds menors als 250nm. Per sota

d'aquests límits s'indica un creixement de l'energia de curt-circuit per sobre del 10% de l'energia total consumida per les portes. Sota aquestes condicions els investigadors destaquen el curt-circuit com a factor de disseny a tenir en compte en la síntesi dels circuits.

En l'informe de la SIA, es preveu un manteniment de la ρ_{sh} en les tecnologies futures, malgrat que es preveu una reducció de la mida fins als $50nm$ a l'any 2012. Actualment, a $250nm$ la $\rho_{sh} \simeq [4, 6]\Omega/sq$ i per la tecnologia de $50nm$ es preveuen uns valors de $\rho_{sh} < 5\Omega/sq$, gràcies a la substitució del polisilici de porta per materials més bon conductors. En la tecnologia de $50nm$, la tensió d'alimentació haurà disminuït fins als $[0.5, 0.6]$ volts. Contràriament, es preveu un augment de les prestacions en els microprocessadors, amb rellotges interns que arribaran a la freqüència de $10GHz$. En conseqüència, les tensions llindar dels transistors hauran de disminuir fins a valors de $32mV$ per a poder complir amb les especificacions de retard imposades. D'aquest anàlisi es pot deduir que la necessitat de modelar l'energia de curt-circuit anirà en augment, principalment per la disminució de la tensió llindar. És raonable pensar que les mètriques que avaluin l'energia de transició, a nivell lògic, hauran d'incorporar de manera sistemàtica l'energia de curt-circuit i alhora refinar més aquests models, a mesura que avanci la tecnologia.

Les repercussions que tingui l'energia de transició màxima sobre la fiabilitat aniran també en augment. En les tecnologies de $50nm$ es preveu arribar a una densitat d'integració de 180 milions de transistors per cm^2 , en xips que poden arribar a contenir 1.4 bilions de transistors. Per assolir aquesta densitat, caldrà augmentar el nombre de capes d'interconnexió fins a 9, el que empitjorarà els efectes de crosstalk en el propi circuit i en els circuits propers. Això imposa, doncs, la necessitat de desenvolupar més les tècniques d'anàlisi d'aquesta energia de transició màxima. També caldrà millorar les mètriques i els models de retard utilitzats. Les variacions dels processos de fabricació i l'augment de la relació entre la distància de l'interconnexió respecte les mides de la porta, farà que aquest tingui molt més pes en el consum dinàmic que les pròpies portes. Això forçarà que en un futur s'hagin d'adoptar models estadístics en contra dels models deterministes.

En resum, en les tecnologies dels propers anys, es preveu un augment en la necessitat de disposar de més i millors models per a predir el consum energètic dels circuits i d'eines d'anàlisi i simulació d'aquest consum. Aquestes eines requeriran de més potència de CPU.

Per acabar només un darrer apunt extret del SIA'97 [122]. Al 2012 es necessitaran ordinadors amb un potència de càlcul de 8000 MFLOPS per

a poder resoldre les 5 millions d'equacions per minut requerides pels simuladors. Actualment, els ordinadors tenen una potència d'uns 60 MFLOPS i poden resoldre unes 125 mil equacions per minut.

Apèndix A

Circuits de prova

En aquest apèndix es presenten els característiques principals dels circuits de prova que s'ha utilitzat per a fer les experimentacions als diferents capítols de la tesi.

A.1 Circuits ISCAS-85

Els circuits ISCAS-85 [13], són un conjunt de 10 circuits combinacionals que, desde la seva presentació en el International Symposium on Circuits and Systems de l'any 1985, han estat amplament utilitzats com a circuits de prova per a poder establir comparacions entre els resultats obtinguts pels diferents autors.

Els ISCAS-85 estan descrits utilitzant 8 tipus de portes lògiques: AND, NAND, OR, NOR, XOR, XNOR, BUF i NOT. La taula A.1 sintetitza algunes de les característiques dels ISCAS-85 utilitzats.

Circuit	funció	nodes			portes lògiques	longitud camí crític ¹
		entrades	interns	sortides		
C17	-	5	4	2	6	3
C432	-	36	153	7	160	17
C499	-	41	170	32	202	11
C880	ALU i Control	60	357	26	383	24
C1355	ECAT	41	514	32	546	24
C1908	ECAT	33	855	25	880	40
C2670	ALU i Control	233	1129	140	1269	32
C3540	ALU i Control	50	1647	22	1669	47
C5315	ALU i Selector	178	2184	123	2307	49
C6288	Multiplificador 16 x 16	32	2384	32	2416	124
C7552	ALU i Control	207	3405	108	3513	43

¹Calculat com al número de portes que travessa el camí més llarg del circuit, desde l'entrada fins a la sortida del circuit.

Taula A.1: Característiques principals dels circuits ISCAS-85 utilitzats a la tesi.

Apèndix B

Eina COSUS

En aquest apèndix s'explica de manera detallada el funcionament de l'eina COSUS. Aquesta eina ha estat programada emprant el llenguatge C. S'ha desenvolupat en el marc de la tesi doctoral amb l'objectiu de ser utilitzada com a punt de partida. Sobre aquesta eina s'han introduït les millores que s'han presentat en el capítol 3.

B.1 Propagació de transicions habilitables

En el mètode proposat, les característiques dels vectors d'entrada venen definides pel que s'anomena com a transicions habilitables. Una transició habilitable és una indicació de la possibilitat de que el senyal faci una commutació de pujada o de baixada. La transició habilitable no diu res respecte el valor lògic del senyal abans o després del temps de la transició. A la figura B.1 es representa unes transicions habilitables a les entrades d'un circuit. Com es pot veure a la figura, les transicions habilitables caracteritzen les 4^3 possibles parelles de vectors amb les que es podria excitar el circuit.

Les transicions habilitables de les entrades es propaguen porta a porta cap a les sortides. Durant la propagació es té en compte el model de retard de les portes. En la tècnica que es proposa s'assumeix que el retard de les portes es representa amb un model estàtic. Durant el càlcul de les transicions habilitables a les sortides de les portes no es té en compte la funció lògica de les portes. Propagar les transicions habilitables en un porta consisteix en agrupar les transicions habilitables de les entrades. Les transicions habilitables amb instants de temps iguals generen una única transició habilitable a la sortida amb un instant de temps que és el de les entrades incrementat

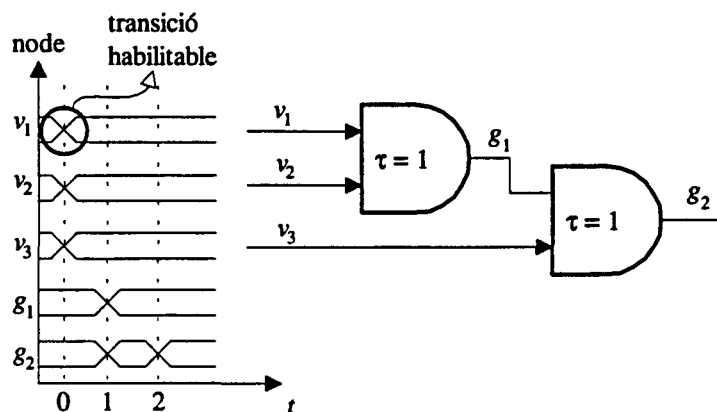


Figura B.1: Propagació de les transicions habilitables en un circuit lògic.

amb el retard de la porta. Les transicions habilitables diferents simplement es copien a la sortida incrementant el seu temps pel retard. Si \mathcal{T}_i representa el conjunt d'instantos de temps de les transicions habilitables del node i i τ és el retard de la porta, els instantos de temps de les transicions habilitables de la sortida, \mathcal{T}_o , es calcularan com

$$\mathcal{T}_o = \{t : (t - \tau) \in (\bigcup_{i=1}^n \mathcal{T}_i)\}$$

on n és el número d'entrades i l'operador \cup fa la unió de tots els instantos de temps de les entrades.

Els models de retard habituals en les llibreries són models de retard estàtics amb tres possibles valors de retard que inclouren un valor típic, un valor mínim i un de màxim [llibreries de CADENCE]. Aquest tres valors responen a les possibles variacions que pot experimentar el retard degut al procés de fabricació i/o a les fluctuacions de la temperatura quan el circuit està en el camp d'operació. Per tant, si s'admet que el retard de la porta pot variar ens podriem trobar amb el cas de la figura B.2. Suposem que tenim un inversor amb tres possibles retards mínim, típic i màxim, (1 : 2 : 3). Al propagar la transició habilitable a través de la porta els instantos de temps a la sortida podran ser qualsevol dels tres representats en el cronograma (A), es a dir la transició podrà estar al temps 1, al 2 o bé al 3.

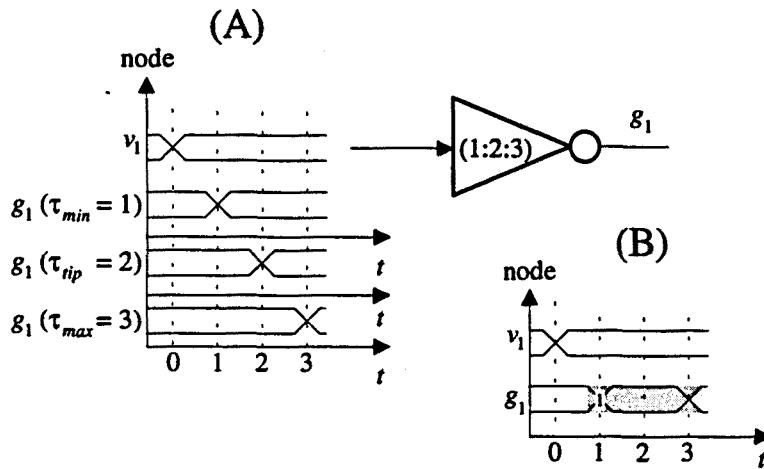


Figura B.2: Exemple que il·lustra la modificació de l'instant de temps d'una transició habilitable a la sortida d'una porta degut a les variacions que experimenta el retard.

A fi de poder incloure les variacions del retard en l'estimació de l'activitat ponderada màxima s'amplia el model de transició habilitable. En el model ampliat s'admet que hi hagi múltiples instants de temps compartint les mateixes transicions habilitables. Al conjunt d'instants de temps se'ls anomenarà **regió d'incertesa**. S'assumeix que una regió d'incertesa ha de ser **connexa** que vol dir que cap dels instants de temps que hi ha des del primer fins al darrer instant de temps de la regió pot pertanyer a una regió d'incertesa diferent. Una regió d'incertesa es representa gràficament tal com es pot veure al cronograma (B) de la figura B.2. Un rectangle sombrejat marca els instants de temps que comparteixen transicions habilitables. El número que hi ha a l'esquerra del rectangle indica quantes transicions habilitables son compartides.

La propagació de transicions habilitables es fa d'acord amb les tres regles indicades a continuació, en presència de regions d'incertesa. Suposem una porta de més d'una entrada amb un únic valor en el retard.

PTH1. Transicions habilitables que tinguin un únic instant de temps. Si aquest instant de temps no està compartit per regions d'incertesa d'altres entrades, es propaguen de la manera habitual. Veure la figura B.1.

- PTH2. Transicions habilitables que tinguin un únic instant de temps. Si aquest instant de temps està compartit per una regió d'incertesa d'una altre entrada, la transició s'incorpora a la regió d'incertesa. La nova regió d'incertesa tindrà els mateixos instants de temps que compartiran una transició habilitable més. Veure la (regla 2) a la figura B.3.
- PTH3. Regió d'incertesa que comparteix algun instant de temps amb una regió d'incertesa d'una altra entrada. En aquest cas, es crea una nova regió d'incertesa que conté els temps de les dues regions originals. Els instants de temps de la nova regió compartiran un nombre de transicions habilitables igual a la suma de les transicions de les dues regions originals. Veure la (regla 3) a la figura B.3.

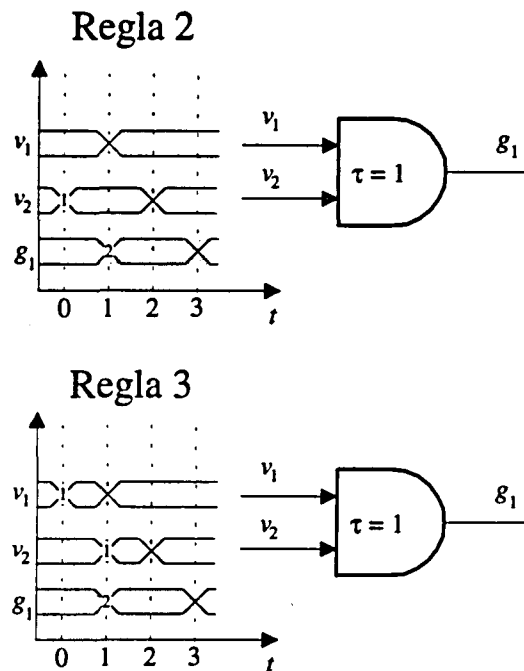


Figura B.3: Regles 2 i 3 de propagació de les regions d'incertesa.

A les regles (PTH2) i (PTH3) s'assumeix una certa pèrdua d'informació respecte la correlació temporal de les transicions. Aquesta simplificació per-

met fer més senzill el càlcul. Nogensmenys, s'assegura la cota superior ja que sempre es suposa que les transicions estaran distribuïdes de la manera més favorable, dins de la regió, a fi de produir l'activitat més gran.

D'acord amb les regles de propagació explicades, les regions d'incertesa poden incrementar el nombre de transicions habilitables contingudes en la regió. L'increment en el nombre de transicions està acotat per la regla següent.

PTH4. Definim \mathcal{T}_j^i com el conjunt d'instantos de temps de la regió d'incertesa j d'un node i . També definim X_j^i com el nombre de transicions habilitables compartides per la regió. Una regió d'incertesa ha de complir que

$$|\mathcal{T}_j^i| > X_j^i$$

Si mentre es fa la propagació de transicions una regió d'incertesa deixa de complir amb la regla anterior, es a dir que $|\mathcal{T}_j^i| \leq X_j^i$, llavors automàticament la regió d'incertesa desapareix reduint-se a transicions habilitables amb un únic instant de temps. El nombre de transicions habilitables surgides de la reducció serà de $|\mathcal{T}_j^i|$ i els instantos de temps de cada transició seran els de la regió seleccionats consecutivament. A la figura B.4 es presenta un exemple d'aquest cas. A l'entrada v_1 hi ha una regió d'incertesa amb 6 transicions habilitables. A l'entrada v_2 hi ha una altra regió d'incertesa que comparteix 4 transicions habilitables. Aquestes dues regions tenen en comú quatre instantos de temps. En propagar aquestes dues regions a la sortida tindrem una nova regió que consistirà en 8 instantos de temps i 10 transicions habilitables. Si es considera el pitxor cas en la distribució de les transicions habilitables, cada instant de temps tindrà com a mínim una transició habilitable. Com que com a molt pot haver-hi només una transició per instant de temps, cada instant de temps de la regió d'incertesa tindrà una única transició habilitable. Conseqüentment, la incertesa desapareix i la regió es transforma en un conjunt de transicions habilitables simples.

Si la porta té més d'un valor de retard, com el cas esmentat anteriorment en la figura B.2 la propagació de les transicions habilitables crearà regions d'incertesa. Si el que es propaga són regions d'incertesa, aquests retards amb múltiples valors ampliaran el nombre d'instantos de temps de la regió d'incertesa. La propagació es fa segons els criteris que s'expliquen a continuació.

Si es té una única transició habilitable a l'entrada, els instantos de temps de la regió d'incertesa de sortida s'obtenen sumant cada valor del retard a

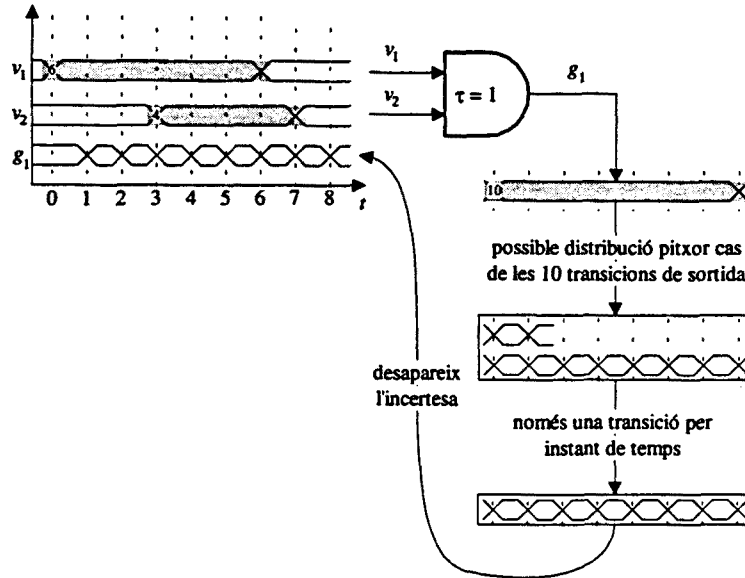


Figura B.4: Les regions d'incertesa que després de propagar-les a través d'una porta presentin un nombre de transicions habilitables igual o superior al de instants de temps, es redueixen a transicions habilitables simples.

l'instant de temps de la transició d'entrada. Això està formalitzat a la regla (PTH5).

PTH5. Suposem que t_{TH} és l'instant de temps d'una transició habilitable i τ_i amb $i = 1 \dots k$ i $k > 1$ els diferents valors de retard d'una porta. Els instants de temps de la regió d'incertesa de sortida es calcularan com

$$\mathcal{T}_{RI} = \{t : (t - \tau_i = t_{TH}), i = 1 \dots k\}$$

El nombre de transicions compartides per la regió és 1.

En canvi, si el que tenim a l'entrada de la porta és una regió d'incertesa llavors aplicarem la regla anterior a cadascun dels instants de temps de la regió d'entrada eliminant les repeticions en els instants de temps de sortida. De manera més formal,

PTH6 Sigui \mathcal{T} els instants de temps de la regió d'incertesa a l'entrada d'una porta amb un retard múltiple, τ_i amb $i = 1 \dots k$ i $k > 1$. Els instants de

temps de la regió d'incertesa de sortida, \mathcal{T}_{RI} , es calculen com

$$\mathcal{T}_{RI} = \{t : ((t - \tau_i) \in \mathcal{T}), i = 1 \dots k\}$$

i el nombre de transicions habilitables compartides per la regió d'incertesa de sortida serà igual que el de la regió d'incertesa d'entrada.

A la figura B.5 es presenta un exemple il·lustratiu de la propagació de les regions d'incertesa en portes amb retard múltiple. A l'entrada de la

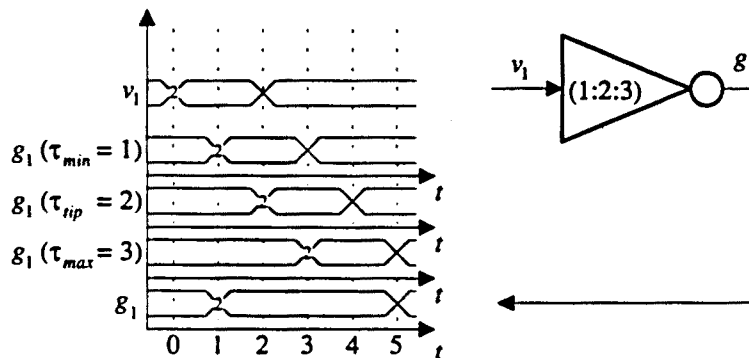


Figura B.5: Propagació d'una regió d'incertesa a través d'una porta amb retard múltiple.

porta tenim una regió d'incertesa amb tres instants de temps, del 0 al 2, que comparteix dues transicions. Cadascun dels valors del retard donaria com a resultat una regió a la sortida amb tres instants de temps. Cada regió estaria desplaçada una unitat de temps de les veïnes. Si agrupem les regions, ens queda una regió final amb cinc instants de temps i dues transicions.

Fins ara s'ha parlat de la propagació d'una transició o d'una regió única a través de portes amb múltiples valors de retard. Falta una darrera qüestió que és la propagació d'una seqüència de transicions i/o regions d'incertesa. La dificultat es troba en què, per exemple, si dues transicions habilitables a l'entrada d'una porta estan separades per una unitat de temps, les regions d'incertesa de sortida també ho estaran aquesta distància. Si els valors de retard de la porta fan que les regions s'extenguin més enllà d'aquesta unitat de temps de les separa, les regions quedarien solapades. Malauradament, això no és possible perquè una de les simplificacions fetes en definir les regions d'incertesa és que aquestes han de ser connexes que vol dir que els instants

de temps d'una regió, des del primer fins al darrer no poden pertanyer a una regió diferent.

El model, doncs, per calcular les regions de sortida d'una porta, amb un retard múltiple, quan a l'entrada hi ha més d'una transició i/o regions es presenta a continuació. El model es mostra en forma gràfica per guanyar en claredat, veure la figura B.6. Primer de tot, a l'etapa 1, es processen

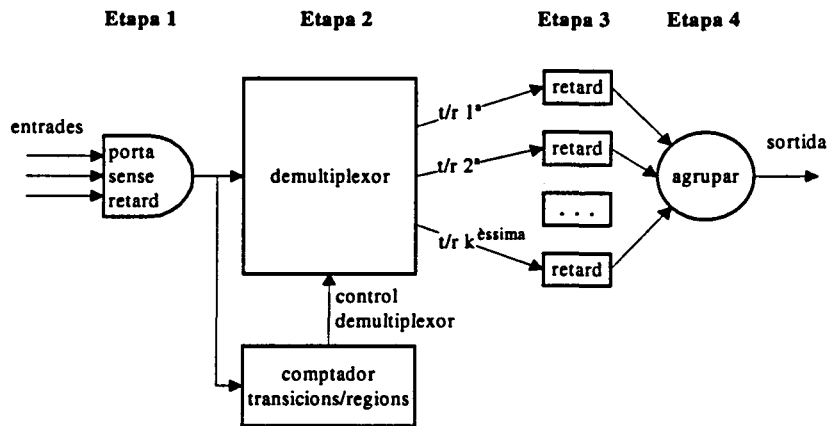


Figura B.6: Model de porta lògica que permet propagar transicions habilitables i regions d'incertesa amb un model de retard múltiple.

les entrades de la porta assumim que no té retard, $\tau = 0$, s'apliquen les regles PTH1 a PTH4 A continuació, a l'etapa 2, es separen cadascuna de les transicions habilitables i regions d'incertesa resultants. Aquesta separació vé representada pel demultiplexor que està controlat per un comptador de transicions. Després, a l'etapa 3, a cadascuna de les transicions / regions se'ls aplica individualment el retard de la porta, d'acord amb les regles PTH5 i PTH6. Finalment, a l'etapa 4, es reagrupen les transicions i regions aplicant de nou les regles PTH1 a PTH4.

A la figura B.7 es presenta un exemple il·lustratiu. Una porta de dues entrades rep per cada entrada una transició habilitable separades una unitat de temps. En la primera etapa, s'agrupen les dues transicions de manera que s'obté un únic senyal amb dues transicions habilitables una a continuació de l'altre. A les etapes 2 i 3 s'aplica el retard a cada transició per separat. El retard és múltiple i té dos valors que són 1 i 3. Per tant, les dues transicions donaran com a resultat dues regions d'incertesa solapades en dos instants

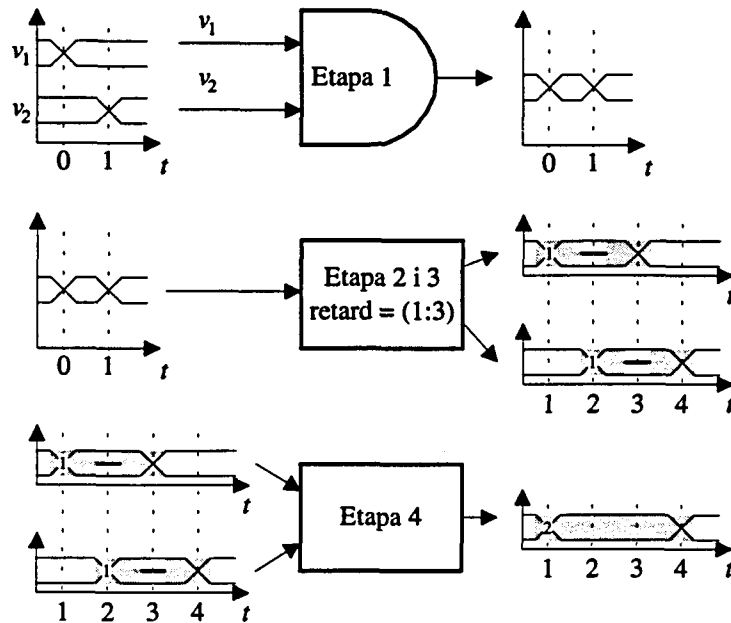


Figura B.7: Exemple de propagació de transicions habilitables en una porta de dues entrades amb dos valors de retard.

de temps que són el 2 i el 3. A la quarta etapa, aquest solapament s'elimina agrupant les dues regions en una de sola. La regió té quatre instants de temps i comparteix dues transicions.

B.2 Filtratge de transicions

Tal com s'ha anat introduint a la secció anterior, la utilització de models de retard estàtic, pot causar l'aparició de transicions falses en circuits on hi hagi reconvergència en els senyals interns. Es recorda que les transicions falses són commutacions de nodes que no corresponen al valor final que tindrà aquest i per tant no contribueixen al càlcul del nivell lògic de les sortides. Un exemple de transicions falses es pot trobar a la secció anterior, veure la figura B.1. Per desgràcia, l'aparició d'aquestes transicions representen un consum energètic addicional que en circuits combinacionals grans, com poden ser multiplicadors, pot representar fins a un 80% d'increment en el consum total

[41] [43] [53] [55] [62] [63] [66] [77] [86] [88] [89] [98] [102] [108] [118]. Aquest increment tan important en el nombre de commutacions es veu moderat per un altre efecte que es coneix pel nom de **filtratge de transicions** [23] [41] [44] [46] [53] [118]. A la figura B.8 s'il·lustra un exemple amb una cadena de quatre d'inversors. Es fa el següent experiment. S'agafen quatre inversors

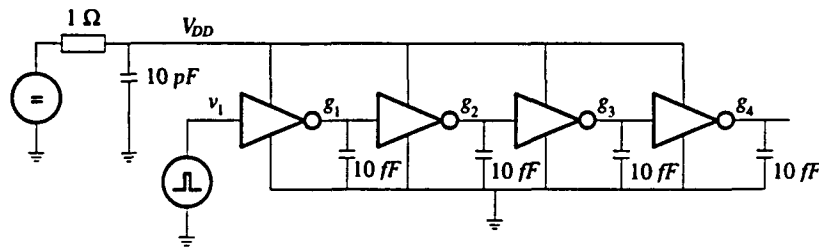


Figura B.8: Cadena de quatre inversors dissenyats amb una tecnologia de $0.7\mu m$. L'entrada del primer inversor s'excita amb dues rampes separades un temps t_{rf} . Quan el temps és massa petit, els següents inversors no commuten.

dissenyats amb la tecnologia de $0.7\mu m$ i es connecten un darrera l'altre. Utilitzant el simulador elèctric HSPICE i els models de MOSFETs del nivell 13 es simula el comportament dels inversors. S'alimenten a una tensió de $5V$. A l'entrada del primer inversor es connecta una font de tensió variable que excita l'entrada amb dues rampes, una primera de pujada i una segona de baixada. La durada de les rampes és de $5ps$. El temps que hi ha entre la primera i la segona rampa es va reduint, començant per un valor de $350ps$, fins que la sortida de la porta g_4 no commuta. El resultat de l'experiment es pot veure a la gràfica de la figura B.9. El cas (A) és el resultat d'excitar amb les dues rampes separades $350ps$. La sortida de la porta g_4 commuta normalment després de $388ps$. En canvi, si aquest temps es redueix a $150ps$, veure gràfica (B), la sortida de la porta g_4 no commuta degut a que la velocitat en que es modifica la tensió de l'entrada v_1 fa que les portes intermitges no assoleixin correctament els nivells lògics i per tant les transicions quedin extingides a partir del quart inversor.

Aquest filtratge de les transicions també té conseqüències sobre el consum. A la gràfica de la figura B.10 es representa l'energia de les dues commutacions per a diferents temps de separació de les dues transicions. S'observa que per a temps de separació a partir de $450ps$ en endavant

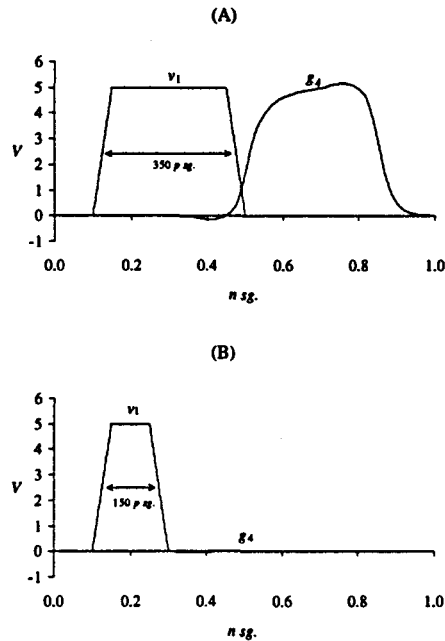


Figura B.9: Resposta de la cadena d'inversors a l'estimul amb dues rampes a l'entrada del primer inversor. A la gràfica (A) la separació entre les rampes és de 350 p sg. mentre que a la gràfica (B) és de 150 p sg. En el cas (B) les dues rampes són absorbides per la finestra filtratge de les portes.

l'energia consumida es manté aproximadament constant. Per sota d'aquest valor l'energia consumida comença a disminuir i ho fa més ràpidament a partir de 250 p sg. aproximadament. Quan la separació entre els flancs és de l'ordre del retard d'un inversor l'energia ha disminuït considerablement.

Els models lògics de **filtratge de transicions** assumeixen que dues transicions queden anul·lades quan la separació temporal entre elles està per sota un cert valor, ω , que s'anomena **finestra de filtratge**. Un cas particular d'aquest filtratge és quan el valor de la finestra és igual al retard de la porta. Llavors es diu que el filtratge és inercial o també que el retard és inercial. Aquest cas està il·lustrat a la figura B.10.

En el nostre model de porta lògica incorporem el filtratge de transicions donat que és un fenomen observat experimentalment que tendeix a atenuar el

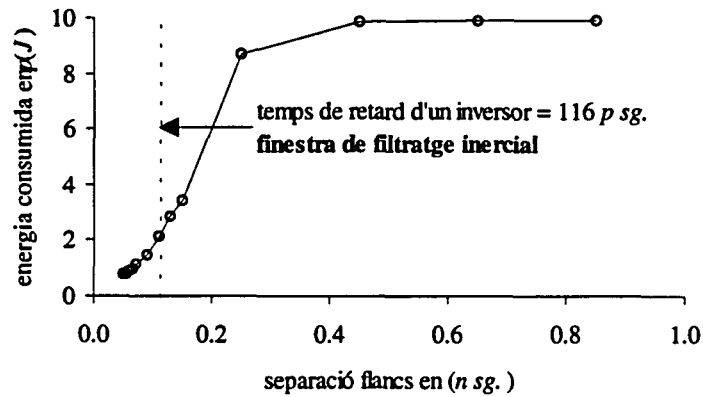


Figura B.10: Energia consumida per una cadena de quatre inversors quan són excitats per dos flancs. El temps de separació entre els flancs es va modificant. A mesura que la separació es fa petita l'energia consumida decreix ràpidament.

nombre de commutacions internes d'un circuit [MAN97c]. A la figura B.11 es mostra l'esquema de blocs del model de la porta amb el filtre. Tot l'efecte de filtratge que pot fer una porta es concentra a la sortida de la mateixa. Cal fer

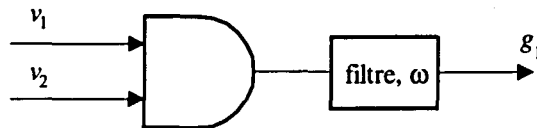


Figura B.11: Model de finestra de filtratge d'una porta lògica utilitzat per propagar les transicions habilitables. La finestra de filtratge s'aplica després calcular les transicions habilitables de sortida.

notar que així com en el model de retard proposat anteriorment s'admetien retards amb valors múltiples, en el cas del filtratge això no és així. El filtre queda definit per un únic valor. L'anàlisi de diferents condicions de filtratge requerirà duu a terme diferents simulacions, una per cada cas.

Quan es propaguen transicions habilitables a través d'un filtre de transicions, també es produeix el mateix fenomen de cancel·lació de transicions

com els mostrats anteriorment. Cal però considerar que hi haurà una indeterminació en el temps en que es produeixi la transició habilitable de sortida. Seguidament es presenta un exemple il·lustratiu de com apareix aquesta indeterminació.

A la figura B.12 es mostre un filtre de transicions que té una finestra

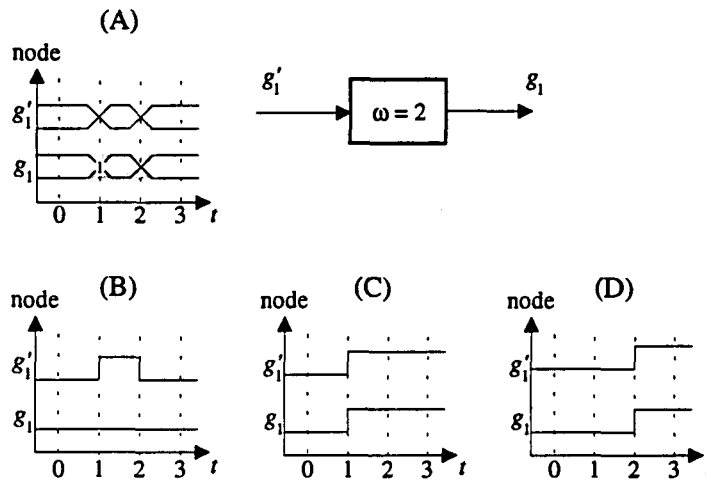


Figura B.12: Exemple il·lustratiu del filtratge de dues transicions habilitables. A la sortida apareix una regió d'incertesa.

de filtratge d'amplada, $\omega = 2$. A l'entrada es tenen dues transicions habilitables separades per una unitat de temps. Com que la separació és menor que l'amplada de la finestra, aquestes es veuran afectades pel filtre. Amb les dues transicions habilitables es poden tenir tres possibles combinacions de commutacions a l'entrada, no es considera la polaritat. Cas (B), dues commutacions una a cada instant de temps de les transicions habilitables, cas (C) commutació a l'instant de temps de la primera transició habilitable i cas (D) commutació a l'instant de temps de la segona transició habilitable. Dels tres cassos, si tinguéssim a l'entrada del filtre el cas (B), aquest absorbiria les dues commutacions i la sortida es mantindria estàtica. Si en canvi hi hagués algun dels dos cassos (C) o (D), a l'haver-hi una única commutació que no està compensada per cap altre en sentit contrari la sortida del filtre commutaria. Es pot afirmar, doncs, que en el pitxor dels cassos les dues

transicions habilitables del cronograma (A) quedaran reduïdes a una única transició habilitable a la sortida del filtre. L'instant de temps en què comutarà la sortida pot ser qualsevol dels dos instants de temps indicats a les entrades, veure cassos (C) i (D). En conseqüència a la sortida del filtre de la figura B.12 tindrem una regió d'incertesa amb dos instants de temps, els de les transicions habilitables d'entrada, que compartiran una única transició.

De l'exemple anterior es pot generalitzar la següent regla de **propagació de transicions habilitables a través de filtres de transicions**,

- FTH1. Si un conjunt de transicions habilitables amb els instants de temps acotats en l'interval $[t_i, t_j]$ passa a través d'un filtre amb finestra de filtratge d'amplada ω , quedaran totes elles filtrades si la longitud de l'interval és menor que l'amplada de la finestra, $(t_j - t_i) < \omega$. A la sortida apareixerà una regió d'incertesa amb tants instants de temps com transicions habilitables hi havia en l'interval $[t_i, t_j]$ que compartiran una única transició.

Semblantment el filtratge d'una regió d'incertesa que tingui una extensió en el temps menor que la finestra de filtratge es pot formular de la següent manera,

- FTH2. Suposem que \mathcal{T} sigui el conjunt de instants de temps d'una regió d'incertesa i X el nombre de transicions compartides per la regió. Sigui $t_{min} = \min(\{\mathcal{T}\})$ l'instant de temps més petit i $t_{max} = \max(\{\mathcal{T}\})$ l'instant de temps més gran. Si $(t_{max} - t_{min}) < \omega$ llavors la regió d'incertesa de sortida del filtre tindrà els mateixos instants de temps de la d'entrada $\mathcal{T}_F = \mathcal{T}$ i compartiran una única transició independentment del nombre de transicions habilitables que compartís la regió d'incertesa d'entrada, $X_F = 1$.

Una situació diferent es presenta quan l'extensió temporal de la regió d'incertesa és igual o més gran que la finestra de filtratge. A priori, no es coneix quina és la disposició temporal de les transicions compartides per la regió. Això fa que la regió no pugui ser dividida en regions més petites que permetin l'aplicació de la regla FTH2. En aquest cas, doncs, el filtratge s'enfoca en determinar quina és la disposició que caldria donar a les transicions, dins de la regió, perquè es filtressin el mínim possible. A la figura B.13 es presenta un exemple il·lustratiu. Suposem que tenim a l'entrada del filtre una regió d'incertesa amb cinc instants de temps, del 1 al 5, i que el filtre té una amplada de 2, veure cas (A) a la figura. La disposició temporal que

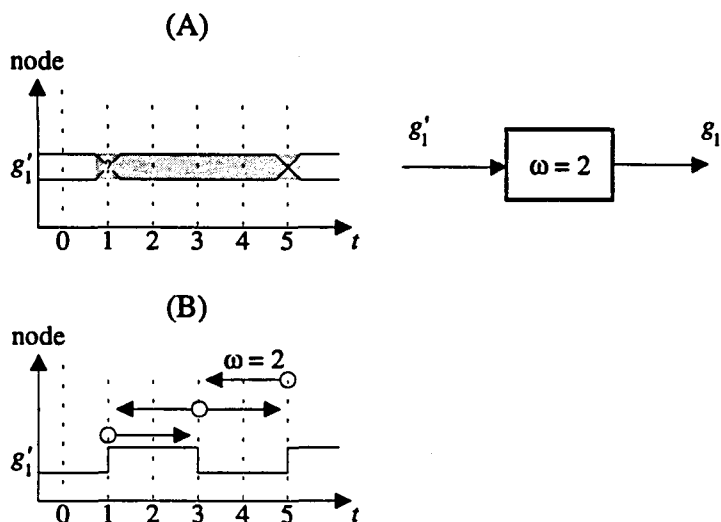


Figura B.13: Exemple de la disposició que haurien de tenir les transicions habilitables contingudes en una regió d'incertesa per a no ser absorvides per un filtre de transicions

haurien de tenir les transicions per aconseguir transmetre el màxim de transicions a través del filtre és la presentada al cas (B). Es tracta de col·locar les transicions, començant pel primer instant de temps, de manera consecutiva separades una distància igual al valor del filtre, 2. Per tant tindrem transicions als instants de temps 1, 3 i 5. Conseqüentment, es pot concloure que amb aquest filtre d'amplada 2, una regió d'incertesa de longitud cinc podrà transmetre, com a molt, tres transicions a través del filtre. Qualsevol altre valor de transicions compartides per la regió, superior a tres, quedarà en el millor dels cassos reduït a tres.

D'aquest exemple es pot extreure una regla general de filtratge de regions d'incertesa, en el cas en que la regió sigui superior a l'amplada de la finestra del filtre.

FTH3. Suposem que \mathcal{T} sigui el conjunt de instants de temps d'una regió d'incertesa i X el nombre de transicions compartides per la regió. Sigui $t_{min} = \min(\{\mathcal{T}\})$ l'instant de temps més petit i $t_{max} = \max(\{\mathcal{T}\})$ l'instant de temps més gran. Si $(t_{max} - t_{min}) \geq \omega$ llavors la regió d'incertesa de sortida del filtre tindrà els mateixos instants de temps

de la d'entrada $\mathcal{T}_F = \mathcal{T}$ i compartiran un nombre de transicions igual a,

$$X_F = \min(X, \lceil (t_{max} - t_{min} + 1) / \omega \rceil)$$

A la figura B.1 es calculen les transicions habilitables de les dues portes AND. El node g_1 tindrà una única transició habilitable a l'instant de temps 1 degut a que cada entrada té una transició habilitable a l'instant zero cadascuna. Altrament, la porta g_2 tindrà dues transicions habilitables degut a que les transicions habilitables de cada entrada tenen instants de temps diferent. Les transicions estaran als instants de temps 1 i 2.

En el nostre estimador, tal com s'ha esmentat abans, el filtratge s'aplica després d'haver calculat les transicions habilitables i regions d'incertesa a la sortida de la porta que està sota anàlisi. El filtre s'aplica començant per la darrera transició (regió) i es va movent cap al principi. Mentre es desplaça a través del cronograma de transicions (regions) es van calculant el resultat del filtratge i s'actualitza la informació a la sortida de la porta. A continuació, a la figura B.14 es presenta un exemple de com es filtren un conjunt de transicions (regions) obtinguts d'una porta lògica. A l'entrada del filtre tenim un conjunt de 11 transicions repartides amb dues regions d'incertesa i quatre transicions habilitables. Si es calcula el resultat del filtre, començant pel final, les tres darreres transicions habilitables quedaran transformades en una regió d'incertesa amb una única transició, veure cas (1). La transició a l'instant 10 no s'agrupa amb les tres darreres perquè la seva distància respecte la darrera és de 4 que és igual que l'amplada del filtre. La transició de l'instant 10 es filtrarà conjuntament amb la regió d'incertesa que està als instants de temps 8 i 9, veure (2). El resultat serà una nova regió amb tres instants de temps i una única transició. Finalment, la regió d'incertesa inicial no pot ser totalment filtrada perquè la seva extensió en el temps es superior a l'amplada del filtre. Per tant, s'aplica la regla FTH3 i el resultat és que la regió es quedarà com a màxim amb dues transicions després de passar pel filtre. En resum, de les onze transicions habilitables que hi havia a l'entrada del filtre només en surtiran 4.

A la propera secció es presentaran resultats de l'aplicació de l'estimació de la cota superior proposada en un conjunt de circuits de prova.

B.3 Resultats

Els resultats del càlcul de les cotes superiors de l'activitat ponderada màxima es presenten en el capítol 3.

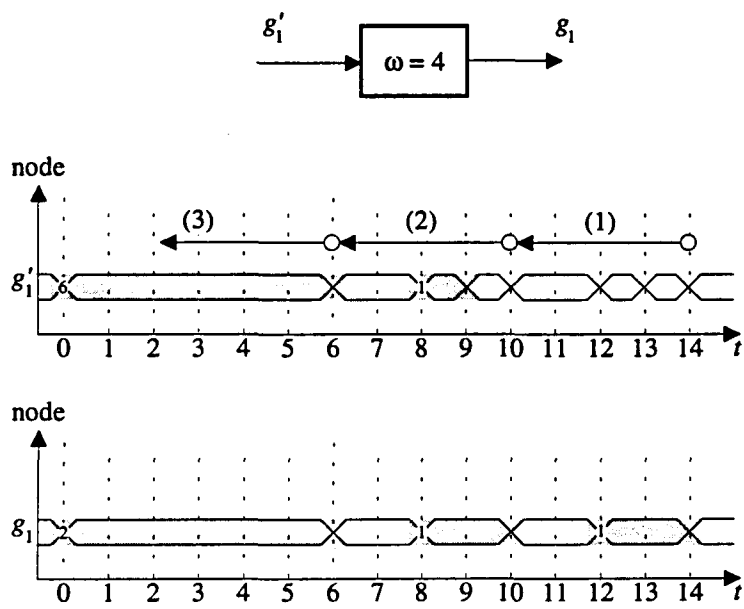


Figura B.14: Exemple de filtratge d'un conjunt de transicions habilitables i regions d'incertesa amb una finestra de filtratge d'amplada 4.

Apèndix C

Transformació temps-espai

En la transformació temps-espai es parteix d'un circuit inicial G descrit a nivell de portes lògiques i es transforma en un nou circuit H de manera que l'estructura d'aquest nou circuit incorpori el domini funcional, arquitectural i temporal del circuit original G . Els nodes de sortida del circuit transformat H són detectors de commutació. Cada node de sortida val 1 si el node corresponent del circuit G fa una commutació en un instant temps determinat.

Com que en aquesta transformació hi entre en joc el comportament temporal de les portes, cal tenir en compte el model de retard que hagi estat seleccionat per predir els temps de propagació dels senyals a través de les portes. Abans de fer la transformació temps-espai es fa una propagació de transicions habilitables, tal com s'ha explicat al capítol 3. Com a resultat d'aquesta anàlisi es coneixen els instants de temps en que cada node del circuit G pot fer una commutació. Mes d'un instant de temps, en un node, indica la possibilitat de que el node faci transicions falses. La transformació temps-espai, utilitza aquests instants de temps com indicació del comportament temporal de G .

Suposem que després de fer les propagacions de transicions habilitables es determina que els nodes del circuit G poden adoptar diferents valors als instants de temps $t_i, i = 0, \dots, n$. Els valors lògics seran $\{g_i(t_0), g_i(t_1), \dots, g_i(t_n)\}$. El circuit H tindrà rèpliques exactes dels nodes g_i que avaluaran instantàniament els diferents valors al llarg del temps. Per tant, qualsevol node del circuit H serà, $\{h_{i,0} \equiv g_i(t_0), h_{i,1} \equiv g_i(t_1), \dots, h_{i,n} \equiv g_i(t_n)\}$. Les sortides del circuit H detectaran les commutacions fent la XOR de les

parelles de nodes,

$$z_{i,j} = h_{i,j-1} \oplus h_{i,j}$$

La construcció del circuit H es fa seguint els passos que s'indiquen a continuació.

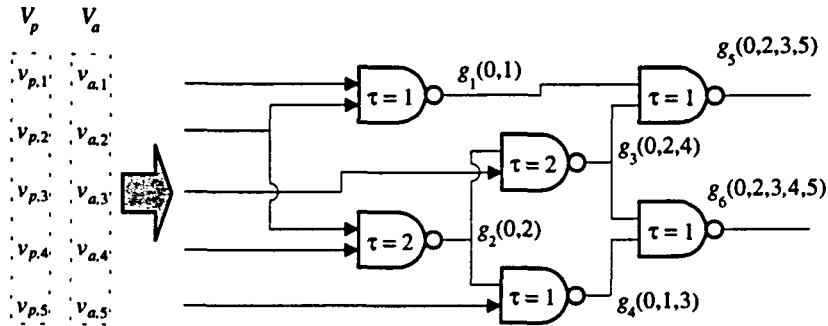


Figura C.1: Circuit C17 amb model de retard variable. Després de fer una propagació de les transicions habilitables es determinen els instants de temps on poden haver-hi valors lògics diferents, en cada node. Aquests instants de temps estan indicats entre parèntesis.

1. Cada porta lògica del circuit G tindrà tantes rèpliques en el circuit H com instants de temps $t_i, i = 0 \dots n$.
2. Sigui \mathcal{IN}_i els nodes d'entrada de la porta g_i i τ_i el retard de la porta. Una porta $h_{i,j}$ del circuit H tindrà com a fanin les portes $h_{k,l}$ amb índexs k corresponents als nodes $g_k \in \mathcal{IN}_i$ i índexs l que es poden determinar a partir dels temps t_l segons les equacions següents,

$$\begin{cases} \text{si } (t_j > \tau_i) & \Rightarrow (t_l \leq t_j - \tau_i) \\ \text{si } (t_j \leq \tau_i) & \Rightarrow (t_l = 0) \end{cases}$$

3. Si el conjunt de nodes d'entrada de la porta conté entrades primàries del circuit, la rèplica de la porta en el circuit H anirà connectada al vector anterior, $v_{k,a}$ o al vector present, $v_{k,p}$ segons,

$$\begin{cases} \text{si } (t_j \geq \tau_i) & \Rightarrow (v_{k,p}) \\ \text{si } (t_j = 0) & \Rightarrow (v_{k,a}) \end{cases}$$

A continuació es presenta la transformació $G \rightarrow H$ del circuit C17 dels ISCAS-89 en el que s'assumeix un model de retard variable. Entre parèntesi s'indica els instants de temps obtinguts després de la propagació de les transicions habilitables. Segons això, els nodes g_1 i g_2 faran com a màxim una única transició. La resta de nodes poden fer més d'una transició, com per exemple el node g_6 que en pot arribar a fer fins a quatre. A la figura C.2 es presenta el circuit transformat H . El circuit H de la figura s'ha dividit amb línies discontinues. Cada grup de portes correspon a un instant de temps que està indicat a la part superior dreta del rectangle. Cada porta tindrà rèpliques en els instants de temps on pugui modificar el seu valor lògic. Les sortides del circuit són els nodes z situats a la dreta. Són les sortides de les portes XOR.

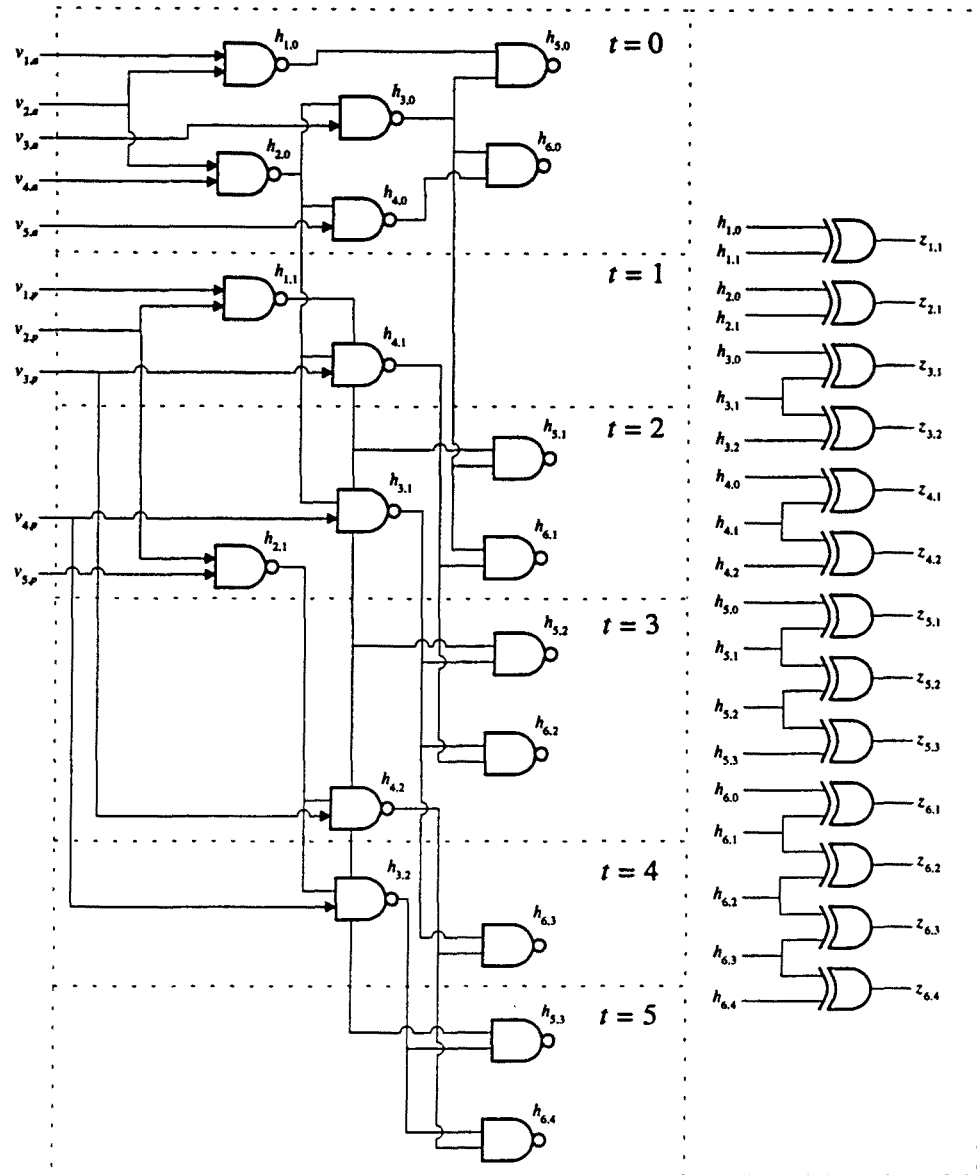


Figura C.2: Resultats de la transformació temps-espai del circuit G de la figura anterior.

Apèndix D

Criteri estadístic d'ordenació d'una llista de nodes segons la capacitat de consumir que tenen

D.1 Introducció

En el capítol 4 es proposa una tècnica d'estimació de l'activitat ponderada màxima d'un circuit, basada en la utilització d'una estratègia de test. En aquesta tècnica, una porta AND és connectada a les sortides d'un circuit transformat H . Una falla *stuck0* col·locada a la sortida d'aquesta porta permet l'obtenció de la parella de vectors de test d'aquesta falla per mitjà d'un algorisme de ATPG. Refinant la connexió de la porta AND es pot aconseguir que la parella de vectors obtinguda per el ATPG sigui la parella de vectors que produeixi l'activitat ponderada màxima en el circuit analitzat.

L'heurístic que controla la connexió de la porta utilitza com a entrada una llista ordenada, Z^O , dels nodes de sortida del circuit H , segons la capacitat de consumir que tenen. Aquesta capacitat de consumir, anomenat nivell potencialment energètic, s'estableix fent unes simulacions prèvies on s'excita el circuit amb parelles de vectors aleatòries. Durant aquestes simulacions s'avalua l'activitat ponderada de cada node. Aquesta activitat ponderada determina el criteri d'ordenació. El nombre de simulacions aleatòries a fer dependrà del moment en que l'ordenació dels nodes a la llista sigui correcta. En els paràgrafs que venen a continuació s'explica el criteri que s'ha utilitzat

per a decidir el moment en el que la llista està ordenada correctament.

D.2 Ordenació correcte de la llista de nodes z , Z^O

L'estimació de l'activitat ponderada es fa mitjançant una llista de N vectors aleatoris, que introduïts seqüencialment al circuit equival a N parelles de vectors si s'assumeix que el circuit està amb les entrades inicialitzades a zero. El nombre de vectors es determina en base a l'obtenció d'una ordenació correcta de M_P parelles de nodes de Z^O .

Siguin AP_i i AP_{i+1} les variables aleatòries que representen l'activitat ponderada¹ dels nodes z_i i z_{i+1} . Sobre aquestes variables aleatòries fem les següents conjectures:

Conjectura 1 *La distribució de probabilitat de la mitja de AP_i avaluada per un nombre suficient de casos serà aproximadament normal.*

Conjectura 2 *Les variables aleatòries AP_i i AP_{i+1} són independents.*

La primera conjectura es basa en el *Teorema del Límit Central* on es demostra que la concurrència de diversos fenòmens independents entre si, sobre un determinat experiment tendeixen a normalitzar la distribució de probabilitat dels resultats de l'experiment. Pel que fa a la independència de les variables aleatòries, mes endavant es discutirà quins són els efectes, en la ordenació de la llista, quan aquestes variables no són del tot independents.

Si η_i és la mitjana de la població de les activitats ponderades del node z_i , l'ordenació de dos nodes z_i , z_{i+1} és **rellevant** quan la diferència entre η_i i η_{i+1} sigui diferent de zero. En cas contrari l'ordenació és **irrellevant** i en conseqüència qualsevol dels dos nodes pot ser el primer en la llista ordenada. Per tant:

$$\begin{aligned} (\eta_i - \eta_{i+1}) > 0 &\equiv (\text{ordenació rellevant}) \Rightarrow \langle \dots, z_i, z_{i+1}, \dots \rangle \\ (\eta_i - \eta_{i+1}) = 0 &\equiv (\text{ordenació irrellevant}) \Rightarrow \begin{cases} \langle \dots, z_i, z_{i+1}, \dots \rangle \\ \langle \dots, z_{i+1}, z_i, \dots \rangle \end{cases} \end{aligned} \quad (\text{D.1})$$

¹Quan es parla de l'activitat ponderada d'un node z_i s'està fent, en realitat, referència a l'Activitat Ponderada del node g_i del circuit original G , associat a z_i . El node z_i és el detector de commutació del node g_i i per tant no tindria sentit parlar de l'activitat ponderada de z_i pròpiament.

Donades les mitjanes de les activitats ponderades, \overline{AP}_i i \overline{AP}_{i+1} , calculades sobre les mostres de les poblacions de N vectors, la diferència d'aquestes mitjanes seguirà una llei *t-Student* amb $(N_P - 1)$ graus de llibertat,

$$t = \frac{(\delta_i - (\eta_i - \eta_{i+1}))\sqrt{N_P}}{s} \quad (D.2)$$

on $\delta_i = (\overline{AP}_i - \overline{AP}_{i+1})$ i s és la desviació estàndard calculada com a $s = \sqrt{s_i^2 + s_{i+1}^2}$, suposant que provenen de poblacions independents.

Per a un nivell de confiança especificat $(1 - \alpha) \times 100\%$, l'interval de confiança $[\delta_i^-, \delta_i^+]$ serà,

$$\delta_i \pm t_{\alpha/2} \frac{s}{\sqrt{N_P}} \quad (D.3)$$

Si les activitats ponderades mitjanes donen $\delta_i > 0$, es considerarà que la ordenació dels nodes z_i, z_{i+1} és correcta quan es pugui rebutjar la hipòtesi nula, $H_0: \delta_i = 0$.

El nombre de vectors a simular, N , per a poder rebutjar la hipòtesi nula serà,

$$0 = \delta_i - t_{\alpha/2} \frac{s}{\sqrt{N_P}}$$

$$N_P = \left(t_{\alpha/2} \frac{s}{\delta_i} \right)^2 \quad (D.4)$$

A la figura D.1 es representa la construcció de l'interval de confiança $[\delta_i^-, \delta_i^+]$. En el cas de la figura la hipòtesi nula quedaria rebutjada ja que $\delta_i^- > 0$.

El procediment d'obtenció de la llista ordenada, Z^O , és el següent:

1. Especificar el nombre de parelles a ordenar correctament, M_P .
2. S'inicialitza el nombre de vectors a simular a un valor arbitrari, per exemple $N_P = 10$ vectors, i es fa la simulació d'aquests.
3. Estimar els estadístics \overline{AP}_i i s_i per cada node.
4. Amb les estimacions de l'activitat ponderada de cada node es fa una primera ordenació de la llista Z^O .
5. Calcular el δ_i de les parelles ordenades de nodes. Calcular els intervals de variabilitat $[\delta_i^-, \delta_i^+]$. Assumir un nivell de confiança del 95%.

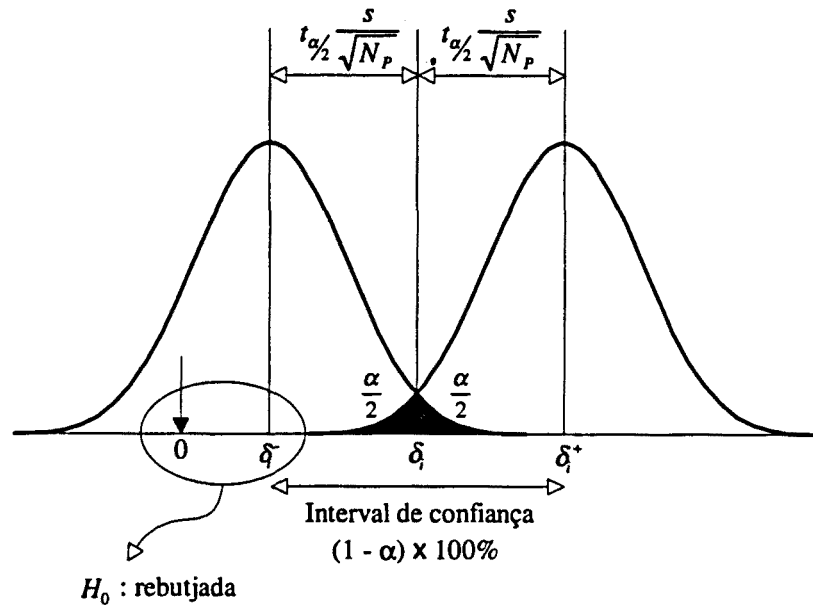


Figura D.1: Construcció de l'interval de confiança de $(1 - \alpha) \times 100\%$ per a δ_i .

6. Si el nombre de parelles que tenen un $\delta_i^- > 0$ és inferior a M_P anar al pas 7. En cas contrari l'ordenació es dona per bona.
7. Estimar el nombre addicional de vectors a simular, amb l'equació D.4, per les parelles amb un $\delta_i^- < 0$ i agafar el valor mínim. Si aquest nombre estimat és menor a un cert valor màxim de vectors especificat per l'usuari, anar al pas 3. En cas contrari es finalitza l'algorisme.

L'activitat ponderada dels nodes interns d'un circuit s'avalua com a el nombre de commutacions del node multiplicat per un cert pes. La variable aleatoria AP_i és doncs una variable de tipus discret que pot adquirir valors múltiples del pes assignat al node. La distribució de probabilitat d'aquest tipus de variables queda ben modelada per una llei de *Poisson*, que contabilitza el nombre d'esdeveniments d'un cert experiment en un interval de longitud m . És conegut que la llei de *Poisson* es va aproximant a la llei normal a mesura que la mitja d'esdeveniments ocorreguts dins de l'interval m creix. A la figura D.2 es mostren quatre distribucions de *Poisson*, represen-

tada amb barres. En cadascuna d'elles el nombre esperat d'esdeveniments, λ , dins de l'interval m és incrementat.

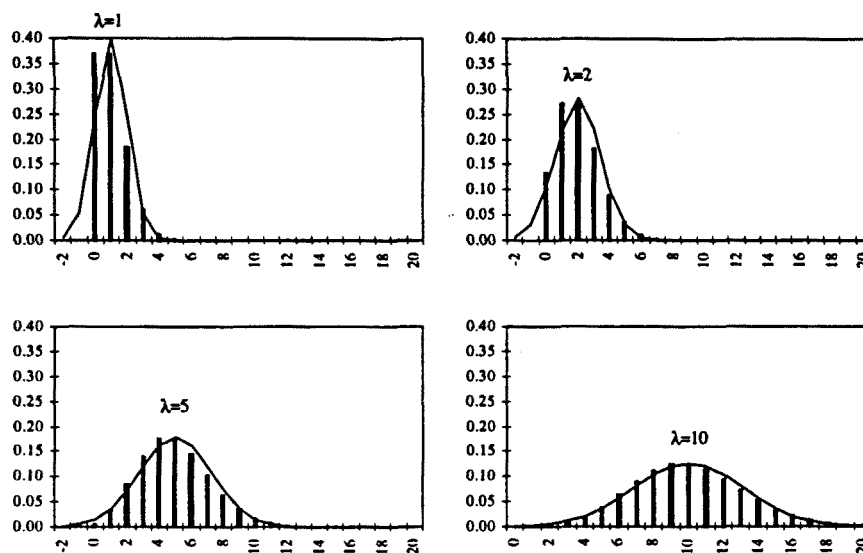


Figura D.2: Distribució de Poisson per a un nombre d'esdeveniments esperats $\lambda = 1, 2, 5, 10$.

Es pot veure que a partir de $\lambda = 5$ la distribució s'aproxima molt a una llei normal, representada per la línia contínua. Si suposem que la longitud de l'interval m és el nombre de vectors aleatoris simulats N_P , les activitats ponderades mitjges dels nodes que fessin un ratio de commutacions molt baix durant aquests N_P vectors, per exemple per sota de 3, 4 commutacions, podrien presentar una distribució de probabilitat molt esbiaixada respecte la distribució normal.

En el mètode d'ordenació, amb la selecció dels M_P nodes primers de la llista ordenada Z^O , s'eliminen de l'anàlisi els nodes problemàtics, aquells que podrien presentar un ratio de commutacions excessivament baix.

Pel que fa a la independència de les variables aleatòries AP_i , AP_{i+1} , en el mètode d'ordenació es suposa que aquestes ho són. Si les variables no ho fossin, la variància s^2 de la diferència de les activitats ponderades mitjges, seria menor que l'estimada en cas de suposar-se independents. Conseqüentment, l'interval de confiança estimat serà superior al que s'obtidria

en cas de tenir en compte la correlació de les variables.

Per tant, l'efecte que té aquesta simplificació en el mètode de selecció de la llista ordenada és la de simular mes vectors dels estrictament necessaris. En conclusió, considerar les variables aleatòries independents **no perjudica** a la ordenació correcta de la llista de nodes.

Els resultats d'ordenació dels nodes pel circuit C432 dels circuits de prova ISCAS-85 es presenten a la taula D.3. La columna de l'esquerra correspon

parelles ordenades (M)	# vectors simulats (N)
1	9
2	15
3	91
4	162
5	332
6	595

Figura D.3: Número de vectors a simular, N_P , per aconseguir tenir ben ordenades un nombre de parelles de nodes M_P . El circuit simulat és el C432.

al nombre de parelles ordenades correctament i la de la dreta al nombre de vectors que ha calgut simular. Com es pot observar el nombre de vectors a simular conforme s'augmenta M_P pràcticament es duplica. L'explicació d'aquest increment es pot buscar en que hi ha molts nodes que tenen activitats ponderades similars. A l'ordenar, aquests nodes tendeixen a agrupar-se. Per tant, cal fer moltes simulacions a fi de reduir la variabilitat de δ_i en aquestes parelles de manera que el $\delta_i^- > 0$. A la pràctica, les primeres parelles que solen quedar ordenades correctament estan entre els primer nodes de la llista Z^O . Per tant, no cal augmentar gaire M_P per a obtenir una bona ordenació ja que els nodes que mes interessen són els primers de la llista. A la pràctica, valors de M_P per sota de 6 són suficients per a la majoria de circuits.

A la figura D.4 es mostren les ordenacions dels nodes amb $M_P = 1$ i amb $M_P = 6$.

A l'eix horitzontal hi ha els nodes ordenats dels que tenen una activitat ponderada més alta fins al que la tenen més baixa. Les activitat ponderades han estat obtingudes després de simular 595 entrades aleatòries que

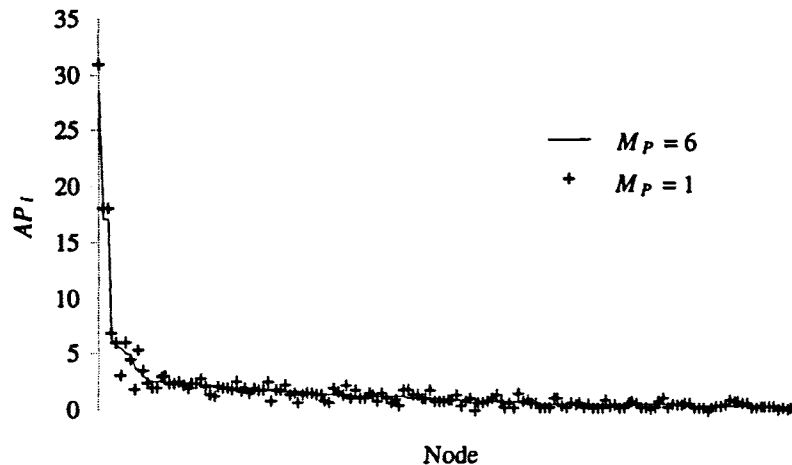


Figura D.4: Ordenació dels nodes del circuit C432 per a $M_P = 1$ i $M_P = 6$.

correspon al cas $M_P = 6$. L'eix d'ordenades indica el valor de l'activitat ponderada de cada node. La línia contínua correspon al cas $M_P = 6$ i per tant, decreix monotònicament a mesura que ens movem cap a la dreta. Si, en canvi, es simulessin únicament 9 entrades, que correspondria al cas $M_P = 1$, l'ordenació obtinguda seria la indicada per les creuetes, que com es pot comprobar no difereix substancialment de l'ordenació obtinguda pel cas $M_P = 6$. Principalment, l'ordenació dels nodes més consumidors, els situats a l'esquerra de l'eix horitzontal, és pràcticament la mateixa en ambdós casos.

A la figura D.5 es presenten els intervals de variabilitat de les diferències δ_i . La variabilitat està estimada suposant una distribució *t-student* amb $(N_P - 1)$ graus de llibertat. Pel cas $M_P = 1$ els graus de llibertat són 8 i pel cas $M_P = 6$ són 594. Les diferències apareixen ordenades, d'esquerra a dreta, en l'eix horitzontal segons es calculen de la llista ordenada, desde els primers nodes fins els darrers. Les línies contínues a la part superior i inferior representen els límits $[\delta_i^-, \delta_i^+]$ en el cas de $M_P = 1$. Les altres dues línies situades a la part central són els límits $[\delta_i^-, \delta_i^+]$ pel cas $M_P = 6$. La part esquerra del gràfic està ampliada i, en l'ampliació, els intervals estan representats per línies i rectangles. Les línies són pel cas $M_P = 1$

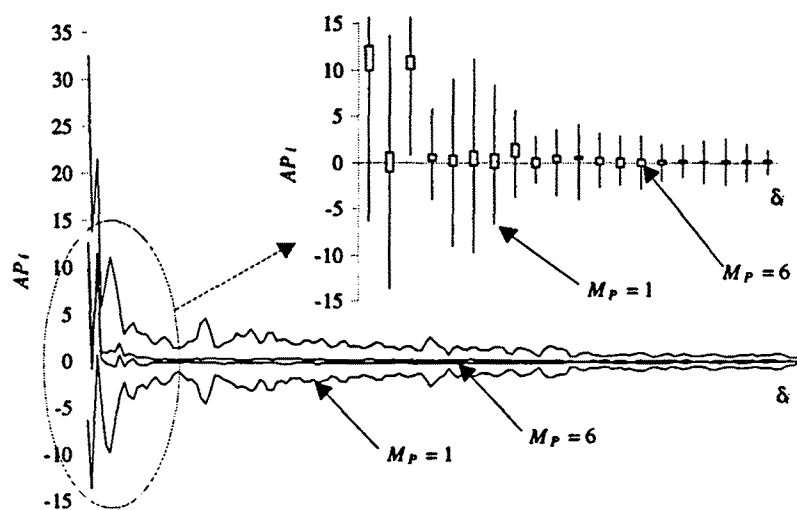


Figura D.5: Intervals de variabilitat de les diferències, δ_i , d'activitats ponderades entre les parelles de nodes de la llista ordenada. L'interval de variabilitat es dona pel cas $M_P = 1$ i pel cas $M_P = 6$.

i els rectangles pel cas $M_P = 6$. Aquelles diferències on el valor mínim, δ_i^- sigui superior a zero, són parelles de nodes que es pot assegurar que estan ordenades correctament. Quan es fa el cas $M_P = 1$, hi ha únicament una parella de la que es pot assegurar la seva ordenació correcta. En el gràfic ampliat, l'interval d'aquesta parella correspon al tercer començant per l'esquerra. En canvi, quan es fa el cas $M_P = 6$ hi haurà sis parelles que tindran els intervals per sobre del zero. Corresponen al primer, tercer, quart, vuité, desé i onzé intervals en el gràfic ampliat.

Bibliografia

- [1] R. E. Bellman and S. E. Dreyfus, "Applied Dynamic Programming", *Princeton Univ. press*, 1964
- [2] H. Shichman and D. Hodges, "Modelling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits", *JSSC, Vol. 3, No. 3*, 285-289, September, 1968
- [3] J. R. Black, "Electromigration - A brief survey and some recent results.", *Tran. on Elec. Dev., Vol. 16*, 338+, 1969
- [4] J. R. Black, "Electromigration failure modes in aluminum: An introduction", *Proc. IEEE, Vol. 57*, 1587-1594, September, 1969
- [5] F. M. d'Heurle, "Electromigration and failure in electronics: An introduction", *Proc. IEEE, Vol. 49*, 1409-1418, October, 1971
- [6] R. J. Kriegler, "Ion Instabilities in MOS Structures", *Proc. Rel. Physics*, 250-258, 1974
- [7] M.R.Garey and D.S.Johnson, "Computers and Intractability: A Guide to the Theory of NP-Completeness", *New York: W.H.Freeman*, 1979
- [8] P. Goel, "An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits.", *Tran. on Comp., Vol. 30*, 215-222, March, 1981
- [9] S. M. Sze, "Physics of Semiconductor Devices", *John Wiley & Sons*, 1981
- [10] G. Kissin, "Measuring Energy Consumption in VLSI: a Foundation", *Symp. Theory of Computing*, 99-104, 1982
- [11] N. D. Stojadinovic, "Failure Physics of Integrated Circuits - A Review", *Microelec. Rel., Vol. 23, No. 4*, 609-707, 1983

- [12] H. J. M. Veendrick, "Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits", *JSSC*, Vol. 19, No. 4, 468-473, August, 1984
- [13] F. Brglez and H. Fujiwara, "A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran", *ISCAS*, 663-698, June, 1985
- [14] H. Grabinski and J. P. Mucha, "A Numerical Approach to the analysis of Signal Propagation on VLSI Interconnect Systems", *ICCD*, 683-687, October, 1985
- [15] J. W. McPherson, "Stress Dependent Activation Energy", *Proc. Rel. Physics*, 12-18, 1986
- [16] R. Petrova and R. Kamburova and P. Vitanov, "Hot Carriers' Effects in Short Channel Devices", *Microelec. Rel.*, Vol. 26, No. 1, 155-162, 1986
- [17] M. H. Woods, "MOS VLSI Reliability and yield Trends", *Proc. IEEE*, Vol. 74, No. 12, 1715-1729, December, 1986
- [18] M. A. Cirit, "Estimating Dynamic Power Consumption of CMOS Circuits", *ICCAD*, 534-537, 1987
- [19] R. Burch and F. Najm and P. Yang and D. Hocevar, "Pattern-independent current estimation for reliability analysis of CMOS circuits", *DAC*, 294-299, June, 1988
- [20] K. P. Dyck and H. Grabinski, "A Time Domain Simulation Technique for Lossy Transmission Lines in VLSI Circuit Simulation", *ESM*, June, 1989
- [21] E. B. Haking, "Microelectronic reliability. Reliability, Test and Diagnostics", *Artech House*, Vol. 1, 1989
- [22] B. K. Liew et al., "Electromigration Interconnect Lifetime under AC and Pulse DC Stress", *Proc. Rel. Physics*, 215-219, April, 1989
- [23] C. J. Seger, "A bounded delay race model.", *ICCAD*, 130-133, November, 1989
- [24] R. Tjrnstrm, "Power dissipation estimate by switch level simulation", *ISCAS*, 881-884, May, 1989
- [25] M. Abramovici, M. Breuer and A. Friedman, "Digital Systems Testing and Testable Design", *Comp. Science Press*, 1990
- [26] S. Chowdhury and Javed Sabir Barkatullah, "Estimation of Maximum Currents in MOS IC Logic Circuits", *Tran. on CAD*, Vol. 9, No. 6, 642-654, June, 1990

- [27] S. Devadas, K. Keutzer and J. White, "Estimation of Power Dissipation in CMOS Combinational Circuits.", *CICC*, 19.7.1-19.7.6, 1990
- [28] U. Jagau, "SIMCURRENT - an efficient program for the estimation of the current flow of complex CMOS circuits.", *ICCAD*, 396-399, November, 1990
- [29] F. Najm and R. Burch and P. Yang and I. Hajj, "Probabilistic simulation for reliability analysis of CMOS VLSI circuits", *Tran. on CAD of ICS*, Vol. 9, No. 4, 439-450, April, 1990
- [30] T. Sakurai and R. Newton, "Alpha-Power Law MOSFET Model and its Applications to CMOS Inverter Delay and Other Formulas", *JSSC*, No. 2, 584-593, April, 1990
- [31] S. Devadas and K. Keutzer and S. Malik, "Delay Computation in Combinational Logic Circuits: Theory and Algorithms", *ICCAD*, 176-179, November, 1991
- [32] GenRad Limited, "System HILO", *Des. Aut. Prod.*, 1991
- [33] N. Kimura and J. Tsujimoto, "Calculation of total dynamic current of VLSI using a switch level timing simulator (RSIM-FX).", *CICC*, 8.3.1-8.3.4, 1991
- [34] T. H. Krodel, "PowerPlay - fast dynamic power estimation based on logic simulation", *ICCD*, 96-100, October, 1991
- [35] Patrick C. McGeer and Robert K. Brayton, "Integrating Functional and Temporal Domains in Logic Design", *Kluwer*, 1991
- [36] Farid N. Najm and Ibrahim N. Hajj and Ping Yang, "An Extension of Probabilistic Simulation for Reliability Analysis of CMOS VLSI Circuits", *Tran. on CAD*, 1372-1381, November, 1991
- [37] M. J. Riezenman, "Wanlass's CMOS circuit", *Spectrum*, 44, February, 1991
- [38] W. L. Winston, "Mathematical Programming. Application and Algorithms", *PWS-KENT*, 1991
- [39] R. Burch, F. Najm, P. Yafg and T. Trickf, "McPOWER: A Monte Carlo Approach to Power Estimation", *ICCAD*, 90-97, November, 1992
- [40] A. Chandrakasan, M. Potkonjak and J. Rabaey and R. Brodersen, "An Approach for Power Minimization using transformations", *Wkshp. VLSI Sign. Proces.*, 41-50, June, 1992

- [41] Anantha P. Chandrakasan and Samuel Sheng and Robert W. Brodersen, "Low-Power CMOS Digital Design", *JSSC*, Vol. 27, No. 4, 473-483, April, 1992
- [42] S. Devadas, K. Keutzer and J. White, "Estimation of Power Dissipation in CMOS Combinational Circuits Using Boolean Function Manipulation", *Tran. on CAD*, Vol. 11, No. 3, 373-383, March, 1992
- [43] A. Shen, A. Ghosh, S. Devadas and K. Keutzer, "On average power dissipation and random pattern testability of CMOS combinational logic networks", *ICCAD*, 402-407, November, 1992
- [44] A. Ghosh, S. Devadas, K. Keutzer and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits", *DAC*, 253-259, June, 1992
- [45] S. Devadas, K. Keutzer, S. Malik and A. Wang, "Certified timing verification and the transition delay of a logic circuit", *DAC*, 549-555, June, 1992
- [46] H. Kriplani, F. Najm and I. Hajj, "Maximum Current Estimation in CMOS Circuits.", *DAC*, 35978, June, 1992
- [47] F. Najm, "Transition Density, A Stochastic Measure of Activity in Digital Circuits", *DAC*, 644-649, June, 1992
- [48] J. Rius and J. Figueras, "Proportional BIC Sensor for Current Testing", *JETTA*, Vol. 3, No. 4, 101-109, Desember, 1992
- [49] S. Devadas and K. Keutzer and S. Malik, "Computation of Floating Mode Delay in Combinational Circuits: Theory and Algorithms.", *Tran. on CAD*, Vol. 12, No. 12, 1913-1923, December, 1993
- [50] R. C. Dorf, "Electrical Engineering", *CRC Press*, 1993
- [51] N. H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design", *Addison-Wesley*, 1993
- [52] G. Rao, "Multilevel Interconnect Technology", *McGraw-Hill*, 1993
- [53] C. Y. Tsui, M. Pedram and A. Despain, "Efficient estimation of dynamic power dissipation under a real delay model.", *ICCAD*, 224-228, November, 1993
- [54] H. Vaishnav and M. Pedram, "PCUBE: A performance Driven Placement Algorithm for Low Power Designs", *EDAC*, 72-77, 1993

- [55] Paul Vanoostende and Paul Six and Joos Vandewalle and Hugo J. De Man, "Estimation of Typical Power of Synchronous CMOS Circuits Using a Hierarchy of Simulators.", *JSSC*, Vol. 28, No. 2, 26-39, January, 1993
- [56] S. Vemuru, N. Scheinberg and E. Smith, "Short-Circuit Power Dissipation Formulae for CMOS Gates", *ISCAS*, 145-150, 1993
- [57] R. I. Bahar, G. D. Hachtel, E. Macii and F. Somenzi, "A Symbolic Method to Reduce Power Consumption of Circuits Containing False Paths.", *ICCAD*, 368-371, 1994
- [58] S. Devadas and K. Keutzer and S. Malik and A. Wang, "Certified Timing Verification and the Transition Delay of a Logic Circuit", *Tran. on VLSI Systems*, Vol. 2, No. 3, 333-342, September, 1994
- [59] B. J. George, D. Gossain, S. C. Tyler, M. G. Wloka and G. K. H. Yeap, "Power Analysis and characterization for semi-custom design", *IWLDP*, 215-218, April, 1994
- [60] K. Jeppson, "Modeling the influence of the transistor gain ratio and the input-to-output coupling capacitance on the CMOS inverter delay", *JSSC*, Vol. 29, No. 6, 646-654, June, 1994
- [61] Kaushik Roy and Sharat Prasad, "Power Dissipation Driven FPGA Place and Route under Delay Constraints.", *IWFPL*, 55-65, 1994
- [62] U. Ko and P. T. Balsara and W. Lee, "A Self-timed Method to Minimize Spurious Transitions in Low Power CMOS Circuits", *Symp. LPE, Tech. Dig.*, 62-63, October, 1994
- [63] C. Lemonds and S. Mahant and Shetti, "A Low Power 16 by 16 Multiplier using Transition Reduction Circuitry", *ISLPD*, 139-142, April, 1994
- [64] Dake Liu and Christer Svensson, "Power Consumption Estimation in CMOS VLSI Chips.", *JSSC*, Vol. 29, No. 6, 663-670, June, 1994
- [65] F. N. Najm, "Low-Pass Filter for Computing the Transition Density in Digital Circuits", *Tran. on CAD of ICS*, Vol. 13, No. 9, 1123-1131, September, 1994
- [66] M. A. Ortega and J. Figueras, "Extra Power Consumed in Static CMOS Circuits due to Unnecessary Logic Transitions.", *IWDA*, 40-41, June, 1994
- [67] D. Pivin, "Pick the Right Package for Your Next ASIC Design", *EDN*, Vol. 39, No. 3, 91-108, February, 1994

- [68] A. Rubio, N. Itazaki, X. Xu and K. Kinoshita, "An approach to the analysis and detection of crosstalk faults in digital VLSI circuits", *Tran. on CAD of ICS*, 387-395, March, 1994
- [69] C. Small, "Shrinking devices put the squeeze on system packaging", *EDN*, No. 4, 41-46, February, 1994
- [70] D. Strassberg, "Cooling hot microprocessors", *EDN*, No. 2, 40-50, January, 1994
- [71] Ch.-Y. Tsui, M. Pedram and A. M. Despain, "Power Efficient Technology Decomposition and Mapping Under an Extended Power Consumption Model", *Tran. on CAD of ICS*, Vol. 13, No. 9, 1110-1122, September, 1994
- [72] S. R. Vemuru and N. Scheinberg, "Short-Circuit Power Dissipation Estimation for CMOS Logic Gates", *Tran. on Cir. & Sys.*, Vol. 41, No. 11, 762-765, November, 1994
- [73] A. Bellaouar and M. I. Almasry, "Low-Power Digital VLSI Design Circuits and Systems", *Kluwer*, 1995
- [74] S. Caufap and M.A. Ortega and J. Figueras, "Caracterizacin del consumo de cortocircuito en buffers CMOS.", *DCIS*, 197-202, November, 1995
- [75] Anantha P. Chandrakasan and Robert W. Brodersen, "Low Power Digital CMOS Design", *Kluwer*, 1995
- [76] A. Charnas et al., "A 64b Microprocessor with Multimedia Support", *Proc. ISSSC*, 178-179, February, 1995
- [77] C.-C. Teng, A. M. Hill and S.-M. Kang, "Estimation of Maximum Transition Counts at Internal Nodes in CMOS VLSI Circuits.", *ICCAD*, 366-370, November, 1995
- [78] A.-C. Deng, X. Huang, S. Napper, J. Tuan and J. Benkoski, "Simulation Algorithms, Power Estimation and Diagnostics in PowerMill", *PATMOS*, 399-410, 1995
- [79] C.-S. Ding and M. Pedram, "Tagged Probabilistic Simulation Provides Accurate and Efficient Power Estimates at Gate Level", *ISLPE*, 42-43, 1995
- [80] F. N. Najm and M. Y. Zhang, "Extreme Delay Sensitivity and the Worst-Case Switching Activity in VLSI Circuits", *DAC*, 623-627, June, 1995
- [81] M. Favalli and L. Benini, "Analysis of glitch Power dissipation in CMOS IC's.", *ISLPD*, 1995

- [82] H. Vaishnav and M. Pedram, "Delay Optimal Partitioning Targeting Low Power VLSI Circuits.", *ICCAD*, 638-643, November, 1995
- [83] IEEE, "Technology 1995: Solid State", *Spectrum*, 35-39, January, 1995
- [84] H. Kriplani, F. N. Najm and I. N. Hajj, "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithms, Signal Correlations, and Their Resolution", *Tran. on CAD of ICS*, Vol. 14, No. 8, 998-1012, August, 1995
- [85] J. Leijten, J. Meerbergen and J. Jess, "Analysis and Reduction of Glitches in Synchronous Networks", *ED&TC*, 398-403, March, 1995
- [86] H. Mehta, M. Borah, R. M. Owens and M. J. Irwin, "Accurate Estimation of Combinational Circuit Activity", *DAC*, 618-622, June, 1995
- [87] S. Manich, J. Rius and J. Figueras, "Utilizacin de un sensor I_{DDQ} de test de corriente para determinar el consumo medio en un circuito integrado.", *DCIS*, 31-35, November, 1995
- [88] R. Murgai, R. K. Brayton and A. S.-Vicentelli, "Decomposition of Logic Functions for Minimum Transition Activity", *ED&TC*, 404-410, March, 1995
- [89] P. A. Beerel, K. Y. Yun, S. M. Nowick and P.-C. Yeh, "Estimation and Bounding of Energy Consumption in Burst-Mode Control Circuits", *ICCAD*, 26-33, November, 1995
- [90] S. S. Sapatnekar and W. Chuang, "Power vs. Delay in Gate Sizing: Conflicting Objectives?.", *ICCAD*, 463-466, November, 1995
- [91] D.Singh and J.M.Rabaey and M.Pedram and F.Catthoor and S.Rajgopal and N.Seegal and T.J.Mozdzen, "Power Conscious CAD tools and Methodologies: A perspective", *Proc. IEEE*, Vol. 83, No. 4, 570-594, April, 1995
- [92] H. A. Taha, "Operations Research and Introduction", *Prentice Hall*, fifth edition, 1995
- [93] S. Turgis, N. Azemard and D. Auvergne, "Explicit Evaluation of Short-Circuit Power Dissipation for CMOS Logic Structures", *ISLPD*, 129-134, April, 1995
- [94] S. Turgis, N. Azemard and D. Auvergne, "Short-Circuit Power Dissipation Calculation on CMOS Inverters Using the Equivalent Short-Circuit Capacitance Concept", *PATMOS*, 213-224, 1995

- [95] L. Bisdounis, O. Koufopavlou and S. Nikolaidis, "Accurate Evaluation of CMOS Short-Circuit Power Dissipation for Short-Channel Devices.", *ISLPED*, 189-192, August, 1996
- [96] M. A. Breuer and S. K. Gupta, "Process Aggravated Noise (PAN): New Validation and Test Problems", *ITC*, 914-923, 1996
- [97] A. Chatterjee, M. Nandakumar and I.-C. Chen, "An Investigation of the Impact of Technology Scaling on Power Wasted as Short-Circuit Current in Low Voltage Static CMOS Circuits", *ISLPED*, 145-150, 1996
- [98] D. Rabe and W. Nebel, "Short Circuit Power Consumption of Glitches", *ISLPED*, 125-128, August, 1996
- [99] A. Hill, C.-C. Teng and S.-M. Kang, "Simulation-based maximum power estimation.", *ISCAS*, 1996
- [100] A. M. Hill, "Switching Density Analysis for Power and Reliability in VLSI Circuits.", *PhD, Univ. Illinois*, 1996
- [101] A. Hirata, H. Onodera and K. Tamaru, "Estimation of Short-Circuit Power Dissipation and Its Influence on Propagation Delay for Static-CMOS Gates", *ISCAS*, 751-754, 1996
- [102] K. N. Lam and S. Devadas, "PECS: A Peak Current and Power Simulator for CMOS Combinational Circuits", *ISCAS*, 538-541, 1996
- [103] S. Manich and J. Figueras, "Maximizing Weighted Switching Activity in Combinational CMOS Circuits", *PATMOS*, 285-293, September, 1996
- [104] W. Nebel and J. Mermet, "Low Power Design in Deep Submicron Electronics", *Kluwer, NATO ASI Series, Vol. 337*, August, 1996
- [105] M. A. Ortega and J. Figueras, "Short-Circuit Power Modeling in Sub-micron CMOS", *PATMOS*, 147-155, 1996
- [106] J. M. Rabaey and M. Pedram, "Low Power Design Methodologies", *Kluwer*, 1996
- [107] T. Uchino, F. Minami, M. Murakata and T. Mitsuhashi, "Switching Activity Analysis for Sequential Circuits using Boolean Approximation Method.", *ISLPED*, 79-84, August, 1996
- [108] C. Y. Wang, T. L. Chou and K. Roy, "Maximum Power Estimation for CMOS Circuits Under Arbitrary Delay Model.", *ISCAS*, 1996

- [109] C.-Y. Wang and K. Roy, "Maximum Power Estimation for CMOS Circuits Using Deterministic and Statistical Approaches", *Proc. VLSI conf.*, 1996
- [110] J. C. Costa, J. C. Monteiro and S. Devadas, "Switching Activity Estimation using Limited Depth Reconvergent Path Analysis", *ISLPED*, 184-189, 1997
- [111] B. Dipert, "Programmable logic: Beat the heat on power consumption", *EDN*, 57-77, August, 1997
- [112] L. Geppert, "Solid State: Technology 1997 analysis & forecast", *Spectrum*, 55-59, January, 1997
- [113] A. Hirata, H. Onodera and K. Tamaru, "Estimation of Short-Circuit Power Dissipation for Static CMOS Gates Driving a CRC pi Load", *PATMOS*, 279-290, 1997
- [114] M. S. Hsiao, E. M. Rudnick and J. H. Patel, "Effects of Delay Models on Peak Power Estimation of VLSI Sequential Circuits.", *ICCAD*, November, 1997
- [115] A. Krstic and K.-T. Cheng, "Vector Generation for Maximum Instantaneous Current Through Supply Lines for CMOS Circuits", *DAC*, 383-388, June, 1997
- [116] E. Macii, M. Pedram and F. Somenzi, "High-Level Power Modeling, Estimation, and Optimization", *DAC*, 504-511, 1997
- [117] S. Manich and J. Figueras, "Maximizing the Weighted Switching Activity in Combinational CMOS Circuits under the Variable Delay Model.", *ED&TC*, 597-602, March, 1997
- [118] S. Manich and J. Figueras, "Sensitivity of the Worst Case Dynamic Power Estimation on Delay and Filtering Models", *PATMOS*, 141-150, September, 1997
- [119] J. D. Meindl, "A History of Low Power Electronics: How It Began and Where It's Headed", *ISLPED*, 149-151, 1997
- [120] J. Monteiro and S. Devadas, "Computer-Aided Design Techniques for Low Power Sequential Logic Circuits.", *Kluwer*, 1997
- [121] Q. Qiu, Q. Wu, M. Pedram and C.-S. Ding, "Cycle-Accurate Macro-Models for RT-Level Power Analysis", *ISLPED*, 125-130, 1997
- [122] SIA, "The National Technology Roadmap for Semiconductors. Technology Needs", *SEMATECH*, 1997

- [123] S. Turgis, J. M. Daga, J. M. Portal and D. Auvergne, "Internal Power Modelling and Minimization in CMOS Inverters", *ED&TC*, 1997
- [124] J. Garcia and J. Rius, "An experimental approach for power consumption analysis", *DCIS*, 533-538, November, 1998
- [125] K. L. Shepard and V. Narayanan, "Conquering Noise in Deep-Submicron Digital ICs", *Design & Test*, 51-62, January, 1998