

Arquitecturas y circuitos CMOS para el control, generación y procesamiento de señal de MEMS

Daniel Fernández Martínez

Tesis doctoral

Director: Jordi Madrenas Boadas

Noviembre de 2008

Grup d'Arquitectures Hardware Avançades
Departament d'Enginyeria Electrònica
Universitat Politècnica de Catalunya

5

Conclusiones finales

En los capítulos anteriores se han presentado diversos trabajos originales, como un estimador de la distancia entre armaduras para actuadores electrostáticos, seguido de un estudio sobre la integración monolítica de microsistemas en el proceso CMOS, el desarrollo de un elemento translineal para el procesado de señal, un sistema de control de la dinámica para actuadores electrostáticos y un convertidor de potencia *buck-boost* integrado.

La relevancia científica e industrial de cada una de estas aportaciones, vistas por separado, es notable. El estimador permite disponer de un sistema integrado capaz de detectar fallos en actuadores electrostáticos o ser la parte fundamental de un circuito que permita disminuir la tensión necesaria para hacer colapsar el actuador. El estudio sobre la integración de microsistemas en el proceso CMOS proporciona un *know-how* de una gran importancia estratégica al permitir disponer de la información necesaria para elaborar un conjunto de reglas de diseño imprescindible para realizar microsistemas integrados en el proceso CMOS, manteniendo un muy bajo coste de producción. El elemento translineal, por su parte, permite disponer de las características del procesado de señal propias de los transistores bipolares dentro del proceso CMOS, permitiendo así diseñar circuitos de acondicionamiento y procesado de bajo coste, alta precisión y grandes márgenes dinámicos. El sistema de control de la dinámica para actuadores electrostáticos permite ajustar con precisión todos los parámetros que afectan a su movimiento, de forma que se puede minimizar la energía de impacto entre armaduras de interruptores o ajustar la frecuencia de resonancia de osciladores y resonadores. Finalmente, el convertidor de potencia *buck-boost* permite disponer de un sistema integrado para generar tensiones, de forma muy sencilla, eficiente y de rápida implementación, con un gran ancho de banda, resultando útil para cualquier aplicación de gestión de energía.

No obstante, si analizamos las contribuciones realizadas a lo largo de esta tesis en conjunto, podemos ver que combinando el *know-how* del diseño MEMS-CMOS con las aportaciones hechas en el campo del procesado de señal podemos, por ejemplo, diseñar un acelerómetro monolítico CMOS de bajo coste. Si a esto añadimos el convertidor de potencia *buck-boost*, disponemos de todo lo necesario para actuar interruptores o conmutadores de RF MEMS sin convertidores externos, o, utilizando el método de actuación resonante en lazo cerrado, utilizar directamente tensiones de actuación compatibles con los estándares CMOS, a lo que podemos sumar la posibilidad de detectar fallos utilizando el estimador de capacidad y de prevenirlos disminuyendo la energía de impacto con el sistema de control de la dinámica. Queda claro, entonces, que la aplicación conjunta de los trabajos desarrollados en esta tesis permite obtener sistemas de una gran importancia tanto científica como industrial por sus conceptos innovadores y su alto atractivo comercial.



Circuitos integrados diseñados durante la elaboración de la tesis

Durante el desarrollo de la tesis se han diseñado una serie de circuitos integrados utilizados para la verificación experimental de cada una de las contribuciones que se han hecho a lo largo de la investigación. En esta parte se mostrarán los *layouts* de dichos circuitos integrados y una breve explicación del contenido de cada uno de ellos.

A.1. Rash-I

En la figura A.1 se muestra el *layout* del circuito integrado *Rash-I*. El circuito está diseñado en la tecnología AMIS *C035M-A*, ocupa un área aproximada de 2 mm^2 y contiene los diseños del HBTE explicado en la sección 3.3 y el estimador DACEA de la sección 1.3, además de unos diseños de prueba de circuitos de puerta flotante. Contiene también el diseño de los primeros actuadores electrostáticos CMOS, en concreto, tres voladizos y dos membranas. El circuito se envió a fabricar en noviembre de 2006.

A.2. Arrogance-I

En la figura A.2 se muestra el *layout* del circuito integrado *Arrogance-I*. El circuito está diseñado en la tecnología AMIS *C035M-A*, ocupa un área aproximada de 2 mm^2 y contiene únicamente diseños de microsistemas, en concreto quince membranas y cuatro voladizos (algunos de ellos capaces de funcionar como interruptores o conmutadores), además de algunas estructuras de *test*. El circuito se envió a fabricar en febrero de 2008.

A.3. Delirium-I

En la figura A.3 se muestra el *layout* del circuito integrado *Delirium-I*. El circuito está diseñado en la tecnología AMIS *C035U-A*, ocupa un área aproximada de 3 mm^2 y contiene los diseños del convertidor de potencia HERETIC presentado en la sección 4.3, el estimador DACEAx de la sección 1.4, un transconductor experimental para redes neuronales y un innovador *front-end* para acelerómetros

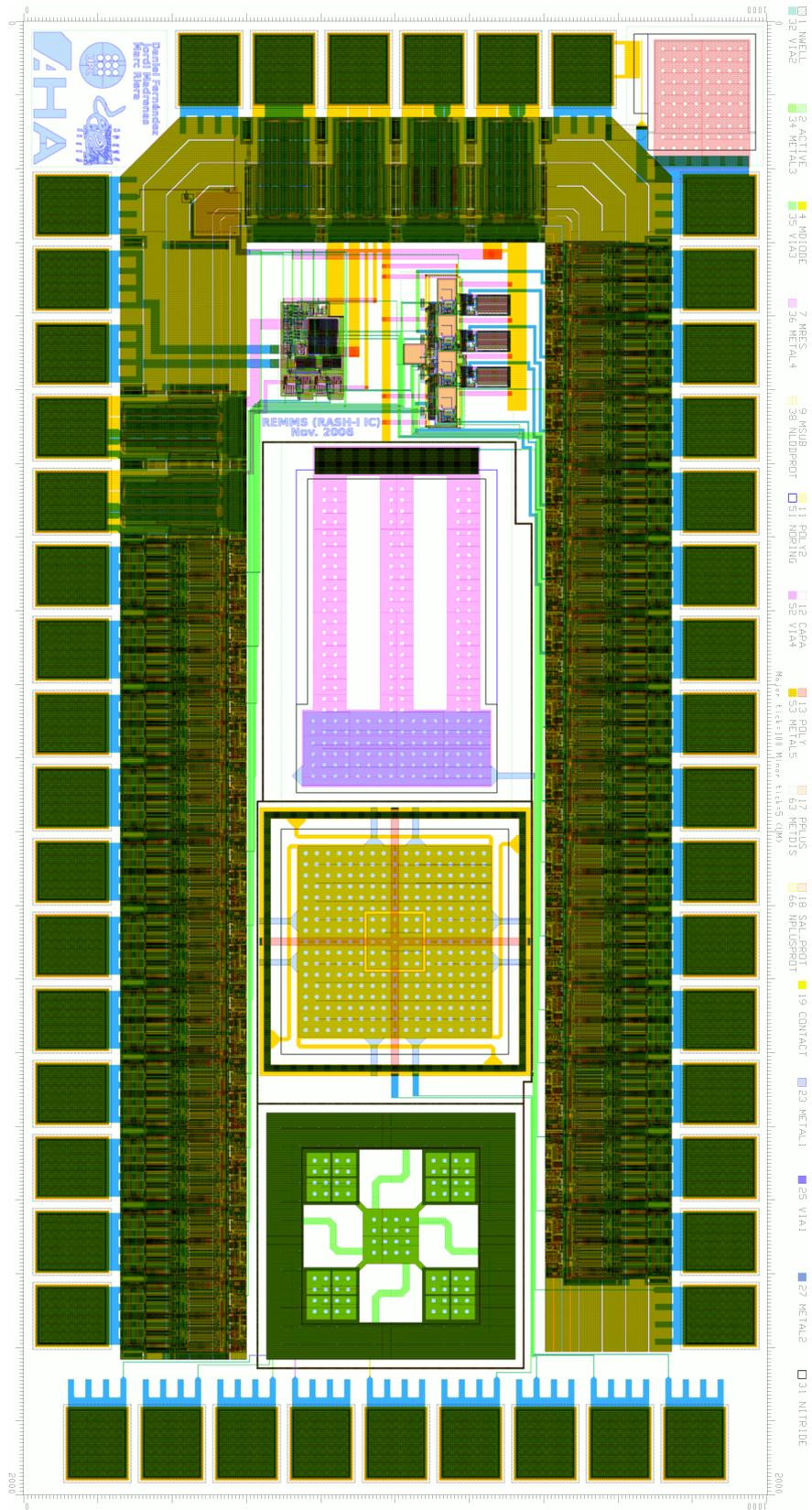


Figura A.1: Layout del circuito integrado Rash-I.

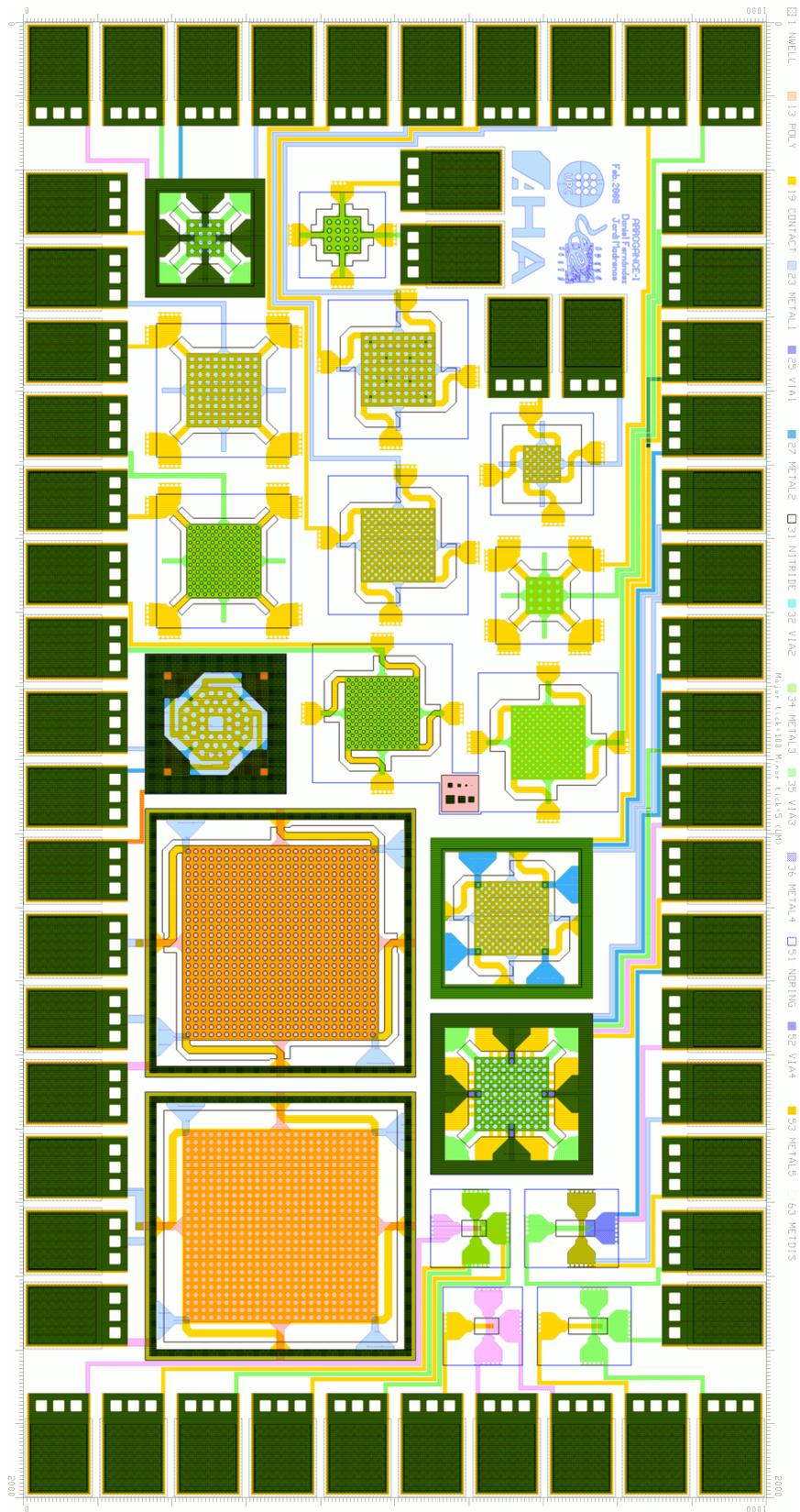


Figura A.2: Layout del circuito integrado Arrogance-I.

MEMS. Además contiene diseños de diversos microsistemas conectados directamente al estimador DACEAx y varias estructuras de *test* para caracterizar la tecnología. El circuito se envió a fabricar en febrero de 2008 y a fecha de escritura de esta tesis no estaba disponible para su verificación experimental.



Figura A.3: Layout del circuito integrado *Delirium-I*.

A.4. Furious-I

En la figura A.4 se muestra el *layout* del circuito integrado *Furious-I*. El circuito está diseñado en la tecnología AMIS *C035U-A*, ocupa un área aproximada de 4 mm^2 y contiene los diseños del HPTE, la RTC y la FPAA presentados en la sección 3.4. Además contiene diseños de diversos micro-sistemas compuestos de varios niveles de metal apilados y varias estructuras de *test* para caracterizar la tecnología. El circuito se envió a fabricar en abril de 2008 y a fecha de escritura de esta tesis no estaba disponible para su verificación experimental.

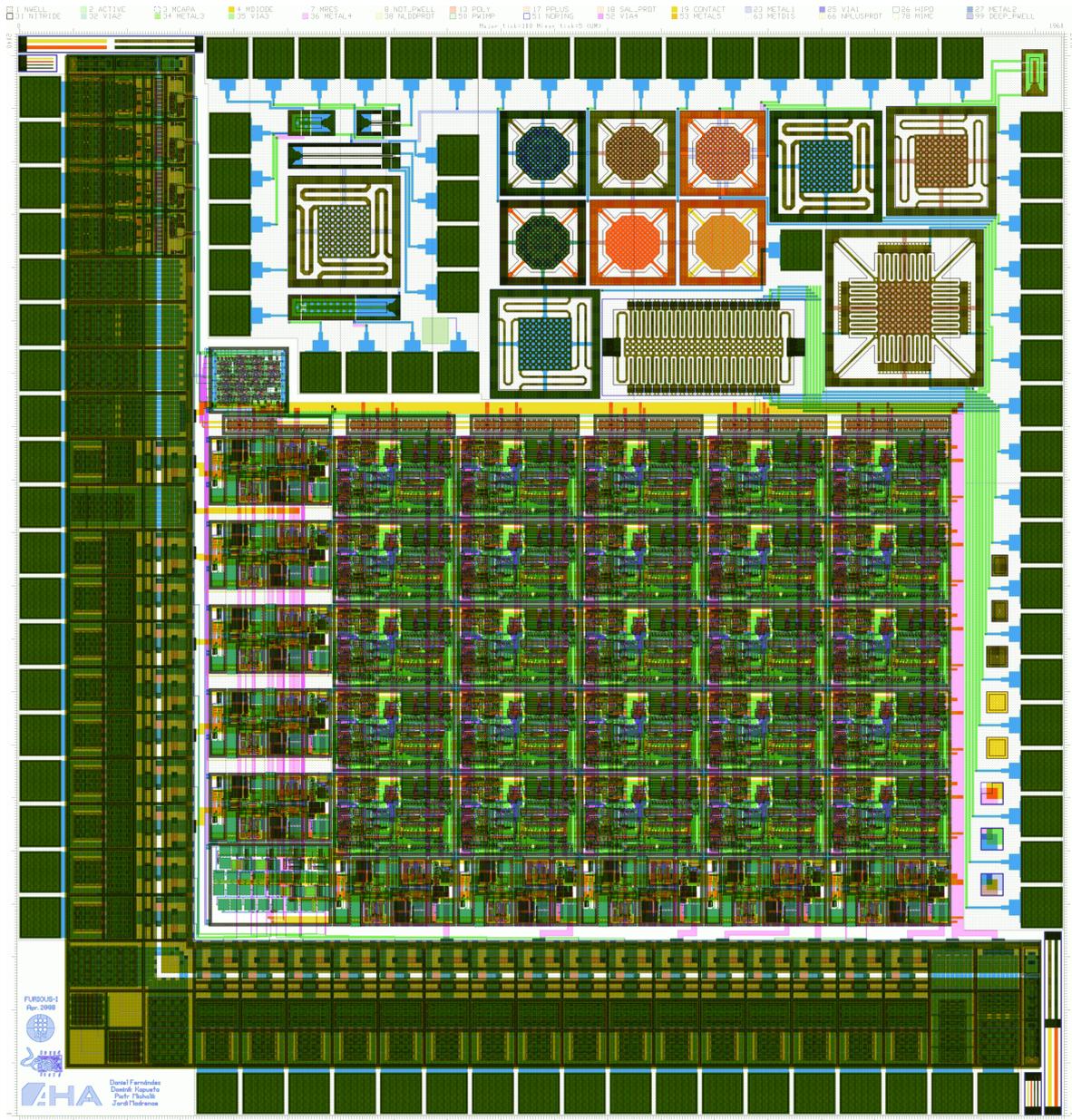


Figura A.4: *Layout* del circuito integrado *Furious-I*.

