

Arquitecturas y circuitos CMOS para el control, generación y procesamiento de señal de MEMS

Daniel Fernández Martínez

Tesis doctoral

Director: Jordi Madrenas Boadas

Noviembre de 2008

Grup d'Arquitectures Hardware Avançades
Departament d'Enginyeria Electrònica
Universitat Politècnica de Catalunya

2

Integración de MEMS en el proceso CMOS

Contenido

2.1. Introducción	47
2.2. Proceso de fabricación CMOS	49
2.3. Diseños preliminares	52
2.3.1. Estructuras de caracterización	52
2.3.2. Membranas y capacidades variables	55
2.3.3. Interruptores y conmutadores	57
2.3.4. Microposicionadores	58
2.4. Ensayos de <i>release</i> de las estructuras	58
2.4.1. Ácido fluorhídrico	58
2.4.2. Fluoruro de amonio	60
2.4.3. Fluoruro de amonio y ácido acético	61
2.5. Medidas experimentales y resultados	62
2.5.1. Estructuras de test	62
2.5.2. Membranas	65
2.5.3. Interruptores y conmutadores	66
2.5.4. Efectos de la contaminación	69
2.6. Conclusiones y trabajo futuro	70
Referencias	70

2.1. Introducción

El proceso de fabricación de los microsistemas acostumbra a ser un proceso no estándar y exclusivo de cada *foundry*. Esta falta de estandarización del proceso se traduce directamente en falta de estandarización de las herramientas y técnicas de diseño y en un bajo *yield* de producción, lo que supone importantes problemas de cara a la producción masiva y a la reducción de costes. Después, tras la fabricación del microsistema, suele ser necesario conectar el mismo a la circuitería de control o de procesado de señal, habitualmente CMOS. Se hace entonces necesario realizar un conexionado

(ya sea mediante *wire-bonding* o *flip-chip*) que inherentemente supone añadir parásitos y pérdidas de calidad de señal, junto con el incremento de coste asociado. Finalmente, el encapsulado de estos sistemas no es sencillo y acostumbra a ser bastante voluminoso. Todo esto supone una adopción lenta de la tecnología por parte de la industria y un alejamiento de la filosofía *System on Chip* (SoC) dominante en el mercado. De hecho, recientemente se ha propuesto la integración completa del propio sensor con la electrónica de control, en lo que se ha denominado el *Sensing System on Chip* (SSoC) (véase Brand [1]).

No obstante, sólo en los diseños o aplicaciones de microsistemas que requieran de procesos incompatibles CMOS puede estar justificada la decisión de utilizar procesos separados. Las incompatibilidades vienen generalmente de dos lados: la susceptibilidad a elementos contaminantes de los circuitos CMOS y la necesidad de utilizar altas temperaturas de *annealing* en el proceso de fabricación MEMS para reducir el estrés mecánico de las estructuras. Para que no ocurran incompatibilidades tipo contaminantes se hace necesario evitar la utilización en el microsistema de elementos contaminantes para el circuito CMOS tales como el oro, entre otros; mientras que para que no ocurran incompatibilidades de tipo temperatura se hace necesario evitar el uso de temperaturas elevadas, especialmente, tras la fabricación de las metalizaciones del circuito CMOS, que es la parte más sensible a las altas temperaturas.

En la literatura se han encontrado diversas soluciones para permitir la fabricación monolítica del microsistema y del circuito CMOS (véase Baltes *et al.* [2]). Estas pueden dividirse atendiendo a cuando se fabrica el microsistema respecto al circuito CMOS, siendo:

- *pre-CMOS*: En este caso el microsistema se fabrica antes del circuito CMOS. Esto permite utilizar temperaturas elevadas sin problemas gracias a que el CMOS no se ha fabricado todavía, no obstante esta aproximación implica que la oblea debe pulirse antes de iniciar el proceso CMOS para eliminar las irregularidades de la superficie que pudieran haber surgido durante el proceso MEMS (lo que puede dañar el microsistema y causar alteraciones en las características eléctricas de los transistores). A modo de ejemplo, pueden consultarse los trabajos de Yasaitis *et al.* [3] y Smith *et al.* [4].
- *intra-CMOS*: En este caso el microsistema se fabrica entre alguna de las etapas regulares del proceso CMOS, siempre antes de las metalizaciones para permitir así el procesado a alta temperatura (véase Scheiter *et al.* [5]). Téngase en cuenta que esta aproximación supone que la *foundry* CMOS debe fabricar también el microsistema, y eso no siempre es factible.
- *post-CMOS*: En este caso el microsistema se fabrica después del proceso CMOS. Como ya se ha indicado, esto fija severos límites de temperatura en el proceso MEMS que deben respetarse para no dañar las metalizaciones CMOS, pero tiene la importante ventaja que el CMOS puede fabricarse en una *foundry* cualquiera y el microsistema en otra especializada en MEMS. Esta categoría puede dividirse a su vez en dos subcategorías según donde qué se utilice como material estructural:
 - *MEMS on top*: Esto supone que el microsistema se fabrica encima de la oblea CMOS, utilizando como material estructural capas específicamente depositadas para él. Como ejemplos de esta aproximación encontramos los productos y servicios de la compañía Dalsa Semiconductor [6], que incluyen incluso la posibilidad de utilizar procesos CMOS externos, y los trabajos de Mehta *et al.* [7; 8].
 - *CMOS micromachining*: Esto supone el micromecanizado de las capas propias del proceso CMOS para fabricar el microsistema. Hasta la fecha se han reportado tres soluciones básicas para la realización del micromecanizado, que son el uso de técnicas *Deep Reactive Ion Etching* (DRIE) (Xie *et al.* [9]), que requiere de un equipamiento muy específico;

el micromecanizado del sustrato (Dai *et al.* [10], Tilmans *et al.* [11]), limitado a dispositivos piezorresistivos; y el micromecanizado de las capas de aluminio y polisilicio, útil para la fabricación de actuadores electrostáticos (Tilmans *et al.* [11], Dai [12], Uranga *et al.* [13], Teva~Meroño [14]). Estas dos últimas sólo requieren de un postproceso de *wet-etching* para liberar las estructuras.

Evidentemente, las técnicas que suponen un coste más reducido son las *post-CMOS*, especialmente las de micromecanizado de sustrato y las de micromecanizado de las capas de aluminio y polisilicio. Éstas no requieren de un equipamiento sofisticado para liberar las estructuras, sino que basta con un sencillo proceso de *wet-etching* para eliminar material sacrificial, siendo éste silicio en el primer caso o el óxido de silicio en el segundo. Se ha reportado la fabricación de dispositivos tales como sensores de presión, acelerómetros (Wang *et al.* [15], Tsai *et al.* [16]) o actuadores térmicos (Dai *et al.* [10]) para el mecanizado de sustrato y, además, todo tipo de actuadores electrostáticos, por ejemplo, los interruptores de RF (Dai [12]), resonadores (Dai y Yu [17]), capacidades variables (Dai *et al.* [18; 19]), filtros y mezcladores de radiofrecuencia (Uranga *et al.* [20]), sensores de masa (Verd *et al.* [21]) o microespejos (Cheng *et al.* [22; 23]), entre otros, para el mecanizado de aluminio y polisilicio.

Pese a la reconocida importancia estratégica de la fabricación de microsistemas compatibles con el proceso CMOS, se echa en falta en la literatura un estudio de las posibilidades o dificultades del micromecanizado de las capas de aluminio y polisilicio del proceso CMOS. Éste podría llevar a una eventual especificación de las reglas de diseño que conviene respetar para maximizar el *yield* de producción, paso crucial antes de poder comercializar la tecnología. Este capítulo de la tesis viene a cubrir este vacío mediante un análisis de los diferentes pasos necesarios para la fabricación a bajo coste de estructuras MEMS en el proceso CMOS. En primer lugar se muestra una breve descripción de los procesos de fabricación CMOS utilizados durante la investigación en el diseño de los microsistemas, seguido de las diferentes estructuras de test diseñadas para caracterizar la tecnología y de los resultados de los ensayos con diversas técnicas y productos para liberar los dispositivos mediante un *wet-etching*. Finalmente se muestran las medidas experimentales de los dispositivos diseñados. El objetivo es desarrollar el *know-how* necesario para el diseño de dispositivos orientados a aplicaciones comerciales punteras en un futuro inmediato.

2.2. Proceso de fabricación CMOS

En el desarrollo de las estructuras de test utilizadas para caracterizar la tecnología y la técnica de *release* se han utilizado dos procesos de fabricación CMOS ligeramente diferentes. Éstos son el *C035M-A* y el *C035M-U*, ambos de AMI Semiconductor. Las principales características comunes a las dos tecnologías es que son de $0,35\ \mu\text{m}$ de longitud de canal, constan de cinco metales de enrutado, utilizan vías de tungsteno para el conexionado entre diferentes niveles de metal y se realiza un pulido de la oblea (*Chemical Mechanical Polishing* (CMP)) antes de depositar cada nivel de metal, por lo que una capa de metal no conserva memoria de la forma de las capas anteriores.

La tecnología *C035M-A* consta, además de los cinco metales de enrutado, de dos niveles de polisilicio pensados para la fabricación de condensadores. Las especificaciones del grosor y composición de los metales y de los dieléctricos están recogidos en los cuadros 2.1 y 2.2 tal como reconoce el fabricante. La tecnología *C035M-U* consta, en lugar de condensadores de polisilicio, de condensadores metal-metal formados por una capa de metal 2 y una capa de metal intermedio entre metal 2 y metal 3, llamado metal 2.5. Entre ellos se deposita un óxido de alta constante dieléctrica. Las especificaciones del grosor y composición de los metales y de los dieléctricos están recogidos en los cuadros 2.3 y 2.4 tal como reconoce el fabricante. El trabajo de investigación comenzó con la tecnología *C035M-A*, en la que se desarrollaron dos *testchips*, y continuó con la *C035U-A*, en la que se desarrollaron otros

Capa	Mínimo	Medio	Máximo
Poly 1	225 nm	250 nm	275 nm
Poly 2	225 nm	250 nm	275 nm
Metal 1 (Total) <i>Ti/TiN glue</i> <i>Al alloy</i> <i>Ti/TiN ARC</i>	567 nm	630 nm 20/80 nm 500 nm 30 nm	693 nm
Metal 2 (Total) <i>Ti/TiN glue</i> <i>Al alloy</i> <i>Ti/TiN ARC</i>	648 nm	720 nm 20/80 nm 590 nm 30 nm	792 nm
Metal 3 (Total) <i>Ti/TiN glue</i> <i>Al alloy</i> <i>Ti/TiN ARC</i>	648 nm	720 nm 20/80 nm 590 nm 30 nm	792 nm
Metal 4 (Total) <i>Ti/TiN glue</i> <i>Al alloy</i> <i>Ti/TiN ARC</i>	648 nm	720 nm 20/80 nm 590 nm 30 nm	792 nm
Metal 5 (Total) <i>Ti/TiN glue</i> <i>Al alloy</i> <i>Ti/TiN ARC</i>	918 nm	1020 nm 20/80 nm 890 nm 30 nm	1122 nm

Cuadro 2.1: Especificaciones de los grosores y la composición de los conductores de la tecnología C035M-A.

Capa	Grosor típico
Poly 1 - Activa	7 nm
Poly 1 - Pozo	380 nm
Poly 2 - Poly 1	30 nm
Metal 1 - Poly 1	800 nm
Metal 1 - Activa	1250 nm
Metal 1 - Pozo	1450 nm
Metal (i+1) - Metal (i)	900 nm

Cuadro 2.2: Especificaciones de los grosores de los dieléctricos de la tecnología C035M-A.

Capa	Mínimo	Medio	Máximo
Poly 1	270 nm	300 nm	330 nm
Metal 1 (Total)	567 nm	630 nm	693 nm
<i>Ti/TiN</i> barrier		15/25 nm	
<i>Al</i> alloy		500 nm	
<i>TiN</i> ARC		100 nm	
Metal 2 (Total)	648 nm	720 nm	792 nm
<i>Ti/TiN</i> barrier		15/25 nm	
<i>Al</i> alloy		590 nm	
<i>TiN</i> ARC		100 nm	
Metal 3 (Total)	648 nm	720 nm	792 nm
<i>Ti/TiN</i> barrier		15/25 nm	
<i>Al</i> alloy		590 nm	
<i>TiN</i> ARC		100 nm	
Metal 4 (Total)	648 nm	720 nm	792 nm
<i>Ti/TiN</i> barrier		15/25 nm	
<i>Al</i> alloy		590 nm	
<i>TiN</i> ARC		100 nm	
Metal 5 (Total)	648 nm	720 nm	792 nm
<i>Ti/TiN</i> barrier		15/25 nm	
<i>Al</i> alloy		660 nm	
<i>TiN</i> ARC		30 nm	
Metal 2.5 (Total)	234 nm	260 nm	286 nm
<i>TiN</i> glue		30 nm	
<i>Al</i> alloy		200 nm	
<i>TiN</i> ARC		30 nm	

Cuadro 2.3: Especificaciones de los grosores y la composición de los conductores de la tecnología C035U-A.

Capa	Grosor típico
Poly 1 - Activa	7,1 nm
Poly 1 - Pozo	300 nm
Metal 1 - Poly 1	800 nm
Metal 1 - Activa	1220 nm
Metal (i+1) - Metal (i)	900 nm
Metal 2.5 - Metal 2	42 nm
Pasivación	1100 nm

Cuadro 2.4: Especificaciones de los grosores de los dieléctricos de la tecnología C035U-A.

dos. La razón del cambio de tecnología está fundamentada en el mejor soporte del *kit* de diseño de la *C035U-A*, cosa que permitía reducir notablemente el tiempo necesario para elaborar los *layouts* de la circuitería auxiliar de control de los microsistemas.

Nótese que la aleación de aluminio de los metales está envuelta por diversas capas de titanio (Ti) y/o nitruro de titanio (TiN). La capa inferior de Ti/TiN se utiliza comúnmente para mejorar tanto el comportamiento del aluminio a la electromigración como la textura cristalográfica del mismo o tamaño del grano (véanse los trabajos de Rodbell *et al.* [24] y Tracy *et al.* [25]). Por otro lado, la capa superior de TiN tiene el objetivo de reducir la formación de montículos y además sirve de capa antirreflectante (*Anti-Reflective Coating* (ARC)) para que la luz reflejada no afecte demasiado los pasos posteriores de litografía. La capa de Ti justo entre esta capa y la aleación de aluminio sirve para, además de reducir la electromigración, evitar la aparición de una capa parásita altamente resistiva de nitruro de aluminio (AlN) entre ambas, cosa que degradaría significativamente la resistencia de las vías de conexión entre diferentes niveles de metal (Inoue *et al.* [26]).

El fabricante no da ninguna información de las propiedades mecánicas de los materiales utilizados ambos procesos de fabricación, por lo que se hace necesario tomar los módulos de Young de cada uno de los materiales para poder aproximar la elasticidad del conductor completo. Téngase en cuenta que, pese a que las dos capas de titanio y nitruro de titanio (Ti/TiN) son muy delgadas, éstas presentan una notable dureza y una baja elasticidad en comparación con la aleación de aluminio, por lo que su efecto sobre la elasticidad global del conductor puede llegar a ser significativa (véase el trabajo de Daia *et al.* [27] sobre un estudio de la dureza y elasticidad de materiales multicapa de Ti/TiN). Valores típicos del módulo de Young de estos materiales están en torno a 60 GPa para una aleación $AlCu$, 140 GPa para el Ti y 260 GPa para el TiN .

Por otro lado, la composición del óxido de silicio sacrificial también es desconocida. No obstante, el fabricante indica constantes dieléctricas diferentes según se trate de óxido entre mismos niveles de metal, entre metales diferentes o entre diferentes transistores, por lo que probablemente éstos también presenten propiedades mecánicas o composiciones químicas diferentes.

2.3. Diseños preliminares

2.3.1. Estructuras de caracterización

Para caracterizar correctamente la tecnología se necesitan determinar, al menos, dos aspectos: los parámetros mecánicos de los materiales estructurales (módulo de Young, estrés residual, etc.) y el comportamiento de los materiales al proceso de release.

De cara a encontrar los parámetros mecánicos, existen diversas técnicas para determinar el módulo de Young, como aplicar una pequeña fuerza a una estructura mediante un actuador piezoeléctrico (Sharpe *et al.* [28]) o la punta de un perfilómetro (Denhoff [29]). No obstante, si no se requiere demasiada precisión, puede ser suficiente con encontrar la tensión de *pull-in* de un actuador electrostático. Por otro lado, el estrés residual, a pesar de que no juega un papel importante en los cálculos de primer orden de las estructuras, es uno de los mecanismos de fallo más comunes en microsistemas que no están correctamente diseñados. Éste causa una curvatura de las estructuras que las puede llevar incluso al colapso o a la fractura sin aplicar ninguna fuerza externa. Para determinarlo se pueden utilizar punteros, voladizos o puentes (véanse los trabajos de van Drieënhuizen *et al.* [30], Elbrecht *et al.* [31] y Fang y Wickert [32]) y medidas con microscopios o interferómetros.

Para determinar todos estos parámetros se diseñaron diversas estructuras de test. En la figura 2.1 se muestra el *layout* de unos voladizos formados por una única capa de metal y fabricados en la tecnología *C035M-A*. Éstos se utilizaron para encontrar la curvatura de las estructuras causada por el estrés residual y así determinar las dimensiones máximas que puedan llegar a tener los microsistemas sin que lleguen a colapsar por esta causa. Por otro lado, en la figura 2.2 se muestra el *layout* de unos

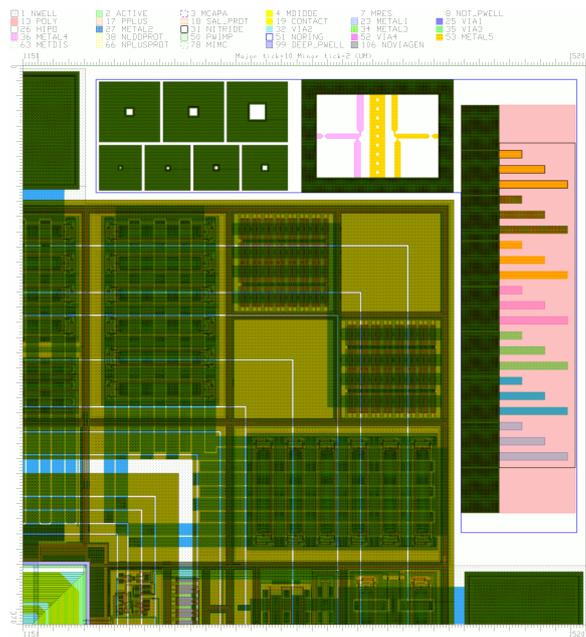


Figura 2.3: Layout de la estructura *BaoTest*. La imagen muestra, en la parte superior izquierda, un patrón de agujeros de $10\mu\text{m}$, $5\mu\text{m}$, $4\mu\text{m}$, $3\mu\text{m}$, $2\mu\text{m}$, $1.5\mu\text{m}$ y $1\mu\text{m}$. Justo a la derecha se muestran dos punteros en *M4* y *M5* y siete grupos de tres voladizos de $15\mu\text{m}$, $30\mu\text{m}$ y $45\mu\text{m}$ de largo y $5\mu\text{m}$ de ancho. De arriba a abajo, la composición de los grupos es de *M5* y pasivación, seguido de *M5*, via 4 y *M4*, y los cinco grupos restantes están compuestos de un único metal, siendo éste *M5*, *M4*, *M3*, *M2* y *M1*.

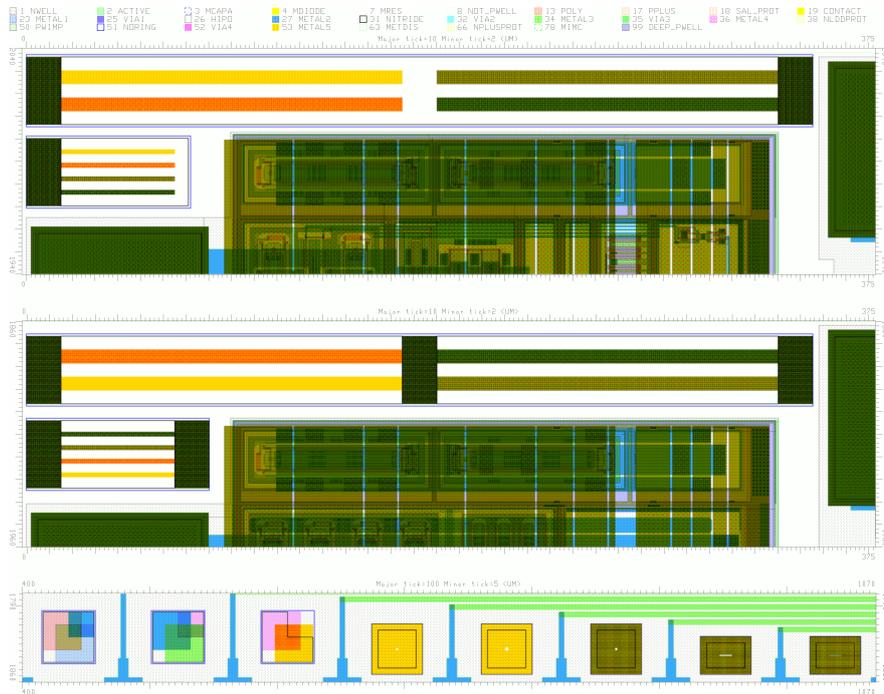


Figura 2.4: De arriba a abajo, layout de las estructuras *FurCant*, *FurBridges* y *FurMisc*. Los voladizos y puentes grandes de las estructuras *FurCant* y *FurBridges* tienen unas dimensiones de $150 \times 6\mu\text{m}$ y los pequeños de $50 \times 2\mu\text{m}$. Éstos están compuestos de varios metales apilados y unidos por vías, desde únicamente *M5* (amarillo), hasta *M5*, *M4*, *M3* y *M2*, unidos todos por vías (verde oscuro). La estructura *FurMisc* está compuesta, de izquierda a derecha, de tres bloques de materiales apilados a trozos y cinco bloques con agujeros y rendijas.

pilares de vias desde polisilicio hasta metal 5 ($M5$), fabricados con la misma tecnología, útiles para caracterizar el comportamiento ante el *release* de los diferentes materiales utilizados en el proceso. En la tecnología $C035U-A$ se diseñaron las estructuras de test mostradas en las figuras 2.3 y 2.4. La estructura de la figura 2.3, en concreto, fue diseñada por Baolab Microsystems [33] dentro de un acuerdo de colaboración al que se llegó tras los resultados exitosos de los primeros diseños, y contiene, en la parte superior izquierda, un patrón de agujeros útil para estudiar el comportamiento del óxido de silicio al *release*, a su derecha unos punteros para determinar el estrés residual y en la parte derecha e inferior unos grupos de voladizos sobre un bloque de polisilicio. Por otro lado, las estructuras de la figura 2.4 contiene voladizos y puentes de diferentes composiciones de metal, esto es, un voladizo y puente sencillo hecho solamente de $M5$, otro hecho con $M5$ y $M4$, otro con $M5$, $M4$ y $M3$ y, finalmente, $M5$, $M4$, $M3$ y $M2$. Los diferentes metales están unidos entre sí por vias. Éstos se diseñaron con el objetivo de comprobar la viabilidad de estructuras compuestas con varios niveles de metal y su efecto sobre el radio de curvatura. También, para verificar los grosores de los materiales después del *release* y encontrar el daño que sufren las estructuras con el mismo, se diseñaron diversos bloques con varios materiales apilados. Además se dibujaron unos agujeros y rendijas adicionales para comprobar el comportamiento del óxido al proceso de *release*.

2.3.2. Membranas y capacidades variables

Con el propósito de evaluar la tecnología en aplicaciones más realistas y así poder encontrar problemas no detectables por las estructuras de caracterización, se diseñaron un cierto número de microestructuras sencillas, como capacidades variables basadas en membranas. Las membranas tienen la peculiaridad de ser estructuras horizontales con una gran superficie, lo que las hace especialmente sensibles a dos factores: el estrés residual y los problemas de *release*. El estrés residual hará que la estructura se curve, pudiendo llegar a darse el caso extremo de que la membrana esté permanentemente en contacto con el sustrato (o con la armadura fija). Los problemas de *release* vienen dados por la gran superficie a liberar y la distancia que tiene que recorrer el agente de *etching* entre agujero y agujero de las armaduras para poder eliminar todo el óxido entre ellas. En el peor caso esto puede suponer que se requieran tiempos de *release* tan largos para eliminar todo el óxido que las armaduras acaben sufriendo daños considerables causados por el propio agente de *etching*.

Para comprobar esto, se diseñaron membranas con varias formas, tamaños y composiciones de niveles de metal. Seguidamente se mostrarán sólo algunos de los diseños más significativos, aunque pueden verse la totalidad de los microestructuras diseñados a lo largo de la tesis en los anexos. En la tecnología $C035M-A$ se construyeron membranas con $M5$ como armadura móvil y $M1$ o $M3$ como armadura fija. Puede verse el *layout* con algunas de estas membranas en la figura 2.5. En la figura, la membrana de la parte superior izquierda está hecha con $M5$ como armadura móvil y $M1$ como armadura fija, estando esta última separada en dos partes, un núcleo y un anillo. Las dimensiones son de $260 \times 260 \mu m$ y los agujeros son octogonales con $3 \mu m$ de apotema y están ordenados en un patrón cuadrado separados $15 \mu m$. Las armaduras de la membrana de arriba a la derecha utilizan las mismas capas de metal, pero el tamaño es de $100 \times 100 \mu m$ y la distancia entre los agujeros es de unos $10 \mu m$. La membrana de abajo a la izquierda utiliza $M3$ como armadura fija y tiene un patrón de agujeros entrelazados, cosa que le permite tener tiempos de *release* más bajos, al igual que la membrana de abajo a la derecha. En la tecnología $C035U-A$ se implementaron también muchas de las membranas de la figura 2.5 y además algunas nuevas específicamente construidas con varios niveles de metal apilados y unidos entre sí por vias para comprobar su comportamiento, como muestra el ejemplo de la figura 2.6. Téngase en cuenta que las vias, según el fabricante, están construidas con un material diferente al resto de conductores (tungsteno en estas dos tecnologías), y esto puede causar problemas imprevistos durante el *release*. A la izquierda de la figura se muestra una membrana con forma octogonal y una apotema de $50 \mu m$ compuesta de dos niveles de metal, $M5$ y $M4$, estando la armadura inferior en polisilicio. A la derecha se puede ver una cuadrada compuesta por $M5$, $M4$

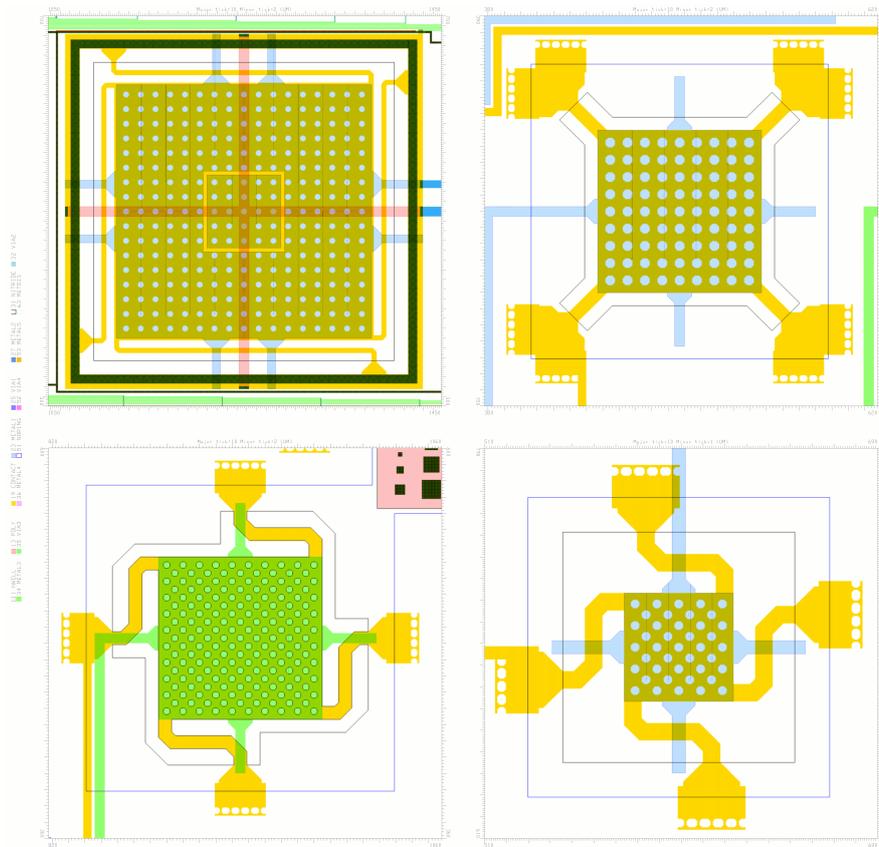


Figura 2.5: Ejemplos de membranas desarrolladas en la tecnología *C035M-A*. La membrana de la parte superior izquierda está hecha con *M5* como armadura móvil y *M1* como armadura fija y tiene un tamaño de $260 \times 260 \mu m$. A su derecha, la membrana está hecha con los mismos materiales, pero su tamaño es de $100 \times 100 \mu m$ y la distancia entre los agujeros es menor. El microsistema de abajo a la izquierda tiene el mismo tamaño que el anterior pero la armadura fija está en *M3* y los agujeros son más pequeños y están entrelazados. La membrana de abajo a la derecha tiene unas dimensiones de $50 \times 50 \mu m$ con la armadura fija en *M1* y el mismo patrón de agujeros que la anterior.

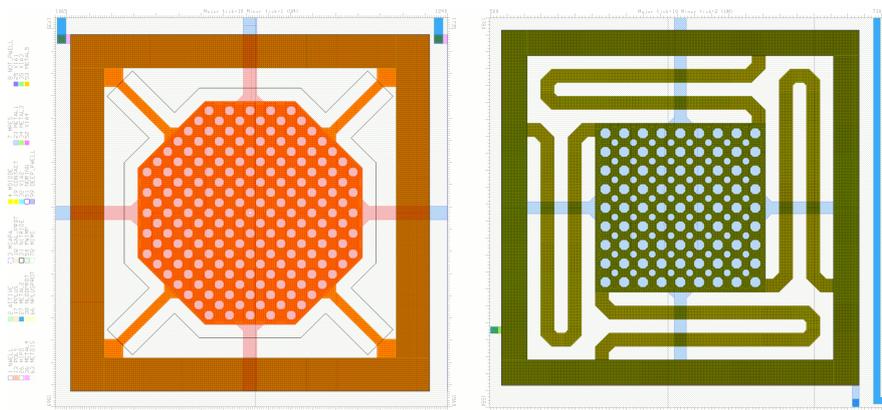


Figura 2.6: Ejemplos de membranas desarrolladas en la tecnología *C035U-A*. La membrana de la izquierda tiene forma octogonal con una apotema de $50 \mu m$ y agujeros de $2 \mu m$. La armadura superior está hecha con *M5* y *M4* unidos por vías y la inferior con polisilicio. La membrana de la derecha tiene unas dimensiones de $100 \times 100 \mu m$ y tiene un patrón de agujeros octogonales entrelazados de $3 \mu m$ y $2 \mu m$ de apotema. La armadura superior está compuesta por *M5*, *M4* y *M3* unidos por vías y la inferior con *M1*.

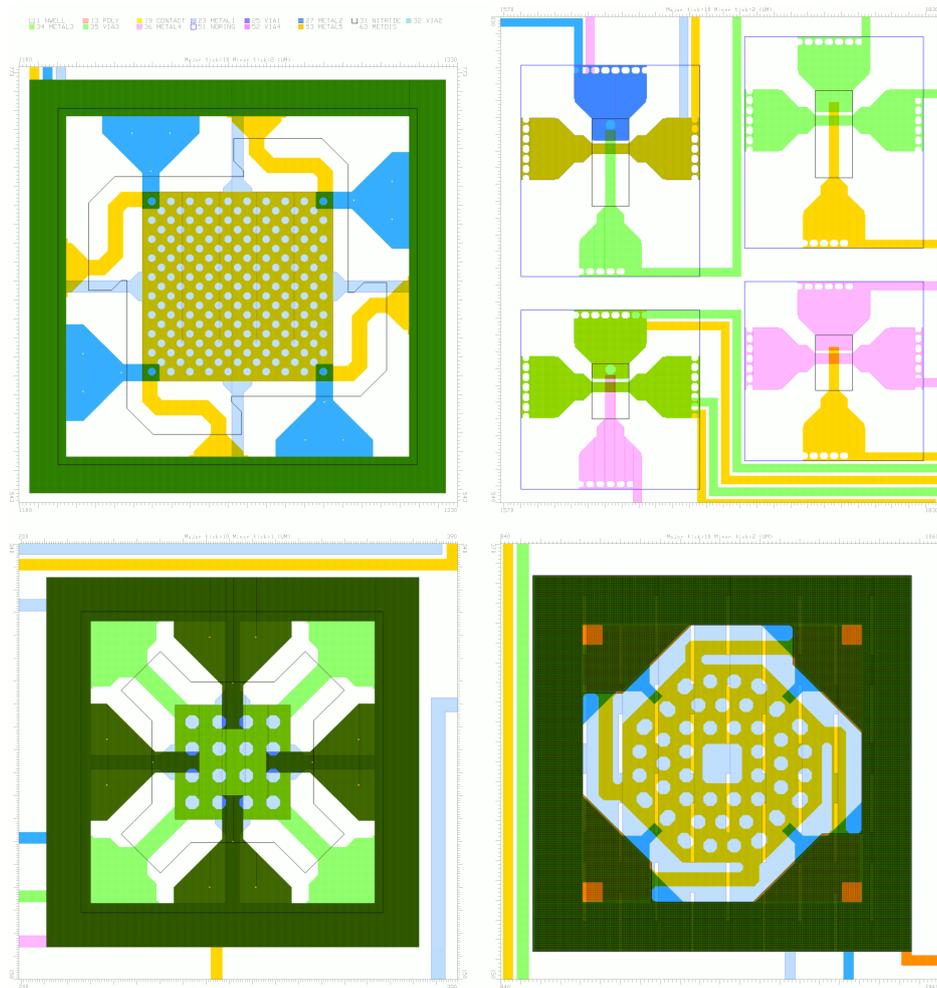


Figura 2.7: Ejemplos de interruptores y conmutadores desarrollados en la tecnología *C035M-A*. La membrana de la parte superior izquierda tiene unas dimensiones de $100 \times 100 \mu\text{m}$ con la armadura móvil en *M5*, la fija en *M1* y los contactos en *M2*. Las estructuras a su derecha son voladizos capaces de hacer de conmutadores (los dos de la izquierda) o interruptores (los dos de la derecha). El microsistema de abajo a la izquierda es un conmutador con armadura móvil en *M3*, armaduras fijas en *M1* y *M5* y contactos en *M2* y *M4*. El interruptor de abajo a la derecha fue diseñado por Baolab Microsystems y tiene la armadura móvil en *M5*, la fija en *M1* y los contactos en *M2*.

y *M3* y con un patrón de agujeros entrelazados de de $3 \mu\text{m}$ y $2 \mu\text{m}$, específicamente pensados para minimizar el residuo de óxido entre las armaduras. La armadura inferior está en *M1*.

2.3.3. Interruptores y conmutadores

Otros de los microsistemas diseñados para caracterizar la tecnología fueron los interruptores y conmutadores. Éstos no se diseñaron con el propósito de disponer de interruptores de radiofrecuencia (una de las principales aplicaciones), sino simplemente se diseñaron para que fueran útiles para medir parámetros como la vida media o la resistencia de contacto.

En la figura 2.7 se muestran algunos de los interruptores y conmutadores desarrollados con la tecnología *C035M-A*. Como puede verse en la figura, se utilizaron topologías basadas tanto en membranas como en voladizos. Los voladizos se diseñaron de varias dimensiones para asegurar bajas tensiones de actuación y un funcionamiento correcto ante niveles entonces desconocidos de estrés residual. En la tecnología *C035U-A* se diseñaron estructuras muy similares y además voladizos com-

puestos por varios niveles de metal, tal y como se muestra en la figura 2.8. En ella pueden verse estructuras con desplazamiento vertical, como los voladizos de la *C035M-A*, y otros con desplazamiento lateral. Éstos últimos no tienen ninguna ventaja sobre los actuadores de desplazamiento vertical (de hecho tienen el inconveniente de tener un superficie de contacto mucho más irregular), pero pueden resultar extremadamente útiles para determinar la resistencia mecánica y durabilidad de las capas de metal unidas por vías.

2.3.4. Microposicionadores

En la figura 2.9 se muestran unos diseños preliminares de microposicionadores desarrollados con la tecnología *C035U-A*. La estructura de la parte superior derecha es un microposicionador de tres ejes. Las dimensiones de la estructura cuadrada central son de $100 \times 100 \mu m$. A su derecha se muestra una membrana que tiene la peculiaridad de tener la armadura inferior segmentada en cuatro partes de forma que la fuerza eléctrica se puede aplicar en cada una de las cuatro regiones, de forma que ésta pueda inclinarse hacia el lado que se crea conveniente. La estructura de la parte inferior de la imagen es un microposicionador de un solo eje y cerca de $300 \mu m$ de largo.

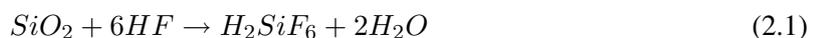
2.4. Ensayos de *release* de las estructuras

Una vez está fabricado el circuito CMOS que contiene el microsistema se hace necesario realizar el paso de *release*. Éste consiste en eliminar el óxido de silicio (denominado material sacrificial) entre las armaduras y los anclajes (material estructural) para que el microsistema pueda moverse. El óxido de silicio no es un material fácil de eliminar, principalmente porque los agentes de *etching* capaces de hacerlo también atacan al aluminio y a la pasivación de nitruro de silicio (lo que se denomina baja selectividad), destruyendo completamente el circuito integrado.

En este apartado se mostrarán los resultados de tres agentes de *etching* que se comprobaron para liberar los microsistemas del proceso CMOS.

2.4.1. Ácido fluorhídrico

El ácido fluorhídrico (*HF*) es el agente más conocido para eliminar el óxido de silicio (*SiO₂*). La reacción de disolución puede describirse como



Se ha reportado que en estado puro (o gaseoso), éste muestra una elevada selectividad al aluminio, no obstante, cuando está diluido en agua, su selectividad disminuye y rápidamente destruye las estructuras (véase Gennissen y French [34]). En teoría, el aluminio forma una película protectora a su alrededor de óxido de aluminio según $2Al + 3H_2O \rightarrow Al_2O_3 + 3H_2$, pero ésta se disuelve formando hidróxidos de aluminio ($Al(OH)_3$), que sólo son capaces de proteger el aluminio en un rango de *pH* de 4 a 8,5. Desafortunadamente, incluso en ácidos débiles como el fluorhídrico, se pueden formar células locales de muy bajo *pH* que causen oquedades en la estructura (véase Bühler *et al.* [35]).

Nótese que para que esta reacción ocurra es necesaria la presencia de agua (H_2O) y la de iones H^+ provenientes de la disociación de la molécula de *HF*. En Gennissen y French [34] se ha reportado que puede utilizarse el alcohol isopropílico (IPA) como diluyente del ácido fluorhídrico en lugar del agua para reducir la velocidad de ataque y así poder controlar mejor el tiempo de *release* sin dañar tanto las metalizaciones como en el caso de usar agua. La mejor solución, no obstante, es eliminar completamente el agua mediante un ataque usando ácido fluorhídrico en estado gaseoso controlando bien la temperatura y el flujo de gas para evaporar el agua generada por la reacción (2.1) (véase

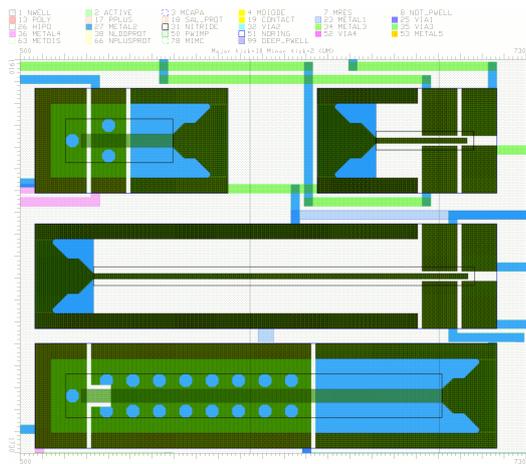


Figura 2.8: Ejemplos de conmutadores desarrollados en la tecnología *C035U-A*. Los conmutadores de la parte superior izquierda e inferior son actuadores con desplazamiento vertical y con la armadura móvil compuesta de *M3* y *M4* unidos por vias. Los conmutadores de la parte superior derecha y central son actuadores con desplazamiento lateral y con la armadura móvil compuesta de *M2*, *M3*, *M4* y *M5* unidos por vias.

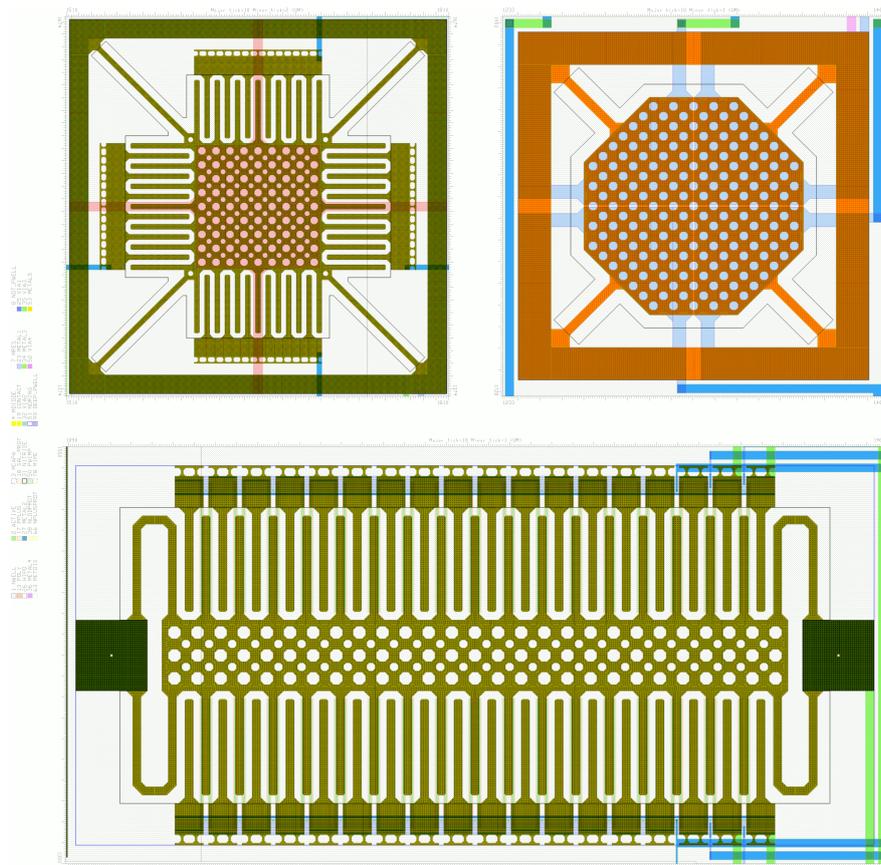


Figura 2.9: Ejemplos de microposicionadores desarrollados en la tecnología *C035U-A*. La estructura de arriba a la izquierda es un microposicionador de tres ejes formado por *M5*, *M4* y *M3*, con armaduras fijas de la misma composición en cada uno de los cuatro costados y una fija inferior en polisilicio. La estructura a su derecha es un microposicionador angular con la armadura móvil en *M5* y *M4* y la fija en *M1*, estando ésta segmentada en cuatro partes. La estructura inferior es un posicionador de un solo eje.

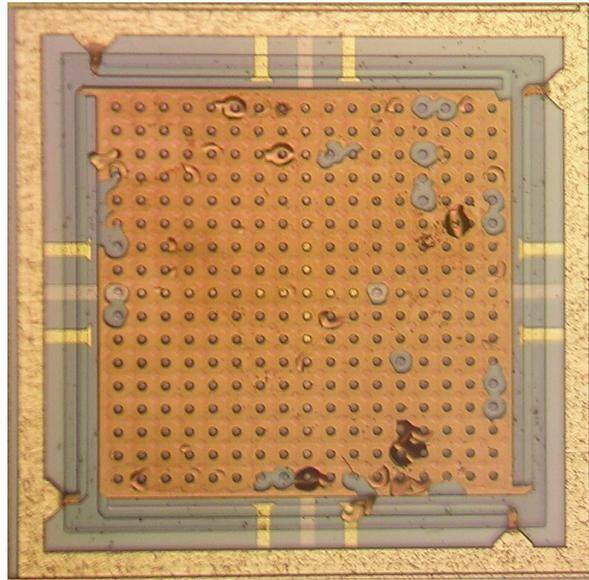


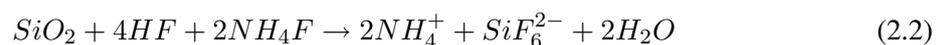
Figura 2.10: Ejemplos de *release* de un microsistema con ácido fluorhídrico (HF). La microfotografía muestra el estado del microsistema después de un ataque de 6'30'' al 2,5% de disolución del ácido en agua. Los anclajes y parte de la membrana desaparecieron durante el *release*, mientras que apenas se liberaron unos pocos nanómetros de óxido.

Witvrouw *et al.* [36]), lo que permite tener selectividades muy altas especialmente para las aleaciones aluminio-cobre ($AlCu$) típicas del proceso CMOS.

En las pruebas experimentales con circuitos CMOS, los resultados con diversas concentraciones y tiempos de *release* mostraron una muy baja selectividad al aluminio y a la pasivación, resultando siempre en la destrucción del microsistema y del circuito integrado antes de que se pudieran liberar las estructuras. Téngase en cuenta que las metalizaciones de aluminio del CMOS no son estrictamente de aluminio (de hecho, el fabricante se refiere a ellas como *Al-alloy*) y que éstas están envueltas en capas de titanio y nitruro de titanio, por lo que los resultados reportados en [34] pueden no aplicar exactamente debido a la formación de subproductos de la reacción química. En la figura 2.10 se muestran los mejores resultados que se pudieron obtener con diferentes disoluciones del ácido en agua, resultando siempre en pequeñas cantidades de óxido atacadas y severos daños a las estructuras.

2.4.2. Fluoruro de amonio

El fluoruro de amonio (NH_4F) también se utiliza con frecuencia en combinación con el agua y el ácido fluorhídrico como agente de *etching*. Sigue una reacción descrita por



Debido a la presencia de ácido fluorhídrico, el fluoruro de amonio también reacciona con el aluminio. No obstante, las pruebas experimentales demostraron que es posible liberar membranas y llegar hasta el sustrato de silicio, situado a más de 7,6 μm de profundidad, sin dañar excesivamente el aluminio estructural. En la figura 2.11 se muestra la microfotografía de una membrana liberada con fluoruro de amonio tras un ataque de 40' de duración. El ataque llega al sustrato, no obstante, medidas realizadas con un perfilómetro tras arrancar la armadura superior revelaron restos de óxido por encima de la armadura inferior, justo entre los agujeros de la membrana.

Un problema importante encontrado con el fluoruro de amonio fue su baja selectividad a la pasivación. Inspecciones con el microscopio óptico revelaron que el ataque de 40' había liberado conexiones

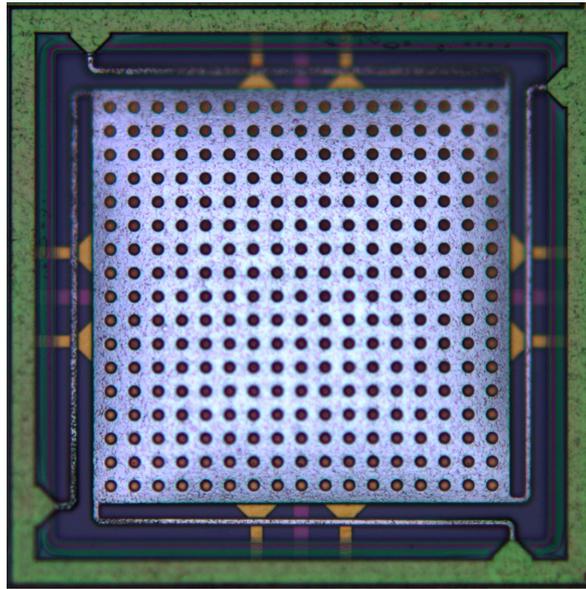


Figura 2.11: Ejemplo de *release* de un microchip con fluoruro de amonio (NH_4F). La microfotografía muestra el estado del microchip después de un ataque de 40' con fluoruro de amonio. El ataque es capaz de llegar hasta el sustrato sin dañar el microchip, no obstante, medidas con un perfilómetro revelaron residuos de óxido entre los agujeros por debajo de la membrana.

del circuito CMOS realizadas con el metal superior pese a estar protegidas por la pasivación. Esto, junto a la presencia de residuos de óxido debajo de las armaduras, limita severamente el tipo de estructuras que se pueden liberar con este agente de *etching*.

2.4.3. Fluoruro de amonio y ácido acético

Finalmente, se probó una solución propietaria basada en ácido acético, fluoruro de amonio, ácido fluorhídrico e inhibidores de corrosión específicamente pensados para el aluminio. La reacción del ácido acético es disociarse, tanto en agua y como en fluoruro de amonio para formar, respectivamente



No obstante, pese a que en las reacciones (2.3) y (2.4) se forman los compuestos necesarios para que el aluminio sufra daños importantes, en el trabajo de Bühler *et al.* [35] se ha reportado que el aluminio sólo sufre degradación durante los primeros minutos gracias a la formación de una película protectora a su alrededor al iniciar el ataque.

Los resultados experimentales con este agente de *etching* fueron muy satisfactorios. Las medidas indican una baja degradación tanto del aluminio como de la pasivación, no obstante, se ha de ser extremadamente cuidadoso con los contaminantes de la solución debido a que este agente deja con facilidad una gran cantidad de residuos. Se ha encontrado que el isopropanol reacciona con el agente de *etching* al sumergir las muestras en el mismo tras completar el *release*. También se ha comprobado que el agua reacciona, aunque en menor medida. La mejor técnica de secado que se encontró fue utilizar nitrógeno para eliminar la mayor parte del líquido y entonces sumergir las muestras en agua y proceder a un secado normal. La figura 2.12 muestra una microfotografía de una membrana tras un ataque de 75' y una posterior limpieza con agua, sin presecado de nitrógeno, revelando restos de

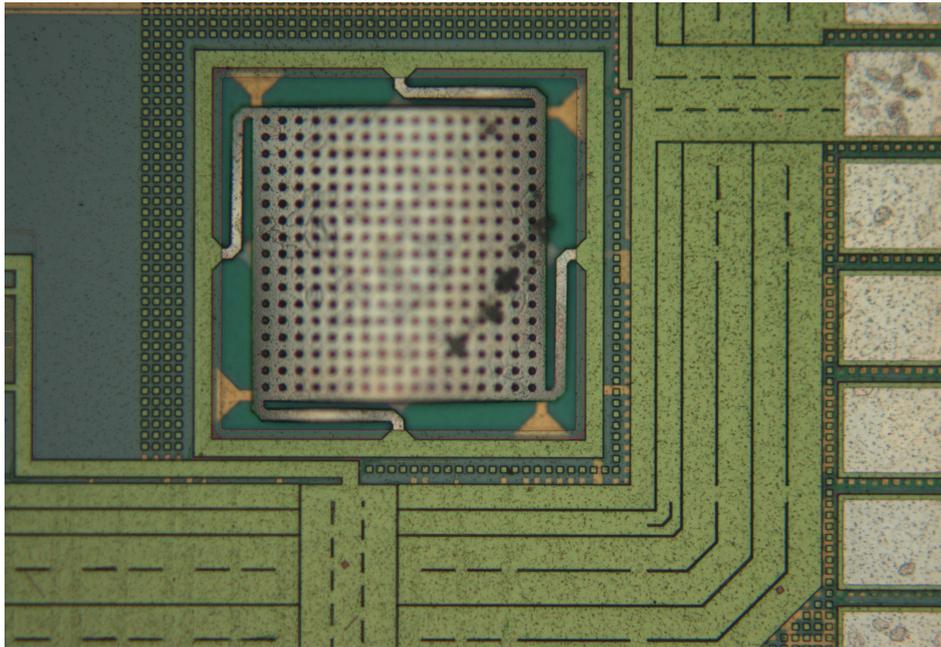


Figura 2.12: Ejemplo de *release* de un microsistema con fluoruro de amonio y ácido acético. La microfotografía muestra el estado del microsistema después de un ataque de 75' con una mezcla propietaria de fluoruro de amonio y ácido acético. El ataque elimina completamente los residuos de óxido entre las armaduras, no obstante, deja una cantidad de residuos importante debido a una utilización incorrecta del mismo, como puede observarse encima de los *pads*, de la membrana y del sustrato.

contaminación. Las observaciones con el microscopio óptico de los microsistemas con presecado no revelaron la presencia de ningún residuo.

2.5. Medidas experimentales y resultados

En esta parte se mostrarán las medidas y resultados de algunas de las estructuras diseñadas y liberadas mediante el agente de *etching* propietario basado en fluoruro de amonio y ácido acético. Desafortunadamente, debido a una serie de retardos por parte del fabricante, en el momento de escribir esta tesis los circuitos integrados diseñados en la tecnología *C035U-A* no estaban disponibles. No obstante, debido a las similitudes entre las tecnologías utilizadas, se espera que los resultados no difieran demasiado de los mostrados aquí con la *C035M-A*.

2.5.1. Estructuras de test

En la figura 2.13 se muestra una microfotografía de los voladizos *SDCant* utilizados para caracterizar la curvatura o estrés residual de las estructuras formadas por un único conductor. Recuérdese que esta estructura está formada por cuatro grupos de seis voladizos de idéntica longitud y $5 \mu m$ de anchura, y que cada grupo está formado por un único conductor, siendo éste, de izquierda a derecha, polisilicio, metal 1 (*M1*), metal 2 (*M2*), metal 3 (*M3*), metal 4 (*M4*) y metal 5 (*M5*). Los grupos tienen una longitud de $25 \mu m$, $50 \mu m$, $100 \mu m$ y $200 \mu m$.

En la figura 2.14 se muestra una medida realizada con el interferómetro del perfil longitudinal de los voladizos de $100 \mu m$ de longitud. Esta medida resulta útil para determinar el radio de curvatura de las estructuras causado por el estrés residual y con ellos determinar las propiedades mecánicas del material (véase Fang y Wickert [32]). A excepción de las medidas de la capa de polisilicio y *M1*, el

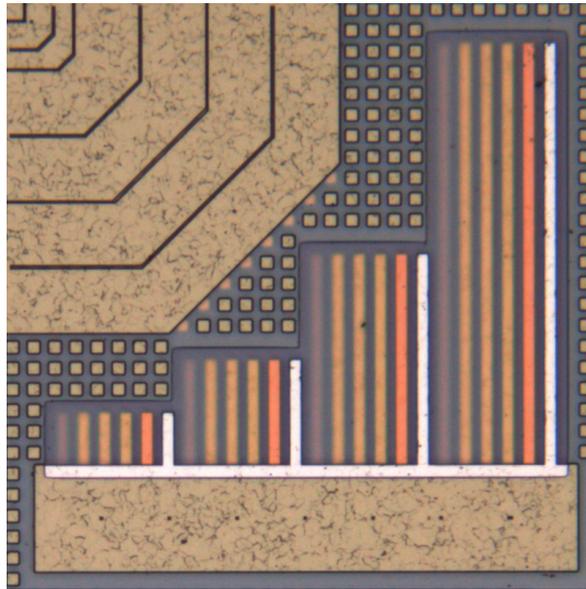


Figura 2.13: Microfotografía de la estructura *SDCant* utilizada para determinar el radio de curvatura.

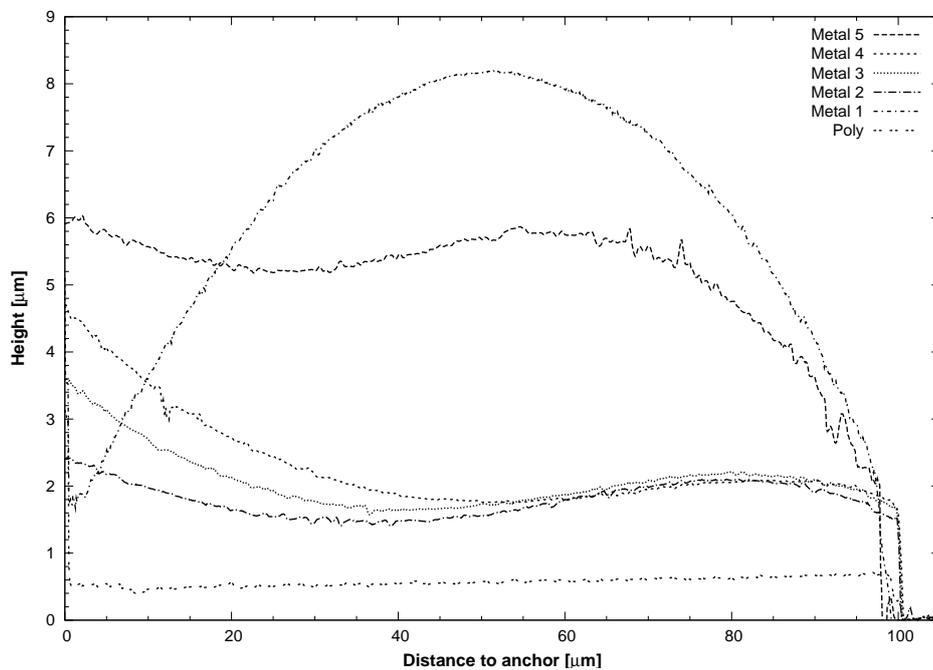


Figura 2.14: Perfil de los voladizos de 100 μm de longitud de la estructura *SDCant* obtenidos mediante un interferómetro. El tiempo de *release* fue de 75'. Observaciones en otras muestras indican que la curvatura en *M1* es atípica (probablemente causada por una deformación plástica del voladizo) y no es indicativa del estrés residual.

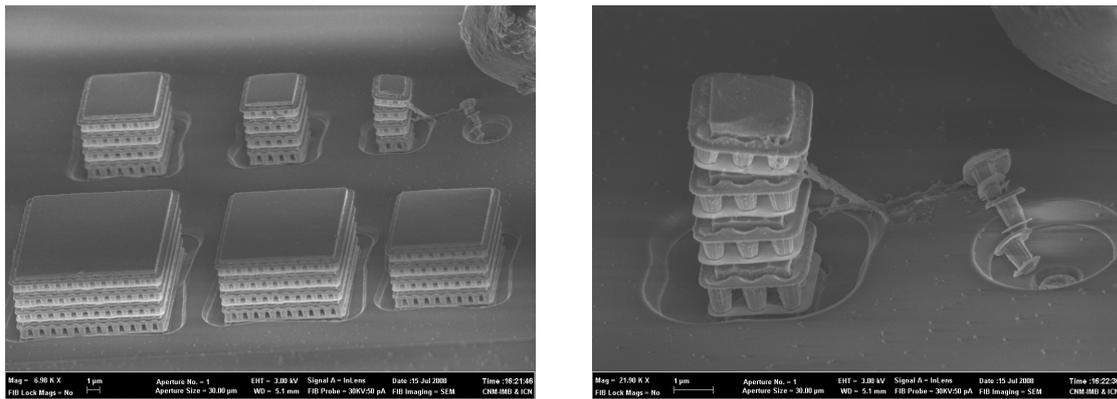


Figura 2.15: Vista general (izquierda) y detallada (derecha) obtenidas con un SEM de la estructura *ArrVia*. El tiempo de *release* fue de 45° . Nótese que las vias mantienen los diferentes niveles de metal unidos entre sí, excepto en la matriz de 1×1 via, debido, probablemente, a un impacto mecánico que puede intuirse en la extraña curvatura de la matriz 3×3 y en la fractura visible en la esquina superior derecha.

radio de curvatura de las estructuras es superior a $0,78 \text{ mm}$. En comparación con las otras muestras comprobadas, el voladizo en *M1* tiene un radio de curvatura atípico, no obstante, en todas las muestras dicho radio era menor que el de los otros metales, probablemente debido al menor grosor de la capa *M1* (véase el cuadro 2.1). Así mismo, el radio de curvatura de la capa en *M5* no es significativamente superior al del resto de metales pese a su mayor grosor, probablemente debido a la pérdida de material durante los largos tiempos de *release*. Por otro lado, el radio de curvatura del voladizo de polisilicio es comparable al del sustrato de referencia, por lo que no se puede asegurar que se haya liberado completamente.

La figura 2.15 muestra unas imágenes obtenidas mediante un *Scanning Electron Microscope* (SEM) de la estructura *ArrVia* tras un *release* de 45° . Recuérdese que esta estructura de test está formada por pilares de vias y contactos desde polisilicio hasta el metal superior (*M5*) de diferentes tamaños. Nótese que, según las imágenes, las vias son capaces de mantener unidos todos los niveles de metal pese a haberse eliminado el óxido entre ellos, lo que abre la posibilidad de diseñar estructuras compuestas de varios niveles de metal apilados, reduciendo así notablemente el radio de curvatura de las mismas debido al estrés residual. En la figura de la derecha se muestra una vista ampliada de las matrices de 1×1 y 3×3 vias. Nótese como la matriz de 1×1 via se ha derrumbado, probablemente debido a un impacto mecánico, como atestiguan la curvatura anómala de la matriz 3×3 y la fractura visible en la esquina superior derecha de ambas figuras. Se ha observado en otras medidas que en ocasiones las matrices de vias se desenganchan completamente del sustrato de polisilicio, indicando que los contactos entre éste y *M1* tienen una resistencia mecánica inferior al de las vias entre metal y metal.

Por otro lado, nótese que el ataque ha disuelto más óxido en las proximidades de las matrices de vias, llegando hasta *M1*, mientras que lejos de ellas el ataque solo ha disuelto hasta *M2*. Se desconoce con seguridad las causas exactas de este fenómeno, pero se sospecha que puede deberse a un aumento de la reactividad del agente de *etching* alrededor de las estructuras metálicas. Para verificar esto, se haría necesario hacer el *release* mediante alguna técnica que asegurara un flujo continuo o movimiento del agente.

En ambas imágenes también puede verse la composición multicapa de los conductores, siendo visibles tres capas en cada nivel de metal, excepto en el metal superior. Probablemente el fabricante no deposita la capa de ARC encima del metal superior para no aumentar la resistividad de las conexiones *wire-bonding*. Medidas mostradas más adelante indican que el fabricante sólo deposita la capa de ARC en el metal superior si hay pasivación encima. Nótese también que el aluminio tiene un tamaño

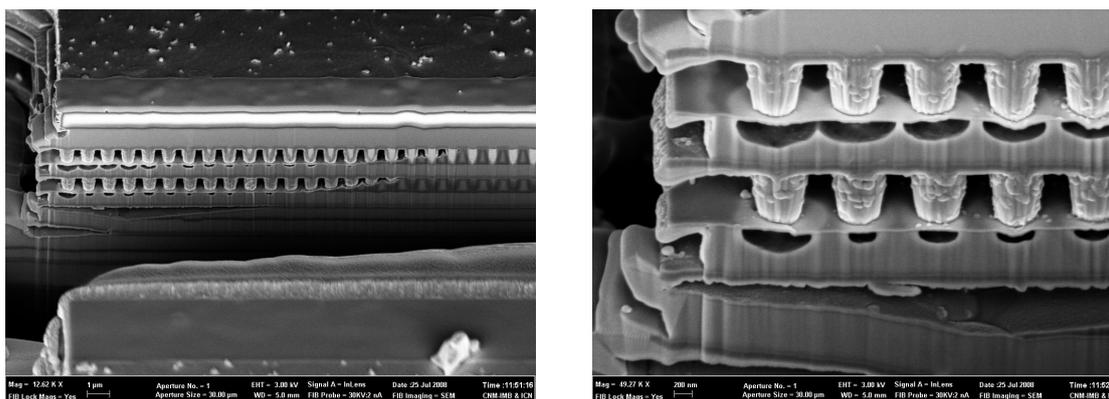


Figura 2.16: Vista general (izquierda) y detallada (derecha) obtenidas con un SEM del interior de una estructura formada por la pasivación, $M5$, vía 4, $M4$, vía 3, $M3$ y $M2$. Para ver el interior se realizó un corte con un FIB. El tiempo de *release* fue de 45'. Nótese como durante el *release* se ha disuelto buena parte del óxido de silicio entre las vias, y además, parte del aluminio justo debajo de ellas. En la imagen de la derecha puede verse una microfractura en la capa Ti/TiN alrededor de la vía 3 de más a la izquierda.

ligeramente inferior al de las barreras Ti/TiN por encima y debajo de él, cosa que debe tenerse muy en cuenta a la hora de diseñar estructuras muy delgadas de metal. En la matriz de 1×1 vía puede verse también esta composición multicapa de los conductores. Como demuestra la imagen, las vias de tungsteno atraviesan la delgada capa de Ti/TiN para contactar directamente sobre el aluminio (la forma de la vía queda marcada sobre la capa de aluminio que queda anclada a la estructura), probablemente para disminuir la resistencias de contacto de las vias.

Para ver mejor el comportamiento del *release* a las vias se realizaron una serie de cortes mediante un *Focused Ion Beam* (FIB) para ver la estructura interna de las matrices. La figura 2.16 muestra un corte en una estructura formada por la pasivación, $M5$, vía 4, $M4$, vía 3, $M3$ y $M2$. El agente de *etching* entraba por el lado izquierdo de la imagen. Nótese que el agente ha disuelto buena parte del óxido entre las vias y ha atacado al aluminio justo debajo de ellas. La razón de que el agente haya disuelto tanta distancia de óxido en horizontal entre las vias en comparación con la distancia vertical (véase la figura 2.15), así como el aluminio justo debajo de ellas, es desconocida, pero se sospecha una vez más de un posible aumento de la reactividad del agente de *etching* en las zonas de difícil acceso donde hay un bajo flujo de líquido. La figura de la derecha muestra una ampliación de la imagen en la que puede verse una microfractura en la capa Ti/TiN alrededor de la vía 3 de más a la izquierda. Esto puede plantear problemas de durabilidad de los microsistemas diseñados con varias capas de metal que deben ser investigados con mayor detalle.

2.5.2. Membranas

La figura 2.17 muestra una imagen SEM de dos de las membranas diseñadas. La armadura libre de la membrana de la izquierda tiene un área de $100 \times 100 \mu m$ y está hecha en $M5$ y además está cubierta de pasivación, lo que le proporciona una menor superficie expuesta al agente de *etching* y, además, una capa de titanio y nitruro de titanio por la parte superior. La armadura fija está en $M3$. Se ha observado que esta estructura presenta una menor curvatura que el mismo diseño sin pasivación y sin la capa Ti/TiN . Tras el *release* de 60' puede verse, además de una fractura en la capa de pasivación provocada por algún roce con otra superficie, que algunos de los anclajes han perdido firmeza a causa de la rápida disolución del óxido de silicio alrededor de las estructuras metálicas (véase el anclaje de la parte superior). En la misma imagen, a la derecha, se muestra una membrana de $50 \times 50 \mu m$ construida con $M5$ como armaduras libre y $M3$ como armadura fija.

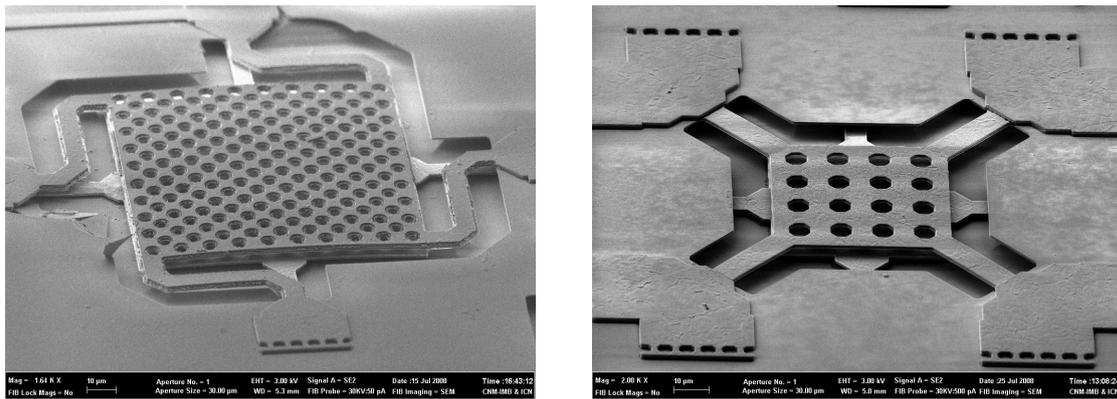


Figura 2.17: Vista SEM general de dos de las membranas diseñadas. La membrana de la izquierda tiene unas dimensiones de $100 \times 100 \mu\text{m}$ y está construida utilizando la pasivación y $M5$ como armadura fija, mientras que la de la derecha mide $50 \times 50 \mu\text{m}$ y utiliza $M5$ solamente. La armadura inferior está en $M3$ en ambos casos. Los tiempos de release son de $60'$ para la izquierda y $45'$ para la derecha.

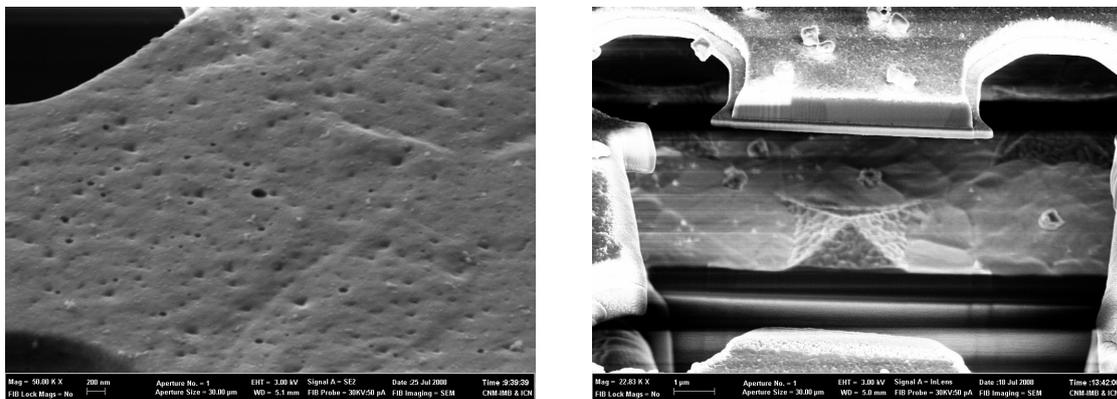


Figura 2.18: Vistas detalladas SEM de dos membranas: La imagen de la izquierda muestra la superficie de una membrana revelando solamente daños muy ligeros al aluminio tras un *release* de $45'$. La imagen de la derecha muestra el espacio entre las dos armaduras de un actuador hecho en $M5$ y $M3$ tras un *release* de $30'$. Para ver el interior se realizó un corte con un FIB. Nótese como con este tiempo de *release* todavía quedan pequeños restos de óxido encima de $M3$ justo entre los agujeros de la armadura superior.

En la figura 2.18 de la izquierda se muestra la superficie de una de las membranas que no están protegidas por la pasivación tras un ataque de $45'$. Nótese que esta ha sufrido pocos daños y que conserva una buena textura. Observaciones realizadas sobre membranas protegidas por la capa Ti/TiN del ARC, esto es, debajo de la pasivación, indican que el titanio actúa muy bien como protección del aluminio estructural al ataque del agente de *etching*. La figura de la derecha muestra el espacio entre las membranas de un actuador tras una ataque de $30'$. Para obtener esta imagen se hizo un corte mediante un FIB de la estructura, revelando la presencia de pequeños residuos de óxido encima de la armadura inferior de $M3$ y justo entre los agujeros de la armadura superior. Los agujeros son octogonales con una apotema de $2 \mu\text{m}$ en un patrón entrelazado, como el de la membrana de la izquierda de la figura 2.17.

2.5.3. Interruptores y conmutadores

La figura 2.19 muestra dos imágenes SEM de unas membranas funcionando como interruptores, ambas con un tiempo de *release* de $45'$. La imagen de la izquierda muestra un interruptor con la

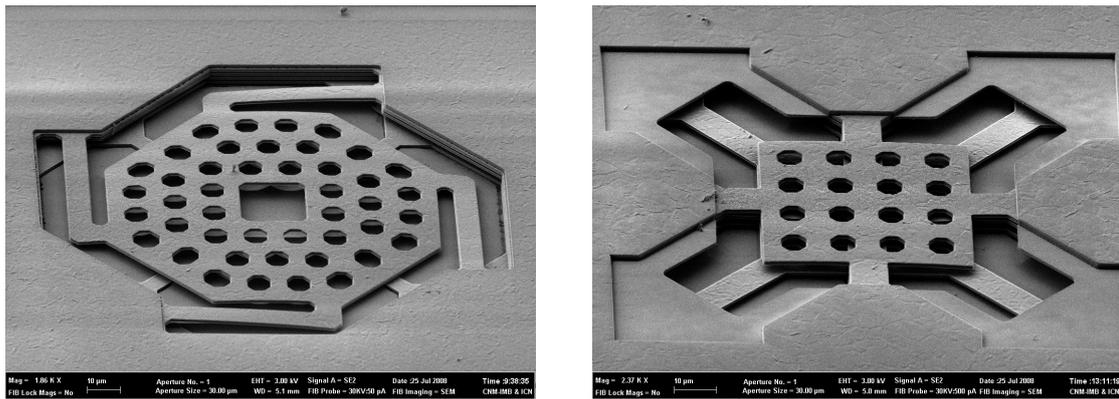


Figura 2.19: Vistas SEM de algunos de los interruptores y conmutadores basados en membranas. La imagen de la izquierda muestra un interruptor con la armadura fija en $M1$, la móvil en $M5$ y los contactos en $M2$. La imagen de la derecha muestra un conmutador con las armaduras fijas en $M1$ y $M5$, los contactos en $M2$ y $M4$ y la armadura móvil en $M3$. El tiempo de *release* fue de 45'.

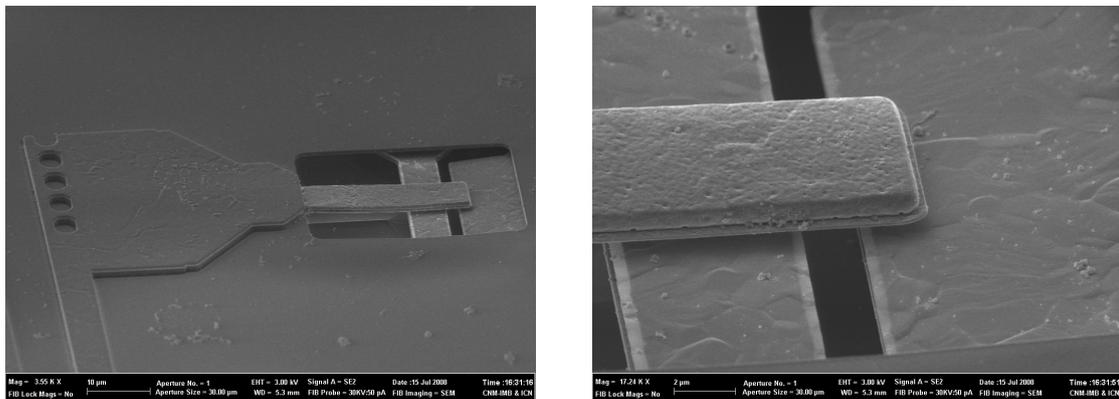


Figura 2.20: Vistas general (izquierda) y detallada (derecha) obtenida con un SEM de un interruptor basado en voladizo. El interruptor tiene la armadura móvil en $M5$ y la fija y el contacto en $M4$. Nótese que la curvatura hacia abajo del contacto (a la derecha de la imagen) probablemente causará que las armaduras se cortocircuiten antes de que se pueda establecer contacto. El tiempo de *release* fue de 60'.

armadura fija en $M1$, la móvil en $M5$ y los contactos en $M2$. La imagen de la derecha muestra un conmutador con unas armaduras de $50\ \mu\text{m} \times 50\ \mu\text{m}$ fijas en $M1$ y $M5$, móvil en $M3$ y los contactos en $M2$ y $M4$. Este tiempo de *release* no permite observar las armaduras fijas en $M1$, aunque sí los contactos en $M2$.

La figura 2.20 una vista general y otra detallada de uno de los voladizos utilizados como interruptor tras un *release* de 60'. La armadura móvil está $M5$ y la fija y el contacto en $M4$. Nótese que la curvatura hacia abajo del contacto (a la derecha de la imagen) probablemente causará que las armaduras se cortocircuiten antes de que la armadura móvil y el contacto se toquen. Esto indica que debe mejorarse el diseño para anclar mejor la estructura.

Para poder determinar la posición exacta de las armaduras después del *release*, en la figura 2.21 se muestra una imagen del relieve de uno de los conmutadores y en la figura 2.22 el perfil de la armadura móvil, obtenidos con un interferómetro. Este microsistema tiene la armadura móvil en $M4$ y las fijas y los contactos en $M5$ y $M3$. Como demuestra el perfil de la figura 2.22, el conmutador ha quedado en posición inferior después del *release*. Esto no es un problema debido a que el dispositivo es de tres armaduras y se puede cambiar de posición aplicando una fuerza en sentido contrario actuando sobre la armadura móvil y la fija superior.

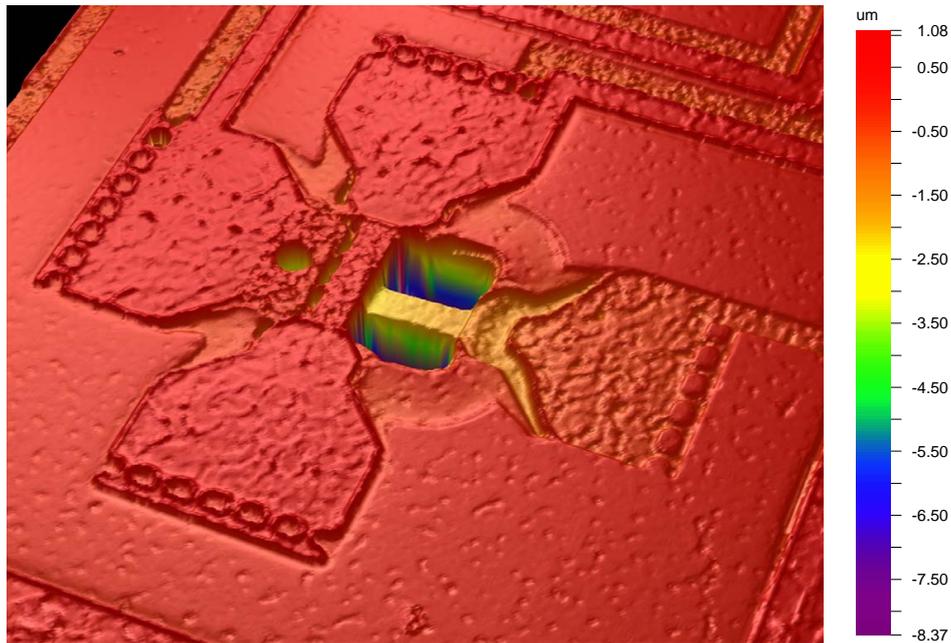


Figura 2.21: Vista con interferómetro de un conmutador basado en voladizo. La armadura móvil está en $M4$ y las fijas y los contactos en $M5$ y $M3$. El tiempo de *release* fue de $75'$.

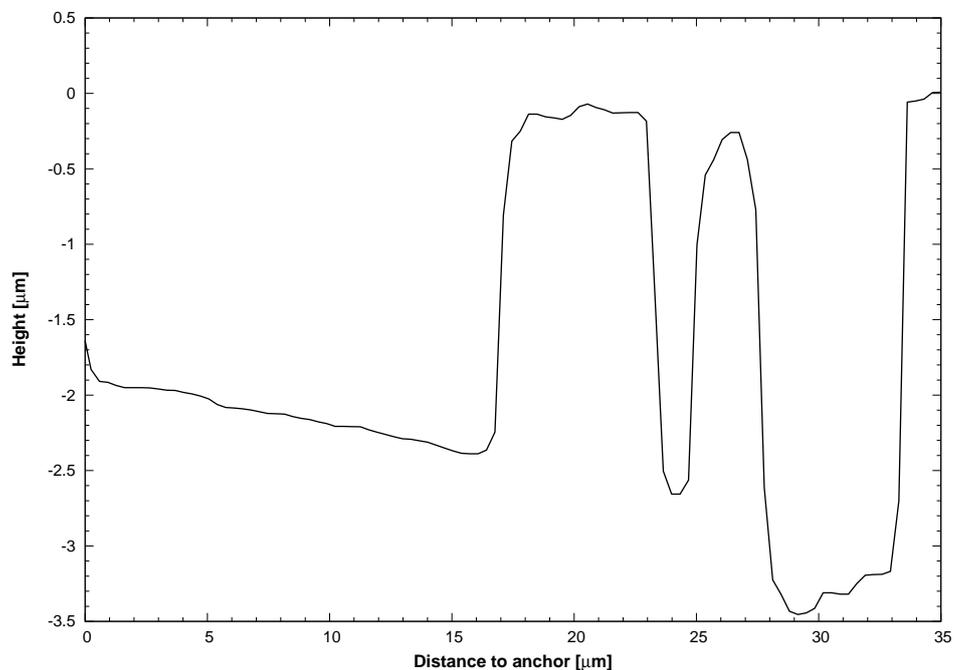


Figura 2.22: Perfil obtenido con el interferómetro a lo largo de la armadura móvil del microsistema de la figura anterior. La estructura a una distancia entre $18 \mu m$ y $23 \mu m$ del anclaje es la armadura superior. La que está entre $25 \mu m$ y $26 \mu m$ es parte de la armadura de contacto, seguida por el agujero octogonal entre $28 \mu m$ y $34 \mu m$, a través del cuál puede verse la armadura de contacto inferior. Nótese como el microsistema ha quedado en posición inferior.

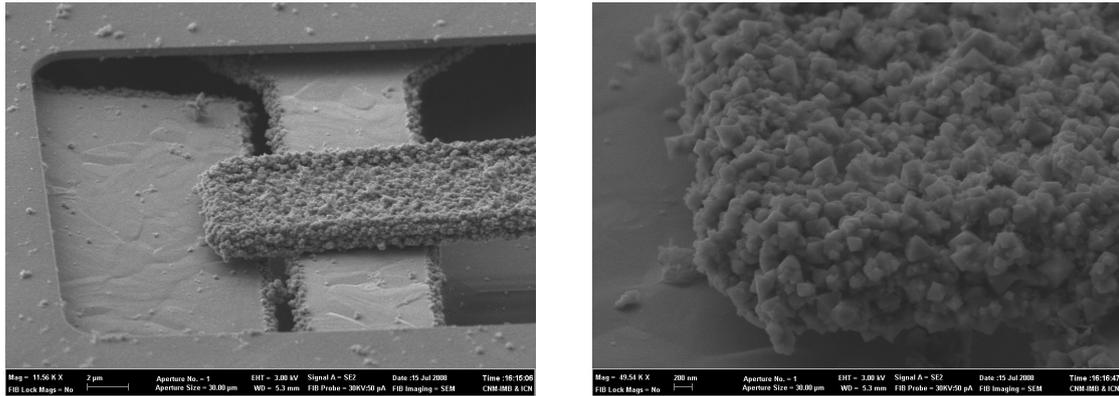


Figura 2.23: Vistas general (izquierda) y detallada (derecha) obtenida con un SEM del interruptor de la figura 2.20 contaminado por una sustancia cristalina. Nótese que esta sustancia tiene preferencia por depositarse sobre el aluminio.

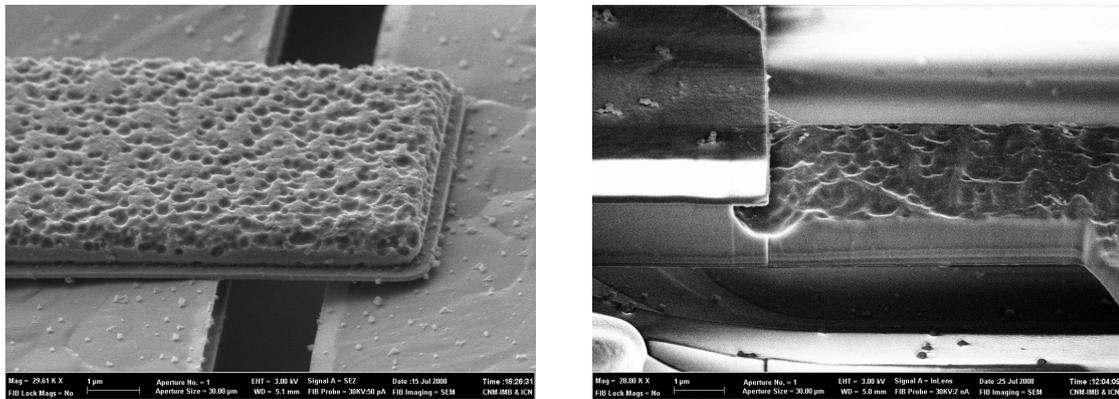


Figura 2.24: Oquedades (*pitting*) sobre el aluminio del interruptor de la figura 2.20 y detalle del anclaje tras un corte con el FIB. Nótese que el grosor del aluminio en el entorno de la pasivación disminuye notablemente a causa del ataque. El tiempo de *release* fue de 45'.

2.5.4. Efectos de la contaminación

En la figura 2.23 se muestra el mismo interruptor que en la figura 2.20 pero afectado por una contaminación. En varias medidas se ha encontrado que este contaminante tiene una alta preferencia por depositarse sobre el aluminio, cualquiera que sea la capa. La presencia de estructuras con forma aproximada de octaedros indica que el contaminante cristaliza en el sistema cúbico o trigonal. El cristal sobre la armadura de contacto que puede verse en la imagen de la izquierda apunta a éste último. Numerosos materiales utilizados en la tecnología CMOS cristalizan en este sistema, aunque su preferencia por crecer sobre el aluminio sugiere que se trata de óxido de aluminio (Al_2O_3) formado durante el proceso de *release* o de limpiado, aunque la naturaleza exacta del contaminante se desconoce.

En la figura 2.24 puede verse la estructura de aluminio del voladizo dañada por unas oquedades (*pitting*) en su superficie. Estos daños se atribuyen a la formación de células locales de muy bajo *pH*. Éstas pueden causar una pérdida de efectividad de los aditivos protectores del aluminio del agente de *release* (véase Bühler *et al.* [35]). A la derecha vemos una ampliación de la zona cercana al anclaje tras un corte vertical con un FIB, mostrando la capa de pasivación (en tonalidad brillante), la de aluminio (*M5*) y el óxido de silicio remanente. Nótese que la estructura de aluminio está muy dañada justo donde acaba la capa de pasivación. Se cree que esto es debido al efecto conjunto de los contaminantes

y el bajo flujo de líquido en esa zona. Para evitar que este fenómeno afectara a las características mecánicas del microsistema, la ventana de nitruro podría dibujarse con la misma forma que el metal superior, añadiendo así una barrera protectora de ARC adicional (como puede verse justo debajo de la pasivación). Otra solución consistiría en no cerrar la abertura de la pasivación justo donde acaba en anclaje (zona con mayor estrés mecánico) sino en medio del anclaje, por ejemplo.

2.6. Conclusiones y trabajo futuro

En este capítulo de la tesis se han presentado diseños de microsistemas y estructuras de test pensadas para la caracterización de la tecnología CMOS *C035M-A* y *C035U-A* de AMIS Semiconductor. También se han presentado resultados con varios agentes de *etching* y, tras seleccionar el más adecuado, se han mostrado los resultados tras el proceso de *release*, destacando las características más notables del proceso de fabricación reveladas por cada estructura de test.

Este estudio sienta las bases necesarias para iniciar el diseño de microsistemas más complejos integrados de forma monolítica en la tecnología CMOS. Una vez se concluya el estudio con las medidas de las estructuras de test de la tecnología *C035U-A*, se estará en disposición de definir un conjunto completo de reglas de diseño pensadas para maximizar el *yield* del proceso de fabricación. Éstas permitirán dar una alta confiabilidad en el éxito de los diseños de microsistemas dentro de los procesos CMOS estudiados y con ello, gracias al bajo coste y estandarización del proceso, que cada vez los microsistemas se utilicen con mayor frecuencia en aplicaciones dominadas por mercados que exijan un bajo precio del producto final.

Referencias

- [1] O. Brand. “Microsensor Integration Into Systems-on-Chip”. *Proceedings of the IEEE*, tomo 94, nº 6, (2006), páginas 1160–1176. ISSN 0018-9219.
- [2] H. Baltes, O. Brand, A. Hierlemann, D. Lange y C. Hagleitner. “CMOS MEMS - present and future”. En *Micro Electro Mechanical Systems, 2002. The Fifteenth IEEE International Conference on*. 2002, páginas 459–466.
- [3] John A. Yasaitis, Michael Judy, Tim Brosnihan, Peter M. Garone, Nikolay Pokrovskiy, Debbie Sniderman, Scott Limb, Roger T. Howe, Bernhard E. Boser, Moorthi Palaniapan, Xuesong Jiang y Sunil Bhawe. “A modular process for integrating thick polysilicon MEMS devices with sub-micron CMOS”. tomo 4979. SPIE, 2003, páginas 145–154.
- [4] J.H. Smith, S. Montague, J.J. Sniegowski, J.R. Murray y P.J. McWhorter. “Embedded micromechanical devices for the monolithic integration of MEMS with CMOS”. En *Electron Devices Meeting, 1995., International*. 1995, páginas 609–612.
- [5] T. Scheiter, H. Kapels, K.-G. Oppermann, M. Steger, C. Hierold, W.M. Werner y H.-J. Timme. “Full integration of a pressure-sensor system into a standard BiCMOS process”. *Sensors and Actuators A: Physical*, tomo 67, nº 1-3, (1998), páginas 211–214.
- [6] “Página Web de Dalsa semiconductor”.
- [7] A. Mehta, M. Gromova, C. Rusu, R. Olivier, K. Baert, C. Van Hoof y A. Witvrouw. “Novel high growth rate processes for depositing poly-SiGe structural layers at CMOS compatible temperatures”. En *Micro Electro Mechanical Systems, 2004. 17th IEEE International Conference on. (MEMS)*. 2004, páginas 721–724.
- [8] A. Mehta, M. Gromova, P. Czarnecki, K. Baert y A. Witvrouw. “Optimisation of PECVD poly-SiGe layers for MEMS post-processing on top of CMOS”. En *Solid-State Sensors, Actuators and Microsystems, 2005. Digest of Technical Papers. TRANSDUCERS '05. The 13th International Conference on*, tomo 2. 2005, páginas 1326–1329 Vol. 2.

- [9] Huikai Xie, L. Erdmann, Xu Zhu, K.J. Gabriel y G.K. Fedder. “Post-CMOS processing for high-aspect-ratio integrated silicon microstructures”. *Microelectromechanical Systems, Journal of*, tomo 11, nº 2, (2002), páginas 93–101. ISSN 1057-7157.
- [10] Ching-Liang Dai, Jing-Hung Chiou y Michael Shiang-Cheng Lu. “A maskless post-CMOS bulk micromachining process and its application”. *Journal of Micromechanics and Microengineering*, tomo 15, nº 12, (2005), páginas 2366–2371. ISSN 0960-1317.
- [11] Harrie A. C. Tilmans, Kris Baert, Agnes Verbist y Robert Puers. “CMOS foundry-based micromachining”. *Journal of Micromechanics and Microengineering*, tomo 6, nº 1, (1996), páginas 122–127. ISSN 0960-1317.
- [12] Ching-Liang Dai. “A maskless wet etching silicon dioxide post-CMOS process and its application”. *Microelectronic Engineering*, tomo 83, nº 11-12, (2006), páginas 2543–2550.
- [13] A. Uranga, J. Teva, J. Verd, J.L. Lopez, F. Torres, J. Esteve, G. Abadal, F. Perez-Murano y N. Barniol. “Fully CMOS integrated low voltage 100 MHz MEMS resonator”. *Electronics Letters*, tomo 41, nº 24, (2005), páginas 1327–1328. ISSN 0013-5194.
- [14] Jordi Teva Meroño. *Integration of CMOS-MEMS resonators for radiofrequency applications in the VHF and UHF bands*. Tesis Doctoral, Departament d’Enginyeria Electrònica, UAB, 2007.
- [15] Chuanwei Wang, Ming-Han Tsai, Chih-Ming Sun y Weileun Fang. “A novel CMOS out-of-plane accelerometer with fully differential gap-closing capacitance sensing electrodes”. *Journal of Micromechanics and Microengineering*, tomo 17, nº 7, (2007), páginas 1275–1280. ISSN 0960-1317.
- [16] Ming-Han Tsai, Chih-Ming Sun, Chuanwei Wang, Jrhoung Lu y Weileun Fang. “A monolithic 3D fully-differential CMOS accelerometer”. En *Nano/Micro Engineered and Molecular Systems, 2008. NEMS 2008. 3rd IEEE International Conference on*. 2008, páginas 1067–1070.
- [17] Ching-Liang Dai y Wei-Chiang Yu. “A micromachined tunable resonator fabricated by the CMOS post-process of etching silicon dioxide”. *Microsystem Technologies*, tomo 12, nº 8, (2006), páginas 766–772.
- [18] Ching-Liang Dai, Heng-Ming Hsu, Mao-Chen Liu, Mao-Kuo Wei y Ming-Wei Chang. “Fabrication of a Micromachined Tunable Capacitor Using the Complementary Metal–Oxide–Semiconductor Post-Process of Etching Metal Layers”. *Japanese Journal of Applied Physics*, tomo 45, (2006), páginas 1018–1020. doi:10.1143/JJAP.45.1018.
- [19] Ching-Liang Dai, Shih-Chieh Lin y Ming-Wei Chang. “Fabrication and characterization of a microelectromechanical tunable capacitor”. *Microelectronics Journal*, tomo 38, nº 12, (2007), páginas 1257–1262.
- [20] A. Uranga, J. Verd, J.L. Lopez, J. Teva, G. Abadal, F. Torres, J. Esteve, F. Perez-Murano y N. Barniol. “Fully integrated MIXLER based on VHF CMOS-MEMS clamped-clamped beam resonator”. *Electronics Letters*, tomo 43, nº 8, (2007), páginas 452–454. ISSN 0013-5194.
- [21] J. Verd, A. Uranga, G. Abadal, J. Teva, F. Torres, F. Perez-Murano, J. Fraxedas, J. Esteve y N. Barniol. “Monolithic mass sensor fabricated using a conventional technology with attogram resolution in air conditions”. *Appl. Phys. Lett.*, tomo 91, nº 1, (2007), páginas 013501–3.
- [22] Ying-Chou Cheng, Ching-Liang Dai, Chi-Yuan Lee, Ping-Hei Chen y Pei-Zen Chang. “A MEMS micromirror fabricated using CMOS post-process”. *Sensors and Actuators A: Physical*, tomo 120, nº 2, (2005), páginas 573–581.
- [23] Y.-C. Cheng, C.-L. Dai, C.-Y. Lee, P.-H. Chen y P.-Z. Chang. “A circular micromirror array fabricated by a maskless post-CMOS process”. *Microsystem Technologies*, tomo 11, nº 6, (2005), páginas 444–451.
- [24] K.P. Rodbell, D.B. Knorr y D.P. Tracy. “Texture Effects on the Electromigration Behavior of Layered Ti/AlCu/Ti Films”. En *Materials Research Society*, editor, *Materials Research Society Symposium Proceedings*. 1993, páginas 107–113.

- [25] D. P. Tracy, D. B. Knorr y K. P. Rodbell. "Texture in multilayer metallization structures". *J. Appl. Phys.*, tomo 76, n° 5, (1994), páginas 2671–2680.
- [26] Yasunori Inoue, Shin-ichi Tanimoto, Kazutoshi Tsujimura, Tomio Yamashita, Yoshikazu Ibara, Yasuhiko Yamashita y Kiyoshi Yoneda. "Behavior of TiN and Ti Barrier Metals in Al-Barrier-Al Via Hole Metallization". *J. Electrochem. Soc.*, tomo 141, n° 4, (1994), páginas 1056–1061.
- [27] M. Ben Daia, P. Aubert, S. Labdi, C. Sant, F. A. Sadi, Ph. Houdy y J. L. Bozet. "Nanoindentation investigation of Ti/TiN multilayers films". *J. Appl. Phys.*, tomo 87, n° 11, (2000), páginas 7753–7757.
- [28] Jr Sharpe, W.N., Bin Yuan, R. Vaidyanathan y R.L. Edwards. "Measurements of Young's modulus, Poisson's ratio, and tensile strength of polysilicon". En *Micro Electro Mechanical Systems, 1997. MEMS '97, Proceedings, IEEE, Tenth Annual International Workshop on*. 1997, páginas 424–429.
- [29] M. W. Denhoff. "A measurement of Young's modulus and residual stress in MEMS bridges using a surface profiler". *Journal of Micromechanics and Microengineering*, tomo 13, n° 5, (2003), páginas 686–692. ISSN 0960-1317.
- [30] B. P. van Drieënhuizen, J. F. L. Goosen, P. J. French y R. F. Wolffenbuttel. "Comparison of techniques for measuring both compressive and tensile stress in thin films". *Sensors and Actuators A: Physical*, tomo 37-38, (1993), páginas 756–765.
- [31] L. Elbrecht, U. Storm, R. Catanescu y J. Binder. "Comparison of stress measurement techniques in surface micromachining". *Journal of Micromechanics and Microengineering*, tomo 7, n° 3, (1997), páginas 151–154. ISSN 0960-1317.
- [32] W. Fang y J. A. Wickert. "Determining mean and gradient residual stresses in thin films using micromachined cantilevers". *Journal of Micromechanics and Microengineering*, tomo 6, n° 3, (1996), páginas 301–309. ISSN 0960-1317.
- [33] "Página Web de Baolab Microsystems".
- [34] P.T.J. Gennissen y P.J. French. "Sacrificial oxide etching compatible with aluminum metallization". En *Solid State Sensors and Actuators, 1997. TRANSDUCERS '97 Chicago., 1997 International Conference on*, tomo 1. 1997, páginas 225–228 vol.1.
- [35] J. Bühler, F.-P. Steiner y H. Baltes. "Silicon dioxide sacrificial layer etching in surface micromachining". *Journal of Micromechanics and Microengineering*, tomo 7, n° 1, (1997), páginas R1–R13. ISSN 0960-1317.
- [36] Ann Witvrouw, Bert Du Bois, Piet De Moor, Agnes Verbist, Chris A. Van Hoof, Hugo Bender y Christiaan Baert. "Comparison between wet HF etching and vapor HF etching for sacrificial oxide removal". En *Proc. SPIE*, tomo 4174. SPIE, Santa Clara, CA, USA, 2000 agosto, páginas 130–141.