

UMB

Escuela Técnica Superior de Ingeniería

Modelización y Fabricación de
Dispositivos Supresores TVS para
Protección en Aplicaciones de Baja
Tensión.

Memoria presentada por
Jesús Roberto Urresti Ibáñez
para optar al Grado de
Doctor en Ingeniería Electrónica

Director
Dr. Salvador Hidalgo Villena

Bellaterra, Octubre 2008



El Prof. Jordi Suñé Tarruella, Catedrático de Electrónica del Departamento de Ingeniería Electrónica de la Escuela Técnica Superior de Ingeniería de la UAB y tutor de la presente tesis doctoral

CERTIFICA:

Que la memoria *Modelización y Fabricación de Dispositivos Supresores TVS para Protección en Aplicaciones de Baja Tensión* presentada por D. Jesús Roberto Urresti Ibáñez para optar al grado de Doctor en Ingeniería Electrónica, ha sido realizada bajo la dirección del Dr. Salvador Hidalgo Villena, Científico Titular del CSIC, y que es apta para ser presentada en trámite de lectura y defensa pública.

Bellaterra, Octubre de 2008.



Prof. Jordi Suñé Tarruella



Dr. Salvador Hidalgo Villena

Agradecimientos

Me gustaría aprovechar la ocasión, antes de presentar este trabajo, para expresar mi agradecimiento a todas aquellas personas que lo han hecho posible.

En primer lugar, quiero agradecer a los Profesores Francesc Serra y Emilio Lora-Tamayo el hecho de permitir realizar esta tesis doctoral en las instalaciones del IMB-CNM. Así mismo, quiero manifestar mi mas sincero agradecimiento al Dr. Salvador Hidalgo, director de esta tesis, por toda su dedicación, su predisposición constante al diálogo y aportación de ideas, su paciencia y su crítica constructiva. También quiero expresar mi reconocimiento al Prof. José Millan y a los Doctores José Rebollo y David Flores por su útiles consejos y ánimos.

Quiero agradecer la inestimable ayuda que me han ofrecido el Prof. Philippe Godignon y los Doctores Miquel Vellvehí, Xavier Jordà, Amador Pérez, Pierre Brosselard y, especialmente, a Xavier Perpinyà por su incalculable ayuda y compañía en nuestra estancia en Tarbes. También me gustaría dar las gracias a todos los compañeros y amigos que he tenido dentro y fuera del despacho, por su compañía, ayuda y momentos de ocio: Jaume Roig, Francesc Madrid, Ignasi Cortés, Macel Placidi, José Luis Gálvez (a.k.a. Pepe₂), Aurore Constant, Pablo Fernandez, David Sánchez y un largo etc. Y del mismo modo, quiero agradecer a todo el personal del IMB-CNM por facilitar con su trabajo las labores diarias.

De la misma forma, quiero agradecer a Fagor Electrónica, especialmente a D. Imanol Mazarredo, por el interés mostrado en la utilización industrial de los resultados de este trabajo y por las facilidades dadas para el acceso a la información de su tecnología así como su inestimable ayuda en la fabricación, encapsulado y caracterización de los dispositivos objetos de estudio.

No quisiera dejar pasar la oportunidad de poder agradecer a todos mis

amigos que día tras día han compartido conmigo su ratos libres: David "Tito" Gil, Victor Cásedas, Manuel Muñoz, Alberto Gutierrez, Raúl Portas, Jesús Mena, Mario Gil, Vanessa Morillas, Anna Valls, Ivan Barnés, Francisco Robles, Miguel Ángel González, René Trebejo, Jordi Hernández, Miguel Paredes, Marc "Palanks" (y lo siento si me olvido a alguno, pero es que... sois muchos!!!!). Gracias de todo corazón por todas las cenas, todos los "Yo nunca he..." y todos los momentos buenos y malos... y por los que aún nos quedan!.

También me gustaría agradecer de una manera muy especial a Miguel Ángel García y Ángela Ortín, porque aunque sólo nos veamos en contadas ocasiones, me habéis demostrado que una amistad real queda por siempre, más que amigos sois mis hermanos.

A mi pareja, Flor, agradecerle por estar ahí cuando ha tenido que estar, por confiar siempre en mi y por hacerme sentir especial. T´estimo gandula!.

Finalmente, deseo agradecer de una forma más afectiva el apoyo y el cariño que me han demostrado siempre mis seres más queridos. A mis padres y a mis hermanos jamás os podré devolver lo que me habéis ayudado en todo momento, sin vosotros seguro que ahora mismo no estaría escribiendo esto, decir lo que os quiero y lo que os agradezco todo se queda muy, muy corto. Y al resto de mi familia gracias de todo corazón por vuestro cariño, ayuda y confianza.

A Ángeles Martín y
a la memoria de Jesús Ibáñez.
*“Porque no sabes lo que me hubiera
gustado ir con él a ver como
derrapaban los caracoles”*

Índice general

Listado de símbolos	XI
Listado de acrónimos	XV
Introducción	1
1. Perturbaciones eléctricas	5
1.1. Introducción	5
1.2. Fuentes de sobretensiones transitorias	7
1.3. Efectos producidos por sobretensiones transitorias	9
1.4. Dispositivos supresores	10
1.5. Transient Voltage Suppressor (TVS)	15
1.6. Dispositivos TVS avanzados	19
2. Dispositivos supresores verticales de efecto <i>punch-through</i>	23
2.1. Introducción	23
2.2. El efecto <i>punch-through</i>	24
2.3. Dispositivo TVS 3 capas	27
2.3.1. Introducción	27
2.3.2. Análisis de la corriente de fuga	28
2.3.3. Análisis de la tensión de ruptura	35
2.4. Dispositivo TVS 4 capas	39
2.4.1. Introducción	39
2.4.2. Modelo de ruptura	40
2.4.3. Características eléctricas	47
3. Diseño y fabricación de TVS verticales	67
3.1. Diseño y fabricación del TVS de 3 capas	67
3.1.1. Definición del proceso tecnológico	68
3.1.2. Fabricación de los dispositivos	71
3.1.3. Caracterización eléctrica	74

3.2. Diseño y fabricación de TVS 4 capas	78
3.2.1. Definición del proceso tecnológico	79
3.2.2. Fabricación de los dispositivos	80
3.2.3. Caracterización eléctrica	82
4. Dispositivos supresores laterales de efecto <i>punch-through</i>	91
4.1. Introducción	91
4.2. TVS laterales en tecnología <i>Bulk</i>	92
4.2.1. Descripción de los dispositivos	92
4.2.2. Análisis de los dispositivos	96
4.2.3. El <i>punch-through</i> lateral	102
4.2.4. Placas de campo en TVS laterales	103
4.3. TVS laterales en tecnología <i>Silicon-On-Insulator</i> (SOI)	106
4.3.1. Introducción al SOI	106
4.3.2. Análisis del dispositivo	110
5. Diseño y fabricación de TVS laterales	115
5.1. Definición del proceso tecnológico	115
5.2. Diseño de máscaras: definición Topológica	117
5.3. Fabricación de los dispositivos	121
5.4. Caracterización del dispositivo	124
5.4.1. Caracterización tecnológica	124
5.4.2. Caracterización eléctrica	132
Conclusiones	139
Artículos publicados	141
Bibliografía	161

Listado de símbolos

A	Área
D_b	Amplitud de la base (TVS 3 capas) Amplitud del buffer $P+$ (TVS 4 capas)
D_c	Profundidad de difusión de colector
D_{eff}	Amplitud de la base (TVS verticales) Distancia entre ventanas de implantación (TVS laterales)
D_{epi}	Grosor de la epitaxia
$D_{n,p}$	Constantes de difusión de portadores
E	Energía
I	Corriente total
I_L	Corriente de fuga
I_{PP}	Corriente máxima
k	Constante de Boltzman ($= 1.38 \cdot 10^{-23}$ J/K)
L_D	Longitud de difusión de Debye
L_{fp}	Longitud de la placa de campo
m_e^*	Masa efectiva del electrón
n_i	Densidad intrínseca del Silicio
N_b	Densidad de impurezas de la base
N_c	Densidad de impurezas del colector
N_e	Densidad de impurezas del emisor

N_{epi}	Densidad de impurezas de la epitaxia
N_{tot}	Densidad de impurezas total
$OPOLY$	Overlap de la placa de campo
$PPOUP$	Amplitud del Polysilicio dentro del colector
q	Carga electrónica ($= 1.9 \cdot 10^{-19}$ C)
T	Temperatura Probabilidad de Transición
T_{box}	Grosor de la capa de óxido enterrado
V_A	Tensión aplicada
V_{bi}	Potencial built-in
V_{BR}	Tensión de ruptura
V_C	Tensión de clamping
V_{CE}	Tensión colector-emisor
V_{PT}	Tensión de punch-through
V_{st}	Tensión de reposo
V_{WM}	Tensión de reposo en inversa
W_C	Amplitud de colector
W_b	Amplitud lateral del buffer P^+
W_{eff}	Amplitud de la base
x_{jo}	Extensión de la zona de carga espacial de la unión base-emisor
x_n	Extensión de la zona de carga espacial en la zona N de la unión base-colector
x'_n	Extensión de la zona de carga espacial en la zona N de la unión base-emisor

x_p	Extensión de la zona de carga espacial en la zona P de la unión base-colector
x'_p	Extensión de la zona de carga espacial en la zona P de la unión base-emisor
ϵ_{si}	Constante dieléctrica del Silicio
λ	Longitud de penetración de impurezas
$\mu_{n,p}$	Movilidad de los portadores
ϕ_1	Potencial en el colector
ϕ_2	Potencial en el emisor

Listado de acrónimos

BICMOS	Bipolar-CMOS
BOX	Buried Oxide
CMOS	Complementary Metal Oxide Semiconductor
CI	Circuito Integrado
EOS	Electrical OverStress
ESD	ElectroStatical Discharge
GDT	Gas Discharge Tubes
JFET	Junction Field Effect Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MOV	Metal Oxide Varistor
PABX	Private Automatic Branch eXchange
RAM	Random Acces Memory
ROM	Read-Only Memory
SAI	Sistema de Alimentación Ininterrumpida
SIMOX	Separation by IMplanted Oxigen
SOI	Silicon On Insulator
TVS	Transient Voltage Suppressor

Introducción

La constante reducción de tamaño y de tensión de trabajo en los circuitos integrados (CIs) de nueva generación requiere una reducción del espesor de las diferentes capas que los componen (en especial de los óxidos de puerta y de aislamiento entre niveles conductores), con el fin de aumentar su densidad de integración y su velocidad, reduciendo su consumo de energía. Sin embargo, estas mejoras conllevan un aumento de su sensibilidad frente a perturbaciones externas tales como las fluctuaciones en la red eléctrica, los acoplamientos capacitivos o las descargas electrostáticas (ESD).

Aunque existe una amplia gama de dispositivos electrónicos concebidos para proteger a los CIs de este tipo de perturbaciones evitando su destrucción (diodos zener, tiristores, etc.), la continua reducción de la tensión de operación y el aumento de la frecuencia de trabajo ha requerido un gran esfuerzo de investigación para adaptar los dispositivos de protección a las nuevas condiciones de operación.

Las características principales que debe cumplir todo dispositivo destinado a la protección de un sistema electrónico son: rapidez de respuesta, baja capacidad parásita, baja resistencia en conducción, alta capacidad de absorción de corriente, baja corriente de fuga en inversa, mínimo tamaño, bajo coste, no debe interferir en el modo de operación normal del sistema que protege y debe mantener inalterables sus características eléctricas a lo largo del tiempo.

En aplicaciones de alta tensión, los diodos zener y los tiristores son los elementos más utilizados, tanto en formato discreto como de forma monolítica con el CI, para la protección frente a fenómenos de ESD. Sin embargo, las nuevas generaciones de CIs para aplicaciones móviles (ordenadores portátiles, telecomunicaciones, control de sistemas remotos, etc.) requieren dispositivos capaces de trabajar a baja tensión y con bajos consumos de energía (con el fin de maximizar la vida de las baterías). En estas condiciones, los elementos

de protección tradicionales no son óptimos, por lo que son necesarios nuevos dispositivos de protección con baja tensión de disparo y baja corriente de fuga en su estado de bloqueo.

En esta situación, el uso de nuevas estructuras de protección basadas en un proceso de ruptura por vaciamiento (*punch-through*) mejora las características de las basadas en una ruptura por avalancha (base de los componentes tradicionales). Así, este trabajo pretende analizar, optimizar, diseñar y fabricar nuevos elementos de protección con ruptura por *punch-through*, conocidos como Supresores de Transitorios de Tensión o *Transient Voltage Suppressors* (TVS), que mejoren las prestaciones de los diodos zener en aplicaciones de baja tensión (menor de 3 V).

Así, el Capítulo 1 describe las principales perturbaciones eléctricas y las fuentes que las originan, junto a una descripción de sus efectos sobre los CIs. También se presenta una descripción de los diferentes dispositivos supresores existentes, con especial énfasis en los TVS, principal tema de estudio de este trabajo.

En el Capítulo 2 se presenta un estudio de los TVS de efecto *punch-through* verticales, donde se analizan las características eléctricas de sus dos configuraciones (TVS 3 capas, TVS 4 capas). También se presenta el modelo teórico de ruptura desarrollado para este tipo de estructuras, así como la verificación del mismo mediante simulaciones numéricas y datos experimentales.

El Capítulo 3 trata sobre el diseño, fabricación y caracterización de TVS verticales. Se presentan los procesos tecnológicos realizados y se detallan las mejoras, poniendo de manifiesto la superioridad de los TVS 4 capas respecto a los TVS 3 capas y los diodos zener.

El Capítulo 4 presenta el primer estudio publicado sobre dispositivos TVS laterales de efecto *punch-through* destinados a ser integrados conjuntamente con la circuitería a proteger. El estudio se realiza para diferentes configuraciones propuestas en tecnología *Bulk* de Silicio, se comparan entre ellas y se escoge la configuración que muestra mejores características. Este Capítulo también presenta una novedosa forma de utilizar la placa de campo para reducir la tensión de ruptura en los TVS laterales. Por último, y como línea de futuro, se evalúa la viabilidad de integrar dispositivos TVS laterales en sustratos SOI (*Silicon-On-Insulator*).

Finalmente, el Capítulo 5 muestra el proceso de fabricación de los TVS laterales. Se detalla el proceso tecnológico, el diseño de máscaras, la fabricación en sala blanca y finalmente la caracterización, tanto tecnológica, utilizando técnicas de *Reverse Engineering*, como eléctrica.

Capítulo 1

Perturbaciones eléctricas

1.1. Introducción

Los supresores de transitorios son elementos indispensables para asegurar el buen funcionamiento y larga duración de los dispositivos que componen todo sistema electrónico. Es un hecho comprobado que el 50-60 % de los fallos en los circuitos integrados (CI's) son debidos a fenómenos de *Electrical OverStress* (EOS) [1] [2], también conocidos como perturbaciones eléctricas (o transitorios). Así, se denomina perturbación eléctrica a la variación o alteración transitoria de la corriente y/o tensión eléctrica.

Una perturbación eléctrica es capaz de destruir cualquier sistema eléctrico, desde una instalación industrial hasta un componente aislado de un aparato de uso personal, si éste no está protegido convenientemente. Estudios publicados recientemente [3] han demostrado que el coste anual debido a este fenómeno destructivo supera, sólo en los Estados Unidos, los 30.000 millones de dólares. Los requerimientos de fiabilidad y robustez dieron lugar, a partir de la década de los 80 del siglo pasado, a un creciente esfuerzo investigador destinado a la comprensión de los fenómenos causantes de la perturbación y al desarrollo de dispositivos supresores capaces de proteger los sistemas eléctricos/electrónicos contra estos fenómenos, absorbiendo el exceso de corriente/tensión.

Aunque cualquier sistema eléctrico es susceptible de sufrir una perturbación, en los últimos años, y debido a la velocidad a la que avanzan las nuevas generaciones tecnológicas, los CI's se han revelado especialmente sensibles a este fenómeno. La búsqueda de una mayor densidad de integración y frecuencia de operación en las nuevas generaciones submicrónicas de CI's, ha

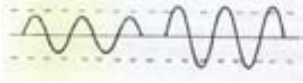



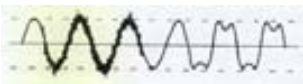
Forma de la perturbación	Tipo de perturbación	Equipo afectado	Protección efectiva
	<p>Subida/caída de tensión</p> <p>Tensiones anormalmente bajas o altas que duran varios segundos. Causadas por cargas excesivas de circuitos, pobre regulación de la tensión o una reducción intencionada.</p>	<p>Se ve afectado todo el equipo, aunque la mayoría están diseñados para tolerar $\pm 10\%$.</p>	<p>Reguladores de tensión, acondicionadores de línea, Sistemas de alimentación ininterrumpida (SAIs).</p>
	<p>Descenso de tensión</p> <p>La tensión disminuye fuera de la tolerancia normal durante algún segundo. Causado a menudo cuando se conectan equipos de gran carga, por rayos y por fallos en el sistema de potencia.</p>	<p>Afectan a la circuitería de puesta en marcha de los ordenadores y a la gran mayoría de los controladores. Puede provocar el apagado del equipo.</p>	<p>Reguladores de tensión, acondicionadores de línea, transformadores ferrosesonantes, o SAIs.</p>
	<p>Sobretensión transitoria</p> <p>Incremento de la tensión durante microsegundos o varios milisegundos, de 200 a 600 V. Causados por rayos, conmutaciones transitorias, descargas electrostáticas o fallos en el sistema de potencia.</p>	<p>Puede destruir componentes eléctricos y el aislante de transformadores o motores.</p>	<p>Dispositivos supresores o algunos acondicionadores de línea.</p>
	<p>Corte de suministro</p> <p>Pérdida completa de energía (entre milisegundos y varias horas). Causado por los fallos en el sistema de potencia, accidentes que involucran las líneas de alta tensión, fallos del transformador y/o generador.</p>	<p>Afecta a todos los equipos. Equipos sensibles pueden destruirse por paros tan cortos como 15 milisegundos.</p>	<p>SAIs o suministros de energía de reserva.</p>
	<p>Ruido eléctrico</p> <p>Es una distorsión de la forma de onda del suministro eléctrico o de la señal. Causada por transmisiones de radio o radar, luces fluorescentes, circuitería de control, etc.</p>	<p>Afecta a los equipos basados en microprocesadores, como ordenadores o controladores de programas.</p>	<p>Filtros, SAIs o algunos acondicionadores de línea.</p>

Tabla 1.1: Tipos de perturbaciones y protección contra ellas.

llevado al desarrollo de tecnologías microelectrónicas que se basan, principalmente, en la reducción de las dimensiones mínimas, tales como el espesor del óxido de puerta y la longitud del canal de los transistores, junto a la reducción de la tensión de alimentación (Figura 1.1). Este hecho provoca que cada nueva generación de CI's requiera el desarrollo de nuevos dispositivos supresores capaces de operar cada vez a menor tensión y con una mayor fiabilidad.



Figura 1.1: Tendencia de la tensión de alimentación. 2004 IBM corporation.

Las perturbaciones eléctricas se pueden diferenciar en función de la forma de onda, del tiempo de duración, de los equipos a los que afecta, etc. En la Tabla 1.1 [4] podemos ver las diferentes perturbaciones de la señal eléctrica (ya sea señal lógica o de alimentación) que pueden causar fallos en equipos eléctricos. Las perturbaciones eléctricas en las que se centra este trabajo son las denominadas sobretensiones transitorias, ya que los dispositivos objeto de análisis y desarrollo se destinan a la protección contra estas perturbaciones.

1.2. Fuentes de sobretensiones transitorias

La naturaleza de las fuentes generadoras de sobretensiones puede ser de lo más variado, abarcando desde fenómenos naturales hasta el ruido inducido por equipos eléctricos. Los transitorios pueden durar entre 100 ns y varios ms, pudiendo alcanzar picos de tensión superiores a 10 kV. De entre todas ellas, las más relevantes son:

Conmutaciones Transitorias: Cuando se interrumpe un flujo de corriente eléctrica se crea una sobretensión transitoria. Esto es lo que ocurre cuando desaparece el campo magnético en una carga inductiva (la energía almacenada se descarga provocando un aumento de tensión que intenta mantener el flujo de corriente). Solenoides, transformadores, motores eléctricos e inductores, son ejemplos de elementos que generan, habitualmente, perturbaciones durante la descarga de la energía almacenada.

Caída de rayos: Esta fuente de transitorios es la más dañina de todas las existentes. Si un dispositivo está diseñado para soportar las sobretensiones producidas por la caída de un rayo, con toda certeza será capaz de soportar todas las otras fuentes de menor magnitud. Los rayos se producen cuando la fricción entre nubes eleva el potencial electrostático hasta niveles capaces de ionizar el aire, creando un camino conductor entre nubes o entre nube y tierra. Las técnicas modernas de detección de núcleos tormentosos por radar, han permitido evaluar la frecuencia de la caída de rayos a nivel mundial, estimándose en unos 100 rayos por segundo [5]. Cuando un rayo cae directamente sobre una línea de alta tensión, el pico de corriente de la perturbación puede superar los 200 kA. A pesar de su magnitud, con un buen sistema de protección estas corrientes se distribuyen entre las numerosas cargas y componentes conectados en paralelo, y no suelen producir grandes daños.

Descargas electrostáticas(ESD): El fenómeno de descarga electrostática (ESD, *Electrostatic Discharge*) se define como "*la transferencia de carga entre dos cuerpos con diferente potencial eléctrico*" [6] mediante el contacto directo o a través de un campo eléctrico inducido. Existen tres mecanismos de generación de carga: Efecto triboeléctrico, inducción y conducción [7]. Generalmente, el desequilibrio de electrones en la superficie del material está causado por la fricción entre materiales de diferente constante dieléctrica, y recibe el nombre de Efecto Triboeléctrico. El esquema de este efecto se puede observar en la Figura 1.2. El cuerpo humano es capaz de acumular carga, pudiendo alcanzar los 15 kV de diferencia de tensión respecto al suelo. La descarga electrostática por contacto entre el material acumulador y un CI se produce de forma muy rápida, alcanzándose el máximo de corriente en menos de 1 ns, por lo que es necesario utilizar componentes semiconductores de protección de respuesta rápida. Actualmente, los CI's presentes en los sistemas electrónicos suelen incorporar dispositivos de protección integrados monolíticamente en el mismo chip con el fin de garantizar su

inmunidad frente a este tipo de perturbaciones.

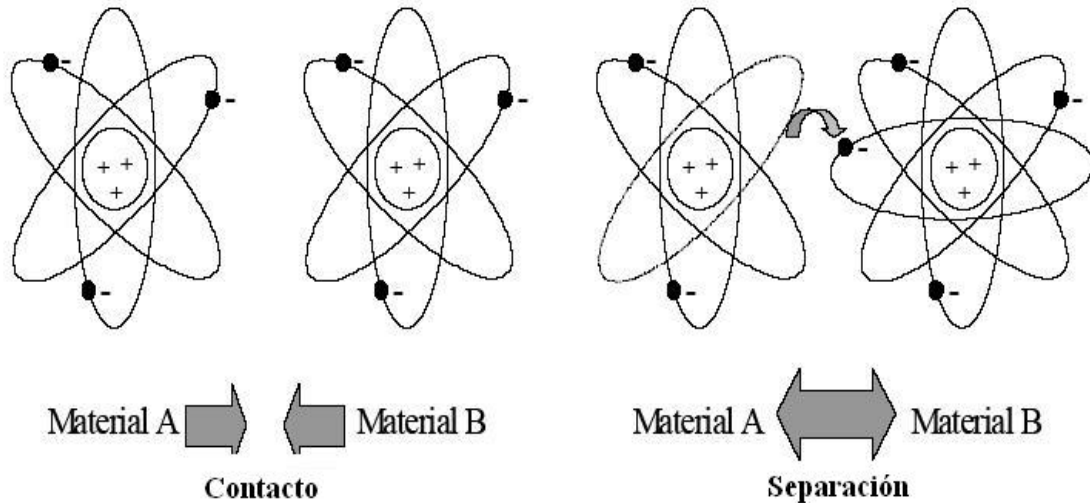


Figura 1.2: Mecanismo de la carga triboeléctrica. Contacto y separación de los materiales.

1.3. Efectos producidos por sobretensiones transitorias

Los efectos producidos por las sobretensiones transitorias dependen del sistema afectado. Nos centraremos en componentes semiconductores y CI's, puesto que los supresores analizados en este trabajo se destinan a la protección de éstos sistemas. Los fallos producidos por sobretensiones se pueden dividir en tres clases:

Destrucción: Es fácilmente observable y generalmente se conocen sus causas.

El resultado es la destrucción física de los componentes semiconductores (carbonización de las pista de metal, ruptura de óxidos o de alguno de los componentes en él integrados). Esto se traduce en cortocircuitos o en la pérdida de control de los mismos, que a su vez pueden provocar más daños en las etapas posteriores del sistema, pudiendo producir, incluso, su inutilización. A veces la destrucción producida no deja efectos visibles, puesto que sólo afecta a una pequeña área de algún dispositivo semiconductor.

Alteración: Es el más común de los fallos, dando lugar a un comportamiento anormal momentáneo (parada del sistema, errores de comunicación, errores en medidas, pérdida o inutilización de ficheros, errores de salida, etc.). En el peor de los casos puede provocar fallos latentes.

Latencia: Es probable que la mayoría de las perturbaciones producidas por una sobretensión transitoria no manifiesten su presencia a corto plazo, por lo que, a no ser que el equipo esté completamente dañado o muestre un mal funcionamiento, se asume que éste funciona correctamente. Sin embargo, una sobretensión puede producir daños que, sin afectar al normal funcionamiento del sistema, reducen su inmunidad a una sobretensión posterior, por lo que el resultado final es una disminución significativa del tiempo de vida del sistema.

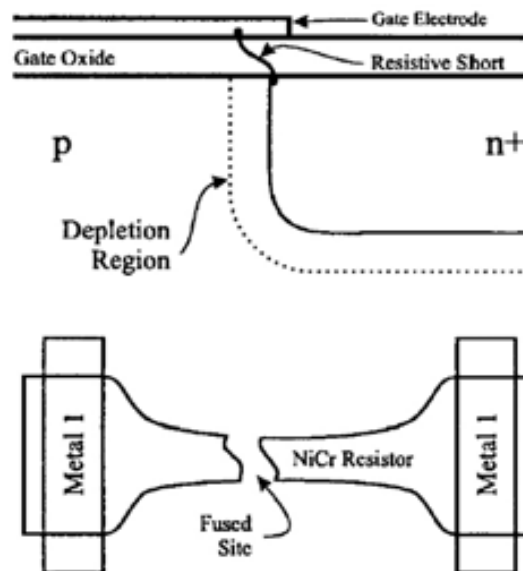


Figura 1.3: Destrucciones provocadas por ESD: Ruptura de óxido y pista fundida

1.4. Dispositivos supresores

Los dispositivos supresores de tensión se utilizan para proteger los sistemas eléctricos de las sobretensiones. Absorben la perturbación de forma que el sistema al que protegen no se ve afectado y puede continuar funcionando con normalidad.

Conocer la arquitectura del sistema es el primer paso para conseguir una buena protección y elegir el dispositivo adecuado. Un dispositivo supresor ideal debe cumplir los siguientes requisitos:

1. Resistencia nula y caída de tensión cero en conducción,
2. Tiempo de respuesta instantáneo,
3. Capacidad de absorber energía infinita,
4. Disparo sólo durante las perturbaciones a filtrar,
5. Transparente al circuito,
6. Mínimo consumo de área de Silicio.

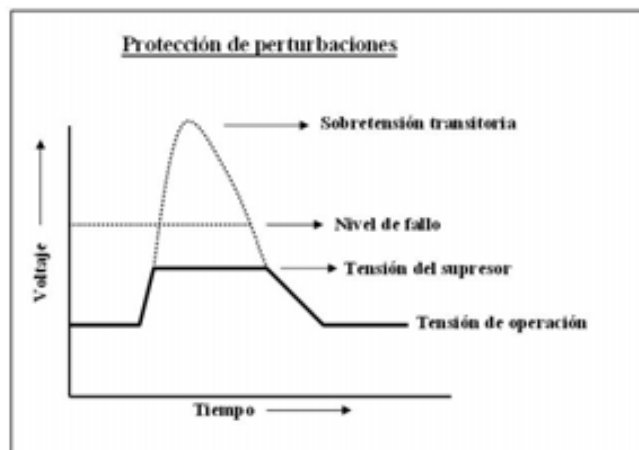


Figura 1.4: Característica de trabajo de un supresor

Es obvio que un dispositivo real no cumple todos estos requisitos, por lo que se ha de establecer un criterio que fije el compromiso del cumplimiento de cada uno de ellos a la hora de su diseño y optimización.

En la Figura 1.4 se puede ver la evolución temporal de una sobretensión típica y la forma en que actúa un dispositivo supresor [8]. Como se observa, se debe elegir el dispositivo que sea lo suficientemente rápido y que mantenga la tensión aplicada por debajo de niveles de voltaje potencialmente peligrosos para el sistema que protege.

Existen diferentes tipos de dispositivos supresores en función de la corriente y la tensión que deben soportar, de la velocidad de conmutación, etc. Los más comunes son:

- a) **Estructuras Metal-Óxido Varistor (MOV):** Son estructuras bidireccionales fabricadas a partir de partículas de un óxido metálico (normalmente Zinc) comprimidas en una matriz de Bismuto. Cada zona de contacto de las partículas actúa como una unión PN con una tensión de ruptura de unos 2-3 V. Millones de estas uniones actúan como diodos que trabajan a diferentes tensiones. Variando el tamaño de la partícula, el espesor del dispositivo y su área, se pueden controlar sus parámetros eléctricos. Un gran número de uniones hace aumentar la corriente de fuga (unos 5 mA para un MOV de 20 mm de diámetro) pero, al mismo tiempo, proporciona una excelente capacidad para absorber gran cantidad de energía. Aunque la corriente que puede circular por un varistor es muy elevada, su comportamiento se degrada en cada exposición a una sobretensión transitoria, por lo que su tiempo de vida es bastante limitado. Aún así, con un cuidadoso test y selección de los MOVs, junto a una configuración en paralelo, se puede aumentar su tiempo de vida, que, en la actualidad, puede llegar a unos 15 años.
- b) **Tubos de Descarga de Gas (GDT):** Los GDTs constan de dos grandes electrodos de metal, separados por una distancia del orden de 1 mm y herméticamente sellados, en un material cerámico o vidrio. El dispositivo se carga con una mezcla de Hidrógeno y Argón a una presión de unos 0.1 Bar. Estos dispositivos se disparan cuando la tensión entre los electrodos es lo suficientemente alta como para ionizar el gas de su interior. A continuación, la tensión aumenta hasta un nivel muy superior a su tensión nominal con una velocidad de subida de 1 kV/s para, finalmente, alcanzar el modo de conducción con una caída en tensión de pocos voltios. Su capacidad de protección depende de la separación y de la longitud de los electrodos.
- c) **Gap de aire:** Este dispositivo se basa en el mismo principio de funcionamiento que el GDT. Consta de dos elementos conductores situados muy próximos entre si, separados únicamente por aire. Igual que en el GDT, la chispa se produce cuando, entre los terminales, existe una diferencia de potencial lo suficientemente grande como para ionizar el aire. Se utiliza como primera protección en un sistema multi-etapa de dispositivos supresores destinado a la protección directa contra caída de rayos.

- d) **Bloques de carburo de silicio:** Funcionan de forma similar al gap de aire, pero, en este caso, una corriente muy elevada puede vaporizar literalmente los electrodos de carbono. Originalmente diseñado para protección contra caídas de rayos, en la actualidad es un dispositivo en desuso sustituido por los GDTs, de menor coste y mejores prestaciones.
- e) **Fusibles:** Generalmente no se consideran dispositivos supresores puesto que durante el tiempo de respuesta, antes de su destrucción térmica, pueden conducir grandes cantidades de corriente. Estos dispositivos son de un solo uso y después deben ser reemplazados.
- f) **Surge Relays:** Se diseñan para desconectar las líneas de señal ante sobrecorrientes altas. En la actualidad pueden operar en rangos de potencia elevados, con buenos niveles de estabilidad y sensibilidad. La velocidad de respuesta es su mayor inconveniente, puesto que los contactos son mecánicos.
- g) **Circuit Breakers:** Se utilizan para desconectar la alimentación de un equipo electrónico. Su velocidad de respuesta es del orden de decenas de *ms*, por lo que son demasiado lentos como para proteger un transitorio.
- h) **Tiristores:** Estos dispositivos, en protección contra sobretensiones, pueden ser uni o bidireccionales. Se caracterizan por su baja caída de tensión en conducción y su elevada capacidad de disipación de potencia. El rango de tensiones de disparo de estos dispositivos va, en aplicaciones de telecomunicaciones, desde 20 hasta 1000 V con unos valores de corriente entre 50 y 200 A. Su destrucción se produce por cortocircuito interno.
- i) **Transient Voltage Suppressor (TVS):** Son dispositivos semiconductores supresores de sobretensiones basados en la ruptura por avalancha de una unión PN. Su capacidad de protección depende del área y su metalización debe ser gruesa para obtener una buena capacidad de disipación de la energía que absorbe de la perturbación. Es probablemente, de entre todos los supresores, el que presenta una mayor velocidad de disparo (inferior al nanosegundo) y su corriente de fuga es extremadamente baja (del orden de μA). Además, su conexión tanto en serie como en paralelo, permite aumentar enormemente la capacidad de protección. Cubre un rango de tensiones de disparo desde los 440 V hasta valores cercanos a 1 V. La destrucción física del componente se produce normalmente por cortocircuito interno.

La Tabla 1.2 muestra las características principales de los diferentes dispositivos supresores [8]:

Dispositivo	Velocidad de respuesta	Nivel de protección (sensibilidad)	Capacidad de absorción de energía	Estabilidad
MOV	Muy rápida	Regular	Alta	Mala
GDT	Rápida (μs)	Regular	Alta	Regular
Gap de aire	Rápida	Malo	Alta	Mala
Bloque SiC	Rápida	Malo	Alta	Mala
Fusible	Muy lenta	Bueno	Alta	Regular
Surge relay	Lenta (ms)	Bueno	Alta	Buena
Corta circuitos	Lenta	Regular	Alta	Regular
Tiristor	Rápida	Bueno	Baja	Buena
TVS	Muy rápida (<ns)	Muy bueno	Baja	Muy buena

Tabla 1.2: Principales características de diferentes dispositivos supresores.

Los dispositivos supresores se pueden clasificar en función del modo de trabajo:

- Clamping:** El dispositivo empieza a conducir cuando la tensión sobrepasa un determinado valor umbral y vuelve al estado de bloqueo cuando la tensión desciende por debajo de dicho valor. La protección en modo *clamping* se realiza con dispositivos TVS y estructuras Metal-Óxido-Varistor (MOV).
- Crowbar:** El dispositivo empieza a conducir cuando la tensión sobrepasa el valor de ruptura y la corriente sobrepasa el valor de disparo. Una vez en conducción la tensión cae hasta unos pocos voltios (estado de baja impedancia). El retorno al estado de corte se produce cuando la corriente decrece por debajo del valor de mantenimiento. La protección en modo *Crowbar* se realiza con Tubos de Descarga de Gas (GDT) y con tiristores uni, o bi, direccionales.

La ventaja principal de los supresores tipo *crowbar* es la poca caída de tensión en conducción, lo que permite soportar niveles muy elevados de corriente con un área reducida de silicio. No obstante, el uso de tiristores no es posible en aplicaciones de baja corriente (líneas de señal) debido a su proceso de corte por corriente. Por tanto, los tiristores se utilizan, principalmente, en líneas de telecomunicación potencialmente sometidas a la caída de rayos. Ejemplos de sistemas protegidos con tiristores son las centrales de telefonía,

PABXs, teléfonos, FAXs, MODEMs e instrumentación electrónica en general.

Por el contrario, los supresores tipo *clamping* (como el TVS) se emplean en líneas de telecomunicación que eventualmente pueden sufrir efectos secundarios derivados de la caída de rayos y descargas electrostáticas. Una de las aplicaciones típicas de los dispositivos TVS es la protección de fuentes de alimentación, donde el TVS debe retornar al estado de bloqueo sin interrumpir o limitar la tensión o la corriente que fluye a través de la carga.

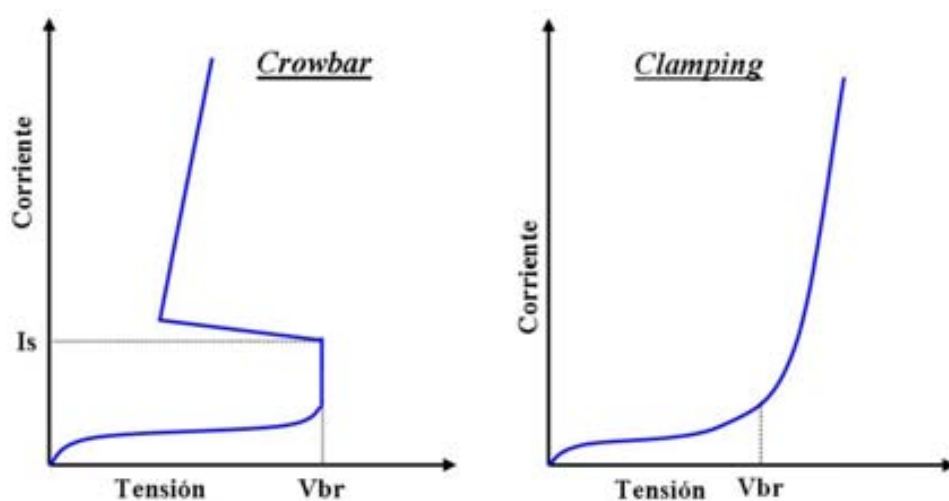


Figura 1.5: Característica I-V de dispositivos tipo Clamping y tipo Crowbar.

Finalmente, la capacidad de entrada de los tiristores es notablemente menor que la de los TVS equivalentes, especialmente a tensiones de bloqueo bajas, lo que se traduce en una menor atenuación de la señal en las líneas de alta capacidad de transmisión de datos.

Este trabajo se centra en el estudio de los dispositivos TVS y, en particular, en aquellos en los que la ruptura ocurre por el efecto *punch-through*.

1.5. Transient Voltage Suppressor (TVS)

Este tipo de elementos supresores de transitorios de tensión, se basan en la ruptura por avalancha de una unión PN lo suficientemente grande como para absorber corrientes transitorias elevadas. Tienen un tiempo de disparo

inferior al nanosegundo y un factor *clamping* (relación entre la tensión de *clamping* y la tensión de ruptura) de 1.33. El hecho de que su funcionamiento se deba a la ruptura por avalancha, asegura una corriente de fuga baja en la mayoría de los casos. Estas propiedades hacen que estos dispositivos sean capaces de proteger CIs muy sensibles.

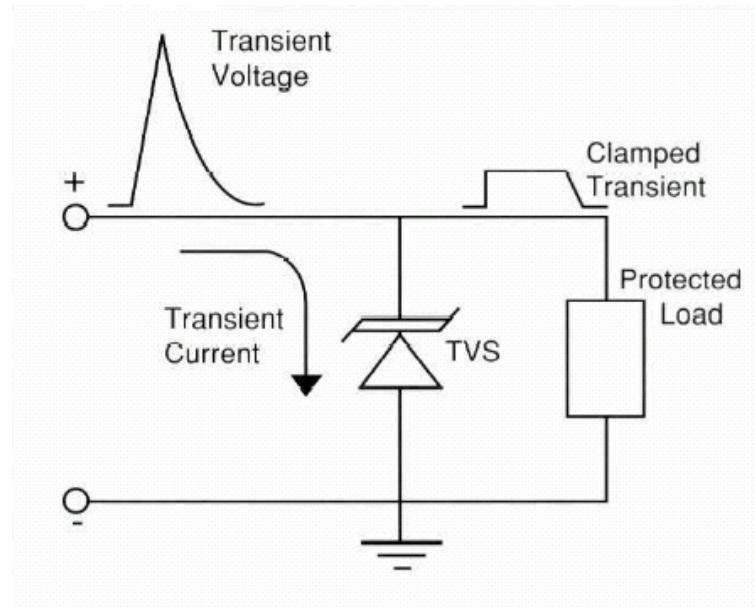


Figura 1.6: *Funcionamiento de un TVS*

La tensión de ruptura de los TVS va desde 440 V hasta 1 V y sus parámetros eléctricos más importantes son:

- I. **Tensión de ruptura (V_{BR}):** Tensión a la que la corriente por avalancha del dispositivo supera un valor preestablecido,
- II. **Tensión de *clamping* (V_C):** Caída de tensión a la corriente nominal del TVS,
- III. **Tensión de reposo (V_{st}):** Tensión definida como el 80 % del valor de V_{BR} ,
- IV. **Corriente de fuga (I_L):** Corriente que atraviesa el dispositivo a V_{st} ,
- V. **Tensión de reposo en inversa (V_{WM}):** Tensión definida como el 90 % del valor de V_{BR} con polarización inversa,
- VI. **Corriente máxima (I_{PP}):** Corriente máxima que puede soportar el dispositivo antes de su destrucción física.

En la Figura 1.7 se describen algunos de estos parámetros.

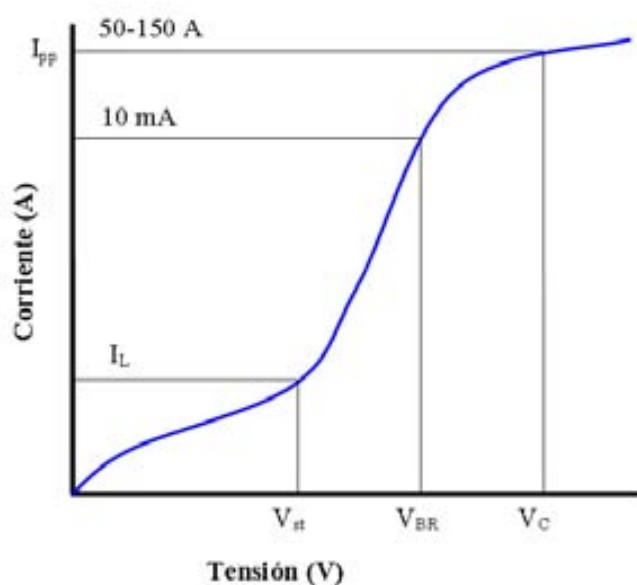


Figura 1.7: Característica $I(V)$ de un TVS.

Aunque existen dispositivos TVS con tensión de ruptura elevada, el hecho de que estos dispositivos tengan una gran rapidez de respuesta, se puedan encapsular sin inductancias parásitas y presenten una gran capacidad para soportar corrientes elevadas sin alterar su comportamiento, hace que sean idóneos como elementos de protección en aplicaciones de baja tensión. Algunos ejemplos de estas aplicaciones son:

- **Protección de CIs.** El diseño de la placa donde se sueldan los CIs y los componentes pasivos es esencial para minimizar los efectos de las descargas electrostáticas, debiéndose tomar las siguientes precauciones,
 - Minimizar la distancia entre el TVS y el CI a proteger,
 - El TVS debe situarse tan cerca como sea posible de los conectores externos de la placa,
 - No situar pistas protegidas y sin proteger en paralelo y a poca distancia,
 - No situar pistas por las que circulan señales críticas cerca de la periferia de la placa, ya que esta zona es más propensa a descargas electrostáticas.

- **Protección de MOSFETs de potencia.** Una de las causas más comunes de la destrucción física de un MOSFET es un valor excesivo de la tensión drenador-fuente (siendo una forma de evitar este problema conectar un TVS entre drenador y fuente). Otra posible causa de su destrucción física es la ruptura del óxido de puerta debido a una sobretensión en la misma (Figura 1.3). Así, la elección de un TVS adecuado para cada tipo de MOSFET debe hacerse según las siguientes reglas,
 - La tensión *clamping* (caso drenador-fuente) debe ser inferior a la tensión de ruptura del MOSFET en régimen de corriente pulsada,
 - En aplicaciones de conmutación con carga inductiva, se recomienda utilizar un TVS (caso drenador-fuente) con una capacidad de disipación de potencia en el orden de los 2 kW,
 - Para proteger la puerta de un MOSFET basta con un TVS con una capacidad de disipación de potencia en el orden de los 300 W ($t_p=8 \times 20 \mu s$ según ANSI/IEEE(62.41-1991)).
- **Protección de puertos I/O.** Actualmente, para conseguir una mejor capacidad de protección de los puertos entrada/salida con una tensión inferior a 5 V, es preciso colocar, en polarización inversa, un diodo rectificador de baja capacidad en serie con el TVS. Este tipo de conexión permite reducir la capacidad de entrada y las corrientes de fuga, hasta valores inferiores a 100 pF y 100 nA, respectivamente.

Sin embargo, a tensiones de ruptura inferiores a los 5 V, la respuesta frente a las perturbaciones de los TVS basados en la ruptura por avalancha no es óptima, dado que, para poder obtener tensiones de bloqueo inferiores a 5 V, es necesario aumentar las concentraciones de impurezas, a ambos lados de la unión, por encima de 10^{19} cm^{-3} (Figura 1.8). En estas circunstancias se produce un efecto conocido como *Bandgap Narrowing*. Este efecto aparece cuando, a altos niveles de impurezas, las interacciones entre huecos, electrones libres e impurezas ionizadas dejan de ser despreciables y, como consecuencia, se estrecha ligeramente el *gap* entre la banda de valencia y la banda de conducción. Esta pequeña pero importante disminución del *gap* tiene como efecto inmediato un aumento significativo de la concentración intrínseca de portadores del semiconductor y, por lo tanto, un aumento de la corriente de fuga del dispositivo.

También se observa que, mientras que en los TVS con tensiones de bloqueo superiores a 5 V la ruptura se produce de forma abrupta, para valores inferiores la corriente aumenta de forma gradual, dando lugar a un codo en la zona de ruptura. El objetivo de los TVS de nueva generación es conseguir, con un único dispositivo, mejores prestaciones en estas condiciones.

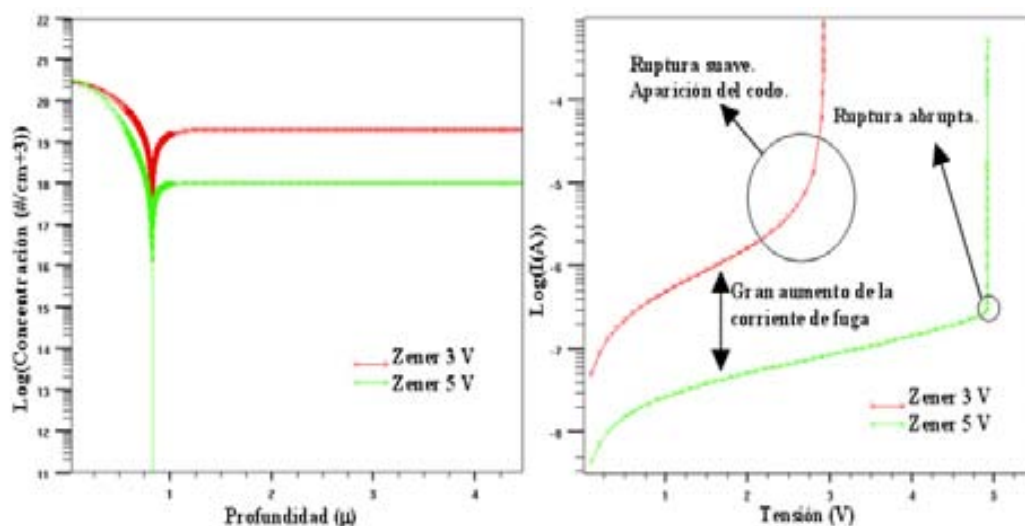


Figura 1.8: Perfil de dopajes de dispositivos Zener y características I-V de los mismos.

1.6. Dispositivos TVS avanzados

En la actualidad, en la mayoría de aplicaciones de protección se utilizan diodos Zener. El funcionamiento de este dispositivo (basado en la ruptura por avalancha de su unión PN polarizada en inversa y, a muy bajas tensiones, en el efecto túnel), su simplicidad de fabricación y bajo coste, junto a sus buenas características eléctricas, hacen que sea idóneo en la mayoría de los casos. Sin embargo, para tensiones de ruptura inferiores a 5 V su comportamiento se degrada experimentando un aumento considerable en la corriente de fuga. Este aumento de la corriente de fuga significa un aumento en la potencia consumida cuando el dispositivo está en bloqueo, siendo especialmente crítico en sistemas portátiles alimentados con batería (donde el consumo ha de ser mínimo, al poseer una fuente de alimentación limitada).

Así, con objeto de mejorar el diodo Zener tradicional para tensiones inferiores a 5 V, aparecieron los *punch-through diodes* [9]. Estos dispositivos

se implementan con una tecnología bipolar (N^+PN^+ o P^+NP^+), donde el silicio de partida es un sustrato altamente dopado (N^+ o P^+) sobre el que se crece una capa epitaxial poco dopada (P o N), formándose sobre esta epitaxia una difusión superficial altamente dopada (N^+ o P^+), tal como se muestra en la Figura 1.9.

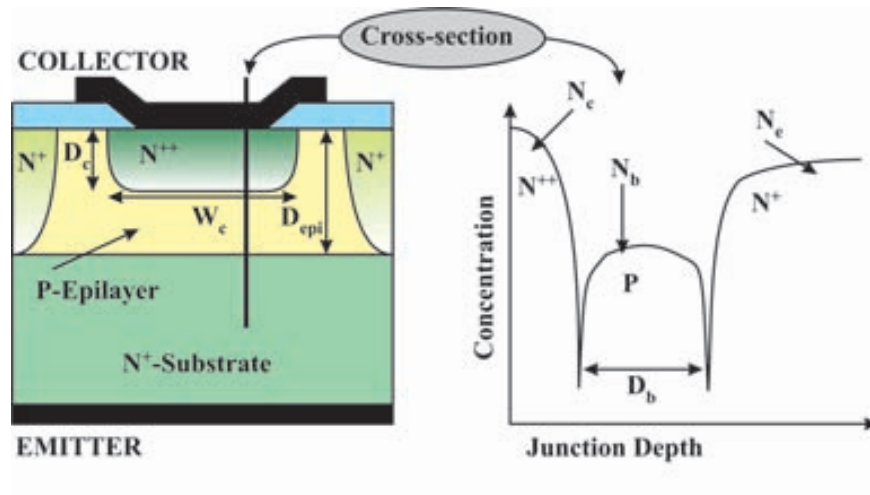


Figura 1.9: Corte transversal de un TVS con ruptura por punch-through.

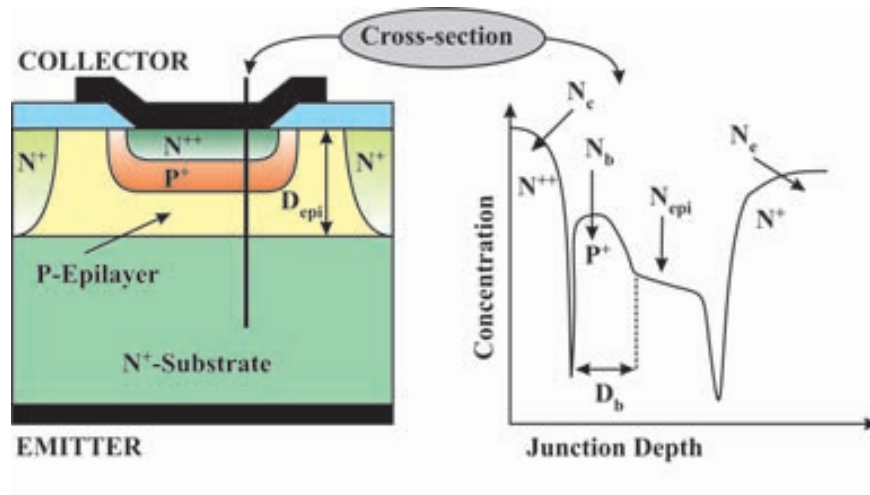


Figura 1.10: Corte transversal de un TVS 4 capas.

Este dispositivo alcanza la ruptura al vaciar completamente de portadores la zona epitaxial. El valor de la tensión de ruptura está determinado por el

espesor y la concentración de impurezas de la zona epitaxial. Con esta tecnología se pueden fabricar dispositivos supresores con tensiones de bloqueo inferiores a 5 V, mejorando en varios órdenes de magnitud las corrientes de fuga respecto al Zener tradicional, sin embargo factor de *clamping* aumenta. Por esta razón, no resultan del todo adecuados en aplicaciones que requieran tensiones de bloqueo inferiores a los 3 V.

Los nuevos requerimientos en la protección de CI's fabricados con una tecnología CMOS, obligan a utilizar dispositivos supresores con tensiones de ruptura comprendidas entre 1.5 y 3.3 V. Esto ha favorecido el desarrollo de nuevos dispositivos TVS de muy baja tensión, basados en una estructura cuatricapa ($N^+P^+PN^+$ o $P^+N^+NP^+$) [10]. En su fabricación se parte de una oblea altamente dopada (N^+ o P^+) sobre la que se crece un epitaxia poco dopada (P o N), en la que, con el fin de reducir aún más los niveles de corrientes de fuga y el factor de *clamping*, se realiza una doble difusión (P^+N^{++} o N^+P^{++}). En la Figura 1.10 se muestra la sección transversal de un TVS de 4 capas.

Capítulo 2

Dispositivos supresores verticales de efecto *punch-through*

2.1. Introducción

La tensión de alimentación de los circuitos integrados disminuye en cada nueva generación tecnológica (Figura 1.1), permitiendo un gran incremento de la electrónica móvil gracias a la reducción de consumo. Esta disminución hace que los CI's sean más sensibles a una descarga electrostática o a perturbaciones, tanto de tensión como de corriente, en las líneas de comunicación. De la necesidad de disponer de dispositivos supresores de transitorios de muy baja tensión y baja corriente de fuga, surgieron los *punch-through diodes* (basados en la ruptura de un transistor bipolar en base abierta).

En los dispositivos rectificadores convencionales, el espesor y la resistividad de la epitaxia se escogen de forma adecuada para conseguir el voltaje requerido. Este voltaje está determinado por la ruptura por avalancha de una unión PN. Sin embargo, estos dispositivos tienen limitada su capacidad de absorber energía [11], debido, principalmente, al hecho de que la ruptura por avalancha tiende a formar regiones localizadas donde el campo eléctrico se vuelve muy intenso, lo que induce a la focalización de la corriente. Frente a esta situación, la capacidad de absorber energía de los *punch-through diodes* es muy superior [12] por lo que, durante la última década, se ha incrementado el estudio y fabricación de este tipo de estructura, dadas las ventajas frente a los dispositivos supresores tradicionales.

2.2. El efecto *punch-through*

Como su nombre indica, los *punch-through diodes* se basan en un fenómeno de ruptura diferente a la de los supresores tradicionales. La ruptura por *punch-through* se observó inicialmente en transistores bipolares y, originalmente, se manifestaba produciendo un cortocircuito en la región de base. Este fenómeno se produce cuando, debido a la gran caída de potencial en la unión base-colector polarizada en inversa, se crea una corriente excesiva emisor-colector imposible de controlar por la tensión base-emisor [13]. Este efecto es también responsable de la ruptura entre las puertas de los JFET de doble puerta [14] y de la ruptura fuente-drenador en los transistores MOS de canal corto [15]. A pesar de que en un principio se deseaba evitar esta ruptura a toda costa, posteriores estudios [16] demostraron que, con un diseño adecuado, la corriente de *punch-through* en transistores MOS de canal corto estaba modulada, principalmente, por la tensión de puerta, por lo que se podía utilizar como una aportación extra de corriente y aumentar la transconductancia del transistor.

La posibilidad de controlar este efecto incrementó el interés por su aplicación en diferentes dispositivos. El efecto *punch-through* se utilizó, por ejemplo, como mecanismo de reinicio en detectores ópticos y en memorias dinámicas JFET, como mecanismo de corriente en pequeñas células ROM verticales, como dispositivo de carga en células RAM rápidas, como dispositivo de voltaje de referencia en circuitos MOS y como fenómeno aislante en células RAM dinámicas.

Así, para poder diseñar con precisión los dispositivos TVS, es necesario conocer la física del efecto *punch-through* [9], en especial la tensión a la que éste aparece, V_{PT} , tensión que diversos autores aproximaron en un primer intento como [11], [17]:

$$V_{PT} = \frac{q}{2 \cdot \epsilon_{Si}} N_b W^2 \quad (2.1)$$

donde N_b es la concentración de impurezas en la base y W la anchura de la misma.

La Figura 2.1 muestra una estructura típica N^+PN^+ , en la que la base está dopada homogéneamente. En ella, el emisor se contacta a tierra, el colector se polariza a una tensión positiva y la base se deja flotante.

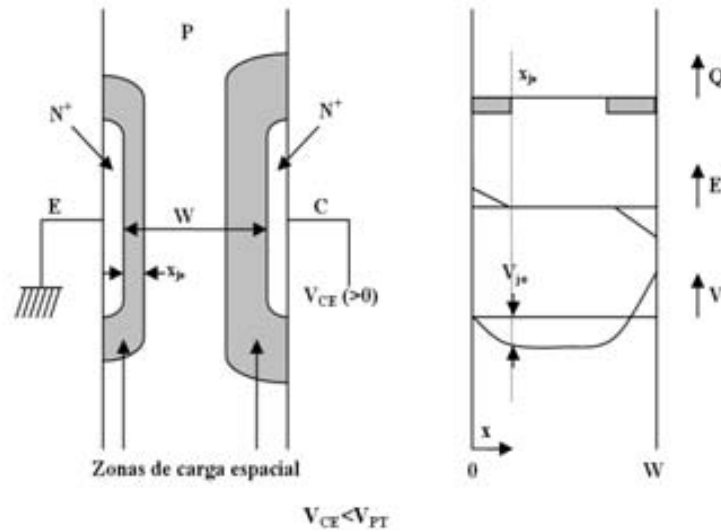


Figura 2.1: Estructura N^+PN^+ con la región P dopada homogéneamente. Distribución de carga eléctrica y perfiles de campo eléctrico y voltaje en la región de base, para $V_{CE} < V_{PT}$.

El efecto *punch-through* se basa en el vaciamiento total de la zona de base al unirse las zonas de carga espacial de las dos uniones. Tal como muestra la Figura 2.1, la unión base-colector se encuentra polarizada en inversa, por lo que, al aumentar la tensión, su zona de carga espacial aumenta dentro de la base del dispositivo, mientras que la unión base-emisor se encuentra polarizada a una tensión V_{be} que no se modifica hasta alcanzar el *punch-through*. En esta situación, la corriente que atraviesa la estructura antes de la ruptura es inyectada por la unión base-colector que está en inversa. Una vez alcanzado el *punch-through*, la unión base-emisor queda polarizada en directa, produciéndose un aumento exponencial de la corriente, de forma similar a una unión PN en directa, como muestra la Ecuación 2.2, donde V_A es la tensión aplicada a la unión.

$$I = I_0 \left(e^{\frac{qV_A}{kT}} - 1 \right) \quad (2.2)$$

En la estructura N^+PN^+ el emisor y el colector están altamente dopados, de forma que la extensión de las zonas de carga en ellos puede despreciarse. Así, x_{jo} será la extensión de la zona de carga espacial de la unión base-emisor en la base cuando el dispositivo está polarizando positivamente entre el colector y el emisor (por simetría de la estructura, si el dispositivo se polariza en inversa, el comportamiento será prácticamente el mismo intercambiando las

uniones). Dado que la tensión se soporta principalmente en la unión base-colector, y al estar la base flotante, la unión base-emisor soporta el potencial interno V_{bi} [18]. En estas condiciones, y teniendo en cuenta que las zonas de carga espacial no penetran en el colector ni en el emisor, se puede considerar que el voltaje en las uniones es el mismo que en los contactos (considerando contactos óhmicos ideales). Por consiguiente, la tensión aplicada cae en su totalidad en la región de base ($-V_{bi}$ en la unión base-emisor y $V_{CE} + V_{bi}$ en la colector-base). Al ir aumentando V_{CE} , la zona de carga espacial de la unión base-colector aumenta (proporcionalmente a $\sqrt{V_{CE}}$) hasta alcanzar la zona de carga espacial de la unión base emisor (Figura 2.2) a un valor de tensión aplicada que se considera como la tensión de *punch-through*.

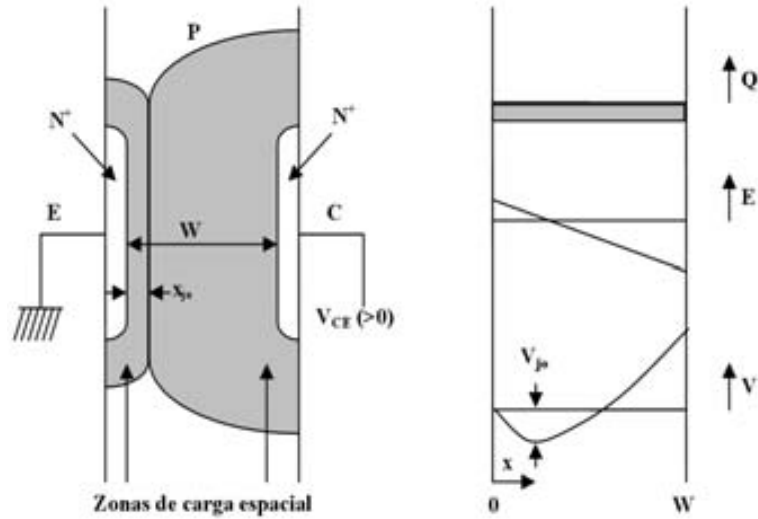


Figura 2.2: Estructura N^+PN^+ con la región P dopada homogéneamente y distribución de carga eléctrica, perfiles de campo eléctrico y voltaje en la región de base, para $V_{CE} = V_{PT}$.

La Ecuación 2.1 es una aproximación de la tensión de *punch-through* cuando $W \gg x_{j0}$. Sin embargo, en aplicaciones de muy baja tensión es necesario reducir W hasta unas pocas micras, por lo que, para obtener un valor más exacto de esta tensión, hay que tener en cuenta la extensión de la zona de carga espacial de la unión base-emisor [18]. En estas condiciones, la tensión de *punch-through* es:

$$V_{PT} = \frac{qN_b W^2}{2 \cdot \epsilon_{Si}} - W \sqrt{\frac{2qN_b V_{bi}}{\epsilon_{Si}}} \quad (2.3)$$

donde V_{bi} se calcula mediante:

$$V_{bi} = \frac{kT}{q} \ln\left(\frac{N_b N_e}{n_i^2}\right) \quad (2.4)$$

siendo N_b la concentración de impurezas en la base y N_e en el emisor.

El valor de la corriente que atraviesa el dispositivo depende del estado de cada unión. Antes de llegar a la ruptura, la corriente es inyectada por la unión base-colector. Posteriormente, la inyección de la unión base-emisor es la que domina. Así, antes de alcanzar la ruptura, los portadores inyectados por el emisor (en este caso electrones) deben superar una barrera de potencial, $-V_{bi}$, tal como se puede observar en la Figura 2.2. Esta barrera de potencial se mantiene constante hasta que se llega a V_{PT} , disminuyendo a partir de este momento y permitiendo la polarización en directa de la unión base-emisor para dar lugar a la típica característica I(V) exponencial de un diodo. Como se deduce de esta explicación, los dos fenómenos (vaciamiento de la base y polarización en directa de la unión base-emisor) están relacionados entre sí y suceden secuencialmente en el instante en que se alcanza V_{PT} . De esta forma, siempre se considera que se alcanza ruptura cuando la base queda vaciada completamente, aunque el aumento brusco de la corriente se produce al polarizarse la unión base-emisor en directa.

2.3. Dispositivo TVS 3 capas

2.3.1. Introducción

El transistor bipolar en base abierta se puede utilizar directamente como dispositivo supresor, aprovechando su ruptura por *punch-through*. Aunque la mayor parte del mercado de dispositivos supresores para aplicaciones de baja tensión (<10 V) está copado por los diodos Zener, los transistores bipolares de base flotante mejoran las prestaciones de los Zener en aplicaciones de muy baja tensión (<5 V).

La primera estructura estudiada esta formada por tres capas, N^+PN^+ o P^+NP^+ , donde la anchura y el dopaje de la región de base se escogen de manera que la unión que se polariza en inversa alcance la ruptura por *punch-through* antes que por avalancha. En este apartado se analizan las características eléctricas de esta estructura y su dependencia con los siguientes parámetros tecnológicos (Figura 2.3):

- Anchura de la base, $D_b = D_{epi} - D_c$
- Dopaje de la base, N_b
- Amplitud de la difusión de colector, W_c
- Tipo de portadores

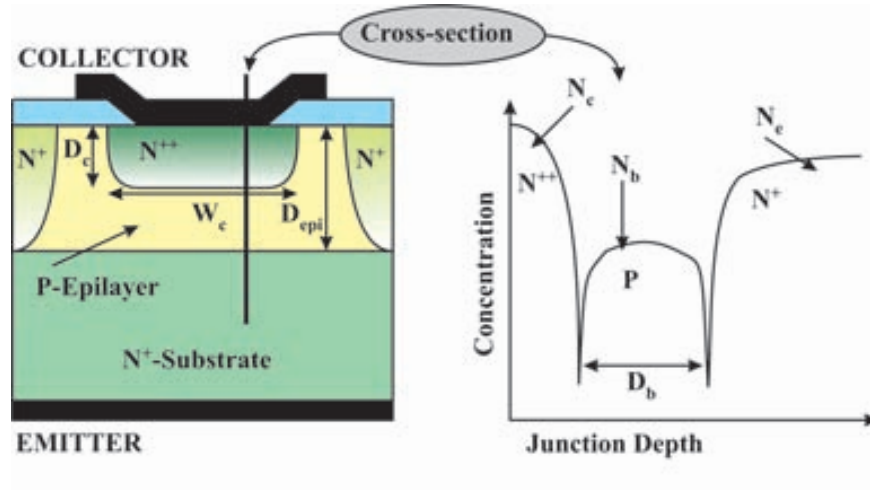


Figura 2.3: Corte transversal de un TVS bipolar de 3 capas.

El estudio se ha realizado con la ayuda del simulador numérico bidimensional Silvaco TCAD, del que se han utilizado tanto las herramientas de simulación tecnológica (Athena) como eléctrica (Atlas) [19]. El resto de parámetros tecnológicos se han mantenido constantes en todas las simulaciones, ya que se ha comprobado que su influencia en las características eléctricas es poco relevante si se mantienen en valores cercanos a los utilizados por J. Lohstroh et al. [18] en la fabricación de este tipo de dispositivos,

- Dopaje del emisor: $N_e = 5 \cdot 10^{18} cm^{-3}$
- Pico de dopaje de la difusión de colector: $N_c = 3 \cdot 10^{19} cm^{-3}$
- Profundidad de la difusión de colector: $D_c = 0.8 \mu m$

2.3.2. Análisis de la corriente de fuga

El análisis del comportamiento físico de la estructura bipolar con base abierta ayuda a comprender los resultados obtenidos en cuanto a la dependencia de la corriente de fuga con el dopaje de la base, la amplitud de la difusión de colector y el tipo de portadores.

Dopaje de la base (N_b)

Se ha estudiado la característica $I(V)$ del dispositivo variando el dopaje de la base entre 1 y $5 \cdot 10^{15} \text{ cm}^{-3}$, manteniendo el valor de la tensión de ruptura a 4 V (Figura 2.4), ajustando D_b adecuadamente para ello.

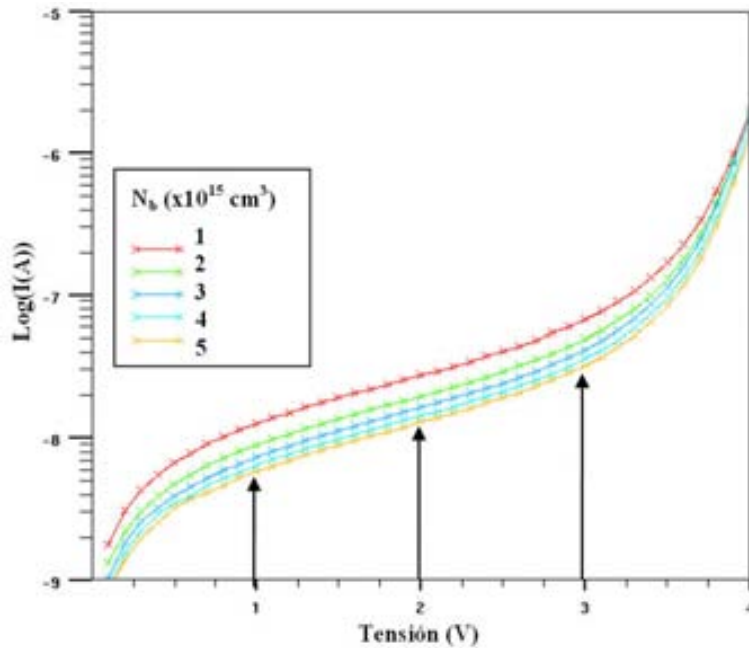


Figura 2.4: Corriente de fuga de un TVS 3 capas variando N_b , $W_c = 600 \mu\text{m}$.

Se observa que la corriente de fuga disminuye al aumentar el nivel de dopaje. Esto se puede entender si se considera que la corriente que pasa por el dispositivo es la corriente de fuga de la unión base-colector. Podemos considerar que no existe recombinación en el interior de la base del dispositivo puesto que la anchura de ésta es menor (no sobrepasa en ningún caso las $10 \mu\text{m}$) que la longitud de difusión de los portadores minoritarios (entre 20 y $35 \mu\text{m}$) [13]. En estas condiciones [18] la corriente de fuga del dispositivo es (idealmente):

$$I_0 = \frac{AqD_n n_i^2}{2\sqrt{\pi}L_D N_b} \quad (2.5)$$

donde A es el área por donde circula la corriente, D_n es la constante de difusión de los electrones y L_D es la longitud de difusión de Debye de los portadores en la base, que se puede expresar como:

$$L_D = \sqrt{\frac{kT\epsilon}{2N_b q^2}} \quad (2.6)$$

Por lo tanto, la corriente de fuga es inversamente proporcional a la raíz cuadrada del dopaje de la base:

$$I_0 \propto \frac{1}{\sqrt{N_b}} \quad (2.7)$$

Esta dependencia se ha observado en las simulaciones realizadas. Así, en la Figura 2.4 se muestra el valor de la corriente de fuga en estructuras con diferentes valores de N_b , para una misma tensión de ruptura, donde se ha determinado la corriente que pasa a diferentes niveles de tensión antes de la ruptura.

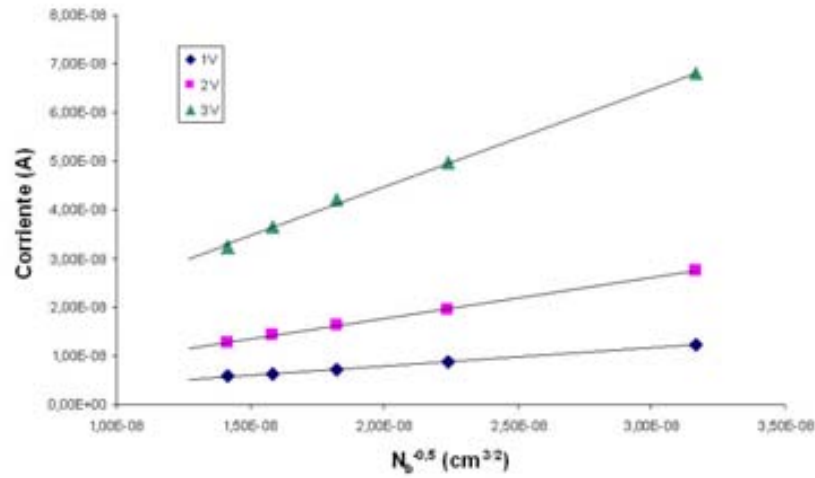


Figura 2.5: Corriente que circula por el dispositivo en función de $\frac{1}{\sqrt{N_b}}$.

Como se puede apreciar en la Figura 2.5, la dependencia de la corriente con el dopaje de la base aumenta con el voltaje aplicado. Esto es debido a que la corriente que circula depende de la caída de potencial (como en cualquier unión PN). Sin embargo, la variación de la corriente de fuga con la concentración de impurezas en la base se mantiene hasta que se alcanza la ruptura, dado que en este punto es la unión base-emisor la que domina el comportamiento del dispositivo al encontrarse polarizada en directa.

Amplitud de la difusión de colector W_c

Tal como indica la Ecuación 2.5, la corriente de fuga depende linealmente del área por donde circula la corriente. En realidad, esta afirmación no es del todo exacta, ya que la densidad de corriente no es constante a lo ancho de todo el dispositivo, dado que, antes de la ruptura, la corriente fluye por todo el dispositivo pero mostrando una densidad mayor debajo de la unión de colector (Figura 2.6 a)).

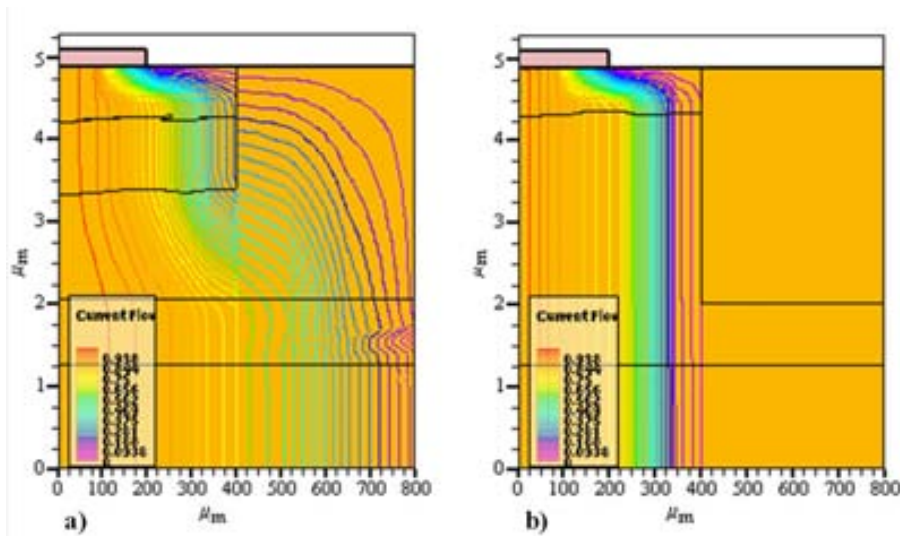


Figura 2.6: Líneas de corriente y zonas de vaciamiento para: a) $V < V_{PT}$ y b) $V > V_{PT}$. $W_c = 400\mu m$.

Así, fijado el tamaño del dispositivo, y por tanto su área, la corriente de fuga aumentará con la amplitud de la difusión de colector (W_c). La razón de que la mayor parte de la corriente fluya por debajo de la unión N^+P obedece a que es, en esa región, donde se reduce la barrera de potencial que se oponía a la difusión de electrones del emisor. Este hecho se observa claramente una vez alcanzada la ruptura al crearse un camino bien definido de menor resistividad (Figura 2.6b)) por el que fluye la totalidad de la corriente.

Para estudiar este comportamiento, se han simulado diferentes estructuras modificando únicamente la amplitud del colector, variando desde las $200\mu m$ hasta las $600\mu m$, con una amplitud total del dispositivo de $800\mu m$. Los resultados obtenidos se pueden observar en la Figura 2.7.

En la Figura 2.7 se observa como I_0 aumenta a medida que lo hace la amplitud de la difusión de colector, W_c . Analizando la dependencia de I_0 con

el área del colector, se observa como antes de la ruptura (Figura 2.8 a)) ésta no es lineal, aunque se aprecia como la corriente aumenta con el área de la difusión de colector, debido a que, aunque gran parte de la corriente fluye por debajo de la difusión, también existe flujo en el resto de la estructura.

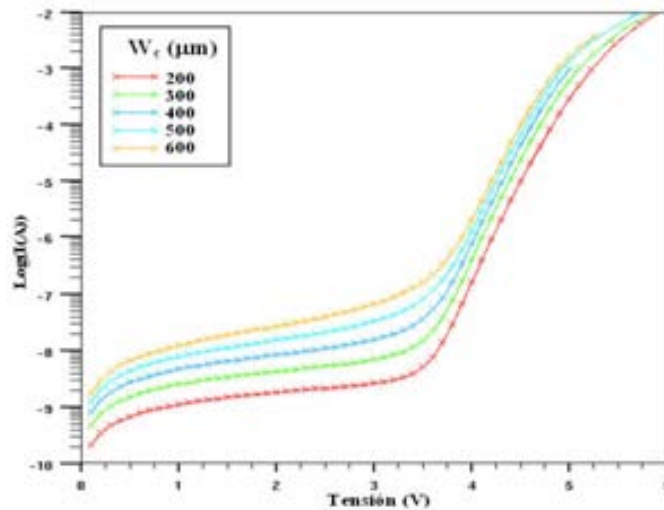


Figura 2.7: Característica I-V de estructuras TVS 3 capas con diferentes valores de amplitud del colector.

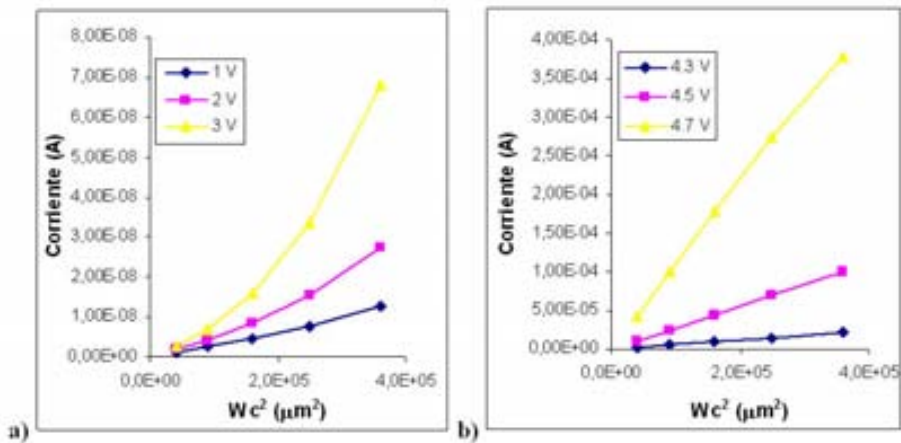


Figura 2.8: Dependencia de la corriente con el área del colector para diferentes tensiones.

Una vez alcanzada la ruptura (Figura 2.8 b)) toda la corriente circula justo por debajo del pozo, debido a la reducción de la barrera de potencial

en esa región. Por tanto, la corriente aumenta linealmente con el área de la difusión de colector.

Tipo de portadores

De la Ecuación 2.5 se deduce que la única dependencia con el tipo de portadores reside en la constante de difusión, $D_{n,p}$, que se expresa de acuerdo con la relación de Einstein, como:

$$D_{n,p} = \frac{kT}{q} \mu_{n,p} \quad (2.8)$$

donde $\mu_{n,p}$ es la movilidad de los portadores.

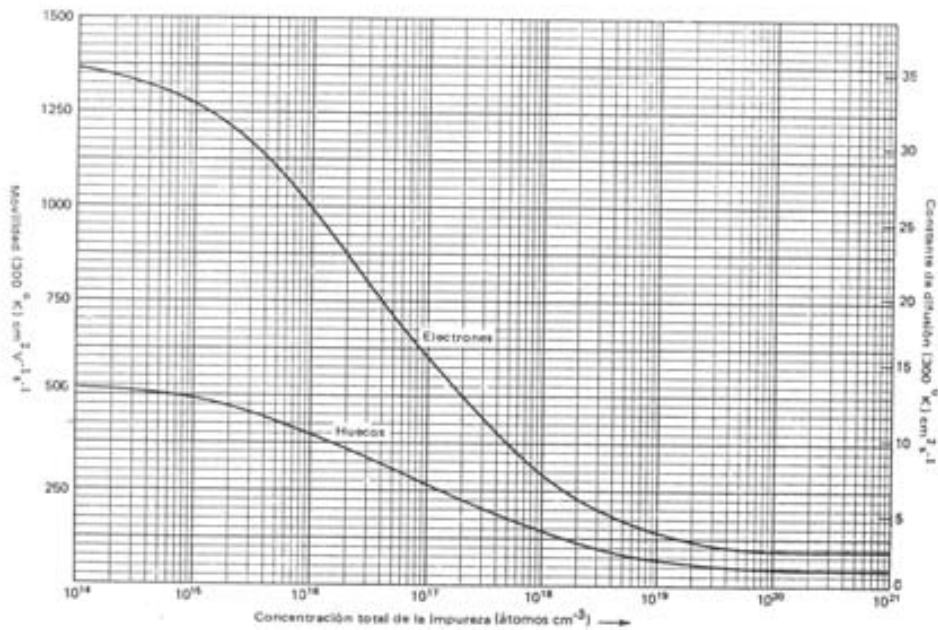


Figura 2.9: Movilidad de portadores en función de la concentración de éstos.

Es bien sabido que la movilidad de los huecos es menor que la de los electrones, como se muestra en la figura 2.9, [20]. Por tanto es de esperar que un dispositivo P^+NP^+ tenga una corriente de fuga menor que un N^+PN^+ . Para verificar este hecho, se han simulado dispositivos idénticos pero intercambiando el tipo de portadores, obteniendo los resultados presentados en la Figura 2.10 a).

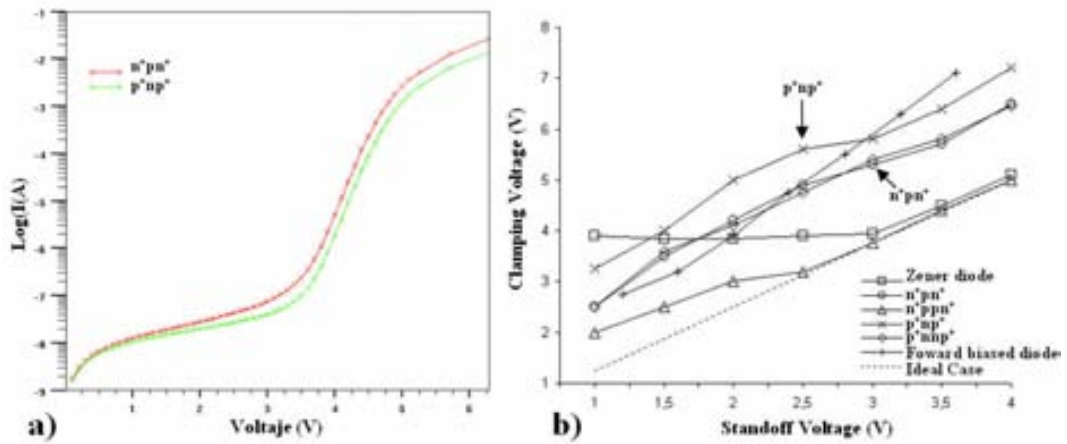


Figura 2.10: a) Característica $I(V)$ de un dispositivo N^+PN^+ y su equivalente P^+NP^+ . b) Tensiones clamping para diferentes dispositivos.

Se observa que en un dispositivo P^+NP^+ se reduce tanto la corriente total que circula por él como la corriente de fuga, presentando también una menor corriente cuando el dispositivo llega a saturación. El hecho de que una configuración P^+NP^+ tenga una menor corriente de fuga hace pensar que ésta sería preferible frente a la configuración N^+PN^+ , sin embargo, la reducción de la corriente en la saturación provoca un aumento en el valor del voltaje de *clamping*, Figura 2.10 b) [10]. En esta situación, si la diferencia de corrientes de fuga no excede un orden de magnitud, se prioriza la obtención de un voltaje de *clamping* menor, ya que redundaría en una mayor rapidez del dispositivo.

En todas las simulaciones realizadas en este trabajo, y mientras no se especifique lo contrario, se ha utilizado una configuración N^+PN^+ . La razón de esta elección reside en que la tecnología definida para la integración de estas estructuras debe poder ser transferida a Fagor Electrónica, y dado que la planta de producción de semiconductores de dicha empresa carece de un implantador iónico, el dopaje se realiza mediante procesos alternativos. En concreto, la difusión tipo N (colector) se realiza mediante el predeposición en un horno con ambiente rico en Fósforo ($POCl_3$), mientras que la difusión tipo P se lleva a cabo, o bien mediante laca dopante con una composición rica en Boro, o bien mediante el predeposición en un horno con un ambiente rico en boro (B_2OCl_3). Las pruebas realizadas en Fagor Electrónica han evidenciado una mayor repetitividad y control en el proceso de predeposición de impurezas tipo N, por lo que finalmente se optó por desestimar la fabricación de estructuras P^+NP^+ .

2.3.3. Análisis de la tensión de ruptura

Según la Ecuación 2.3, el voltaje de *punch-through* depende únicamente (desde el punto de vista de los parámetros tecnológicos) del dopaje y de la anchura de la base, N_b y D_b (que en la Ecuación 2.3 aparece como W). Su influencia sobre la tensión de ruptura se analiza por separado, de forma análoga al análisis realizado en la corriente de fuga.

Dopaje de la base N_b

Un aumento de la concentración de portadores en la base implica una reducción de la zona de carga espacial de la unión base-colector. Por consiguiente, para alcanzar una misma extensión de la zona de carga espacial con una concentración mayor de la región de base, debe aplicarse una tensión mayor, dando lugar a un aumento de la tensión de ruptura del dispositivo [21], siempre y cuando no se alcance la avalancha.

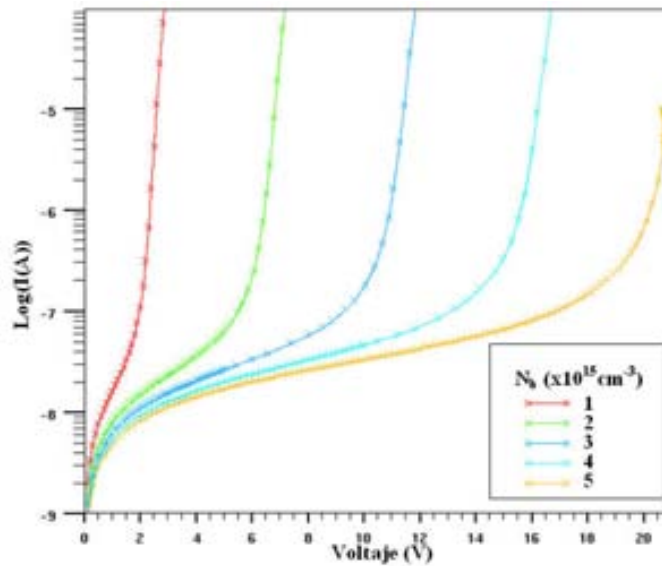


Figura 2.11: I - V de dispositivos N^+PN^+ , N_b variable, $D_b = 2.5\mu m$.

Este hecho viene descrito por la primera parte de la Ecuación 2.3, donde la tensión a la cual la zona de carga espacial alcanza una extensión D_b es,

$$\phi = \frac{qN_b D_b^2}{2\epsilon S_i} \quad (2.9)$$

Por otro lado, existe la zona de carga espacial de la unión base-emisor, cuya expresión es,

$$x_{jo} = \sqrt{\frac{2\epsilon_{Si}V_{bi}}{qN_b}} \quad (2.10)$$

Así, la zona de carga espacial de la unión base-colector no debe llegar hasta D_b sino hasta $D_b - x_{jo}$. Por tanto, al aumentar la concentración de impurezas, la anchura *efectiva* de la región de base que ha de alcanzar la zona de carga espacial aumenta al disminuir x_{jo} . Así, un aumento de N_b produce siempre un aumento de la tensión de ruptura del dispositivo debido a dos fenómenos: la menor extensión de la zona de carga espacial de la unión base-colector a una tensión aplicada y la reducción de la anchura de la zona de carga espacial de la unión base-emisor.

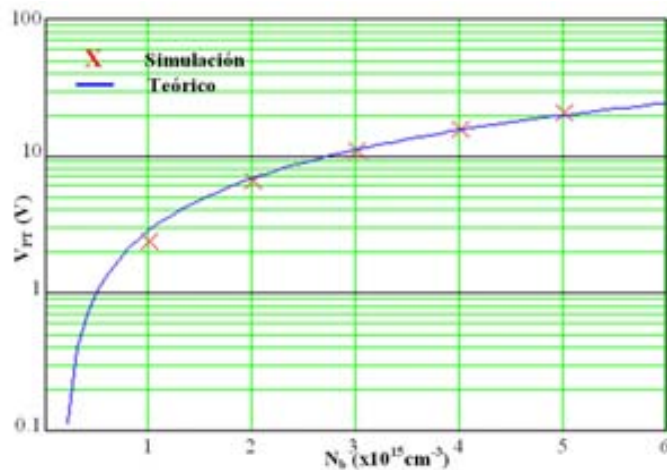


Figura 2.12: Variación de la tensión de ruptura con el dopaje de la base. Resultados mediante simulación y predicción teórica (Ecuación 2.3).

Para observar este efecto, se ha simulado el comportamiento del dispositivo variando ahora únicamente N_b . En la Figura 2.11 se aprecia el aumento de la tensión de ruptura con el dopaje de la base. Además, se observa como este aumento es prácticamente lineal, tal como indica la Ecuación 2.9, puesto que el efecto no lineal predicho por la Ecuación 2.10, debido a la disminución de x_{jo} , es menor que el producido por la menor extensión de la zona de carga espacial.

Los resultados de la simulación presentados en la Figura 2.12 se han obtenido fijando la corriente de ruptura a $10\mu A$. Esta elección se debe a que se ha observado, en la mayoría de las simulaciones, que a este nivel de corriente el dispositivo ya ha alcanzado el *punch-through*. Así, aunque es difícil determinar exactamente el punto de ruptura a partir de las simulaciones, nos aseguramos de que el valor obtenido se aproxima al real.

Anchura de la base (D_b)

La anchura de la base, D_b , es el parámetro clave a la hora de diseñar el dispositivo y elegir su tensión de ruptura, debido a dos razones:

1. Es fácilmente controlable (siempre que se disponga de una tecnología bien establecida) dentro del proceso de fabricación del dispositivo,
2. Su variación únicamente modifica la tensión de ruptura, dejando las otras características eléctricas del dispositivo inalteradas (como la corriente de fuga y la tensión de *clamping*, V_c).

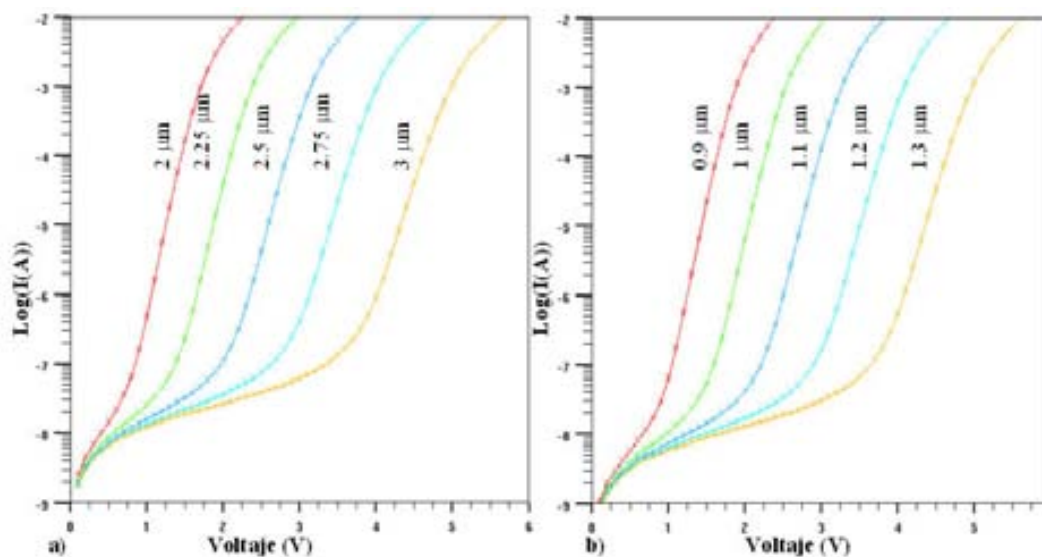


Figura 2.13: Característica I - V dispositivos N^+PN^+ , D_b variable para a) $N_b = 10^{15} \text{cm}^{-3}$ y b) $N_b = 5 \cdot 10^{15} \text{cm}^{-3}$.

Para estudiar el efecto de D_b sobre V_{br} , se han simulado dispositivos con dos valores diferentes de dopaje de la base, variando D_b . En la Figura 2.13 se puede observar que una disminución de D_b implica una disminución de la tensión de ruptura del dispositivo, con una mayor caída de tensión al

aumentar el dopaje de la base. Por tanto, para un valor de dopaje fijado, el ajuste de la anchura de base determinará la tensión de ruptura [22]. Sin embargo, existe un límite por debajo del cual no se puede disminuir más dicha anchura, ya que, si la base es lo suficientemente estrecha, las zonas de carga espacial de las dos uniones pueden llegar a estar tocándose siempre. De este modo, al aplicar una mínima diferencia de potencial el dispositivo entra en ruptura. Por consiguiente, la anchura de base debe cumplir la siguiente condición:

$$D_b > 2 \cdot x_{jo} \quad (2.11)$$

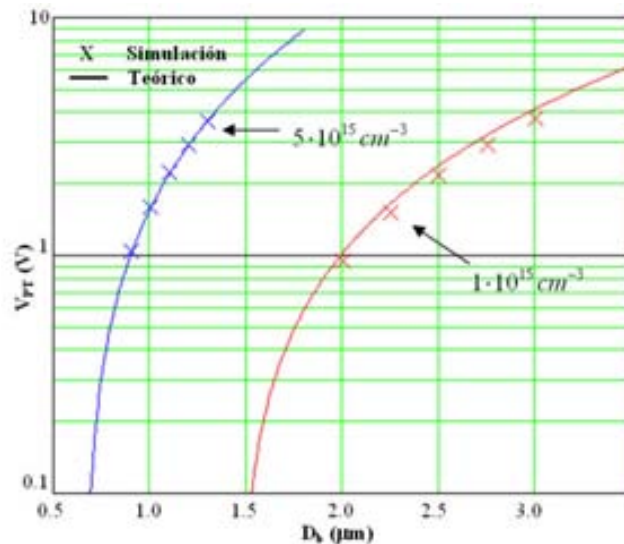


Figura 2.14: Variación de la tensión de ruptura con la anchura de la base para dos valores de N_b (mediante simulación y predicción teórica, Ecuación 2.3).

Por ejemplo: un dispositivo con una concentración en la base de 10^{15} cm^{-3} debe tener una anchura mayor de $1.5 \mu\text{m}$, mientras que si la concentración es $5 \cdot 10^{15} \text{ cm}^{-3}$ la anchura se puede reducir hasta $0.7 \mu\text{m}$. La Fig. 2.14 muestra el acuerdo de las simulaciones de la Figura 2.13 con la Ecuación 2.3 y como la tensión de ruptura tiende a cero en los valores señalados anteriormente.

Una vez analizadas las características eléctricas del TVS 3 capas vamos a analizar ahora el TVS 4 capas.

2.4. Dispositivo TVS 4 capas

2.4.1. Introducción

A pesar de la significativa reducción de la corriente de fuga, los TVS 3 capas no llegan a tener la velocidad de respuesta que presentan los Zener tradicionales. De todas formas, es innegable la mejoría de los dispositivos TVS 3 capas para tensiones de trabajo inferiores a 5 V, más aún si su uso se orienta hacia dispositivos portátiles donde el consumo de energía es de vital importancia. Sin embargo, aunque se logre reducir la corriente de fuga en varios órdenes de magnitud, no se debe olvidar que la velocidad de respuesta de un dispositivo supresor es un parámetro fundamental.

En el apartado anterior no se ha tenido en cuenta la velocidad de respuesta a la hora de optimizar el dispositivo, aunque ya se advirtió de que la tensión de *clamping*, factor ligado a la velocidad de respuesta, era mayor para estos dispositivos. A pesar de que el TVS 3 capas no muestre una velocidad de respuesta similar al Zener, ésta se puede mejorar, ya que la velocidad de respuesta de un dispositivo debe garantizar la absorción de transitorios sin que se destruyan, o se degraden, las etapas posteriores que el propio dispositivo protege.

El dispositivo más simple basado en el efecto *punch-through* como método de ruptura es el TVS 3 capas; pero ello no quiere decir que sea el único y, ni mucho menos, el mejor. No deja de ser esperanzador el hecho de que, con el dispositivo más sencillo, se consigan prestaciones eléctricas sustancialmente superiores a las del Zener, lo que hace pensar que es posible fabricar dispositivos supresores de baja tensión (basados en el efecto *punch-through*) con unas características aún mejores.

Aunque los dispositivos supresores TVS 3 capas se estudian y se fabrican desde hace décadas, hasta mediados de los años 90 [23] no se encontró una solución al problema del aumento de la tensión de *clamping*. En esos años, Semtech Corp. [24] introdujo en el mercado un nuevo dispositivo supresor basado en el efecto *punch-through* con prestaciones superiores a las del TVS 3 capas. La estructura básica de este dispositivo, formado por 4 capas, se muestra en la Figura 2.15. Años más tarde, Protek Devices [25] incorporaba este tipo de dispositivo a su catálogo y, recientemente, investigadores de Philips han propuesto dispositivos similares [26], de hasta 5 capas, pero manteniendo la idea original de Semtech.

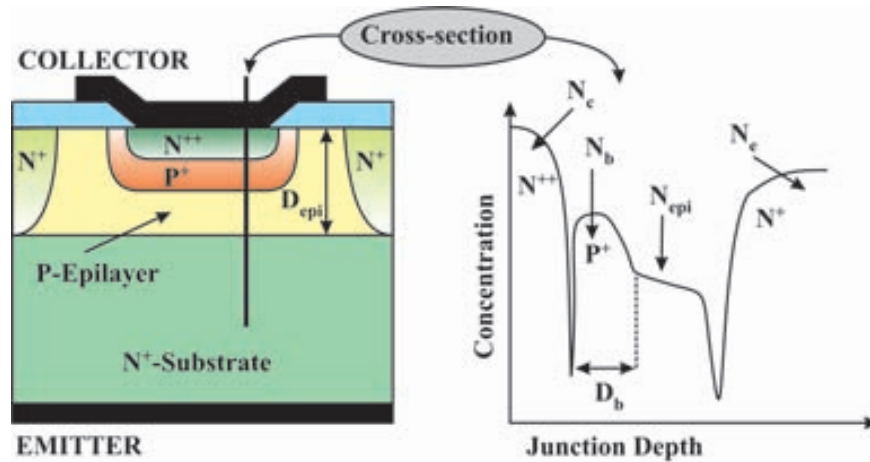


Figura 2.15: Corte transversal de un TVS 4 capas.

Todas estas estructuras tienen como objetivo la reducción de la tensión de *clamping* aprovechando el efecto de *snapback* [27]. Para ello se añade una capa P^+ (*buffer*) bajo la unión base-colector de la estructura tricapa básica. Esta capa altamente dopada no afecta a la corriente de fuga del dispositivo, pero en cambio, una vez alcanzada la ruptura, gobierna la corriente que circula por él. El *snapback*, o resistencia negativa, se produce debido a la ionización por impacto generada por el elevado campo eléctrico en la zona P^+ , donde los pares electrón-hueco son acelerados en direcciones opuestas. El resultado del movimiento por separado de electrones y huecos, causa una reducción en la altura de la barrera de potencial, disminuyendo de este modo la caída de potencial en el dispositivo para una corriente dada [28].

Debido a la reciente aparición de la nueva generación de dispositivos TVS 4 capas, no existe en la bibliografía un estudio exhaustivo de la dependencia de sus características eléctricas con los diferentes parámetros tecnológicos, así como una formulación para su voltaje de ruptura. Estos van a ser los principales temas que vamos a tratar a lo largo de esta sección.

2.4.2. Modelo de ruptura

Actualmente, el diseño de dispositivos semiconductores se basa en simuladores numéricos que permiten emular su comportamiento (ya sean sus características eléctricas o el proceso de fabricación). El uso de estas herramientas ha reducido el tiempo de desarrollo, a la vez que permite precisar cada vez más las características finales del dispositivo. En los dispositivos

supresores, ésto no es una excepción y, para no excederse más de lo necesario en el número de simulaciones a realizar, siempre es útil poseer una formulación que nos dé información cualitativa del comportamiento de alguno de sus parámetros más importantes. De esta forma, podemos acotar el rango de situaciones a simular y optimizar el proceso de desarrollo. En el caso concreto de los TVS, el parámetro clave en su optimización es la tensión de ruptura.

En el apartado anterior se ha presentado una aproximación analítica para la tensión de ruptura (tipo *punch-through*) para un TVS de 3 capas. Sin embargo, hasta la fecha, no existía ninguna formulación precisa para la tensión de ruptura de un TVS 4 capas. Debido a la gran similitud entre las dos estructuras, se ha podido desarrollar una aproximación quasi-analítica para ésta.

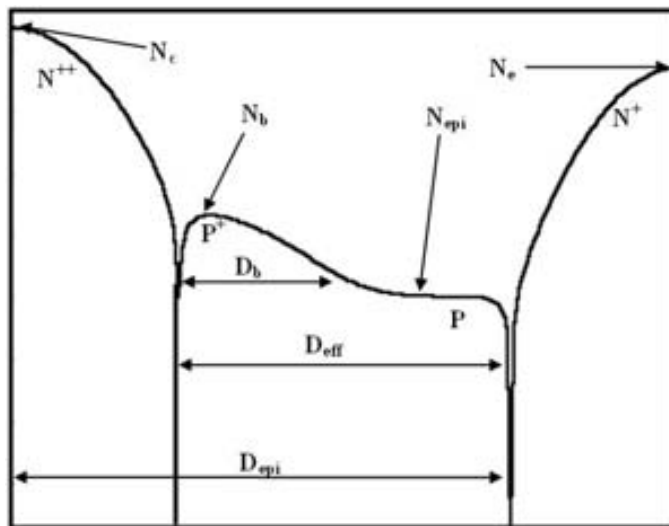


Figura 2.16: Perfil de dopajes de un TVS 4 capas obtenido por simulación.

El procedimiento seguido consiste en encontrar la tensión que cae, en el dispositivo, en el momento en que las zonas de vaciamiento de las dos uniones se tocan. Así, conociendo el perfil de dopajes del dispositivo (Figura 2.16), se puede calcular el campo eléctrico y el voltaje en cada punto. Hay que destacar, que siempre existe un límite superior por encima del cual la tensión de ruptura ya no vendrá determinada por la tensión de *punch-through*. Esto sucede cuando la anchura de la base es superior a un cierto valor, impidiendo que las zonas de vaciamiento lleguen a unirse, al producirse antes la ruptura por avalancha de la unión base-colector. Sin embargo, mientras la

tensión de *punch-through* está determinada por el contacto entre las zonas de vaciamiento, la ruptura por avalancha depende de otros factores, como la forma de la unión, los mecanismos de protección, etc. En nuestro caso, la forma de la unión no es relevante dado que la zona de vaciamiento entre las dos uniones es siempre plana.

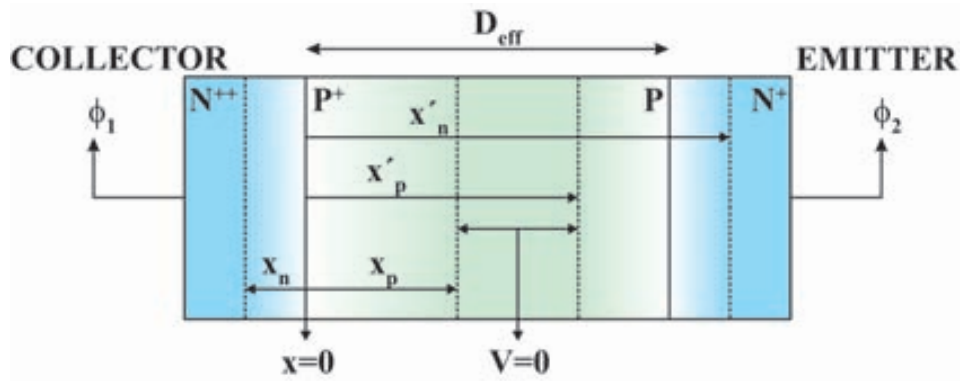


Figura 2.17: Zonas de vaciamiento y polarización del dispositivo.

Se considera el dispositivo ideal que muestra la Figura 2.17, donde, al haber a un lado de las uniones una concentración de dopaje varios órdenes de magnitud mayor comparada con el dopaje del otro lado, se puede afirmar que ambas uniones son abruptas [29]. Para encontrar la tensión de ruptura por *punch-through*, se calcula, inicialmente, el voltaje en la unión base-colector en función de la zona de vaciamiento dentro de la zona P, $\phi_1(x_p)$, junto a la longitud de la zona de vaciamiento dentro de la zona P de la unión base-emisor, x'_p . La ruptura se producirá cuando $x_p = x'_p$, por lo que, dado que la diferencia de tensión entre colector y emisor del dispositivo es $V = \phi_1 - \phi_2$ y conocido el valor $\phi_2 = V_{bi}$, se obtiene una expresión para la tensión de ruptura:

$$V_{PT} = \phi_1(x'_p) - V_{bi} \quad (2.12)$$

En la sección 2.2 se describió el efecto *punch-through* escogiendo el origen de potencial en el emisor. En este caso, se escoge el origen en la base, puesto que será útil en los cálculos posteriores, ya que la diferencia de potencial en las uniones colector-base y emisor-base son simplemente ϕ_1 y ϕ_2 . Por el mismo motivo, se elige el origen de coordenadas en la unión base-colector y todos los cálculos de longitudes (x_p , x_n , x'_p , x'_n y D_{eff}) estarán referidos a él.

Para empezar, se debe aproximar el perfil de dopajes en la base del dispositivo a partir de un perfil gaussiano, puesto que es el que mejor se ajusta al perfil real obtenido mediante implantación de impurezas y su posterior difusión [30]:

$$N_{tot}(x) = N_b \cdot \exp\left(-\frac{x^2}{\lambda^2}\right) + N_{epi} \quad (2.13)$$

donde λ es la longitud de penetración de las impurezas, la cual se halla a partir de la definición de D_b que, como se puede ver en la figura 2.16, se define como la distancia a la cual el valor de la gaussiana es igual al valor constante de la epitaxia:

$$N_b \cdot \exp\left(-\frac{D_b^2}{\lambda^2}\right) = N_{epi} \quad (2.14)$$

por lo que:

$$N_{tot}(D_b) \equiv 2N_{epi} \Rightarrow \lambda = \frac{D_b}{\sqrt{\ln\left(\frac{N_b}{N_{epi}}\right)}} \quad (2.15)$$

Los dopajes de colector y emisor se consideran homogéneos, con concentraciones N_c y N_e , respectivamente. Para el cálculo se hace uso de la aproximación de vaciamiento y las siguientes condiciones de contorno: el campo eléctrico es nulo en los límites de las zonas de carga espacial y la tensión que cae sobre ellas es la misma que la tensión en los contactos (tal como muestra la Figura 2.17). Bajo estos supuestos, se ha determinado [31] una expresión para su tensión de ruptura:

$$V_{PT} = \frac{q}{2\epsilon_{Si}} \left[N_c \left(\frac{N_b \sqrt{\pi}}{2N_c} \lambda \cdot \operatorname{erf}\left(\frac{x'_p}{\lambda}\right) + \frac{N_{epi}}{N_c} x'_p \right)^2 + N_{epi} x_p'^2 + N_b \lambda^2 \left(1 - \exp\left(-\frac{x_p'^2}{\lambda^2}\right) \right) \right] - V_{bi} \quad (2.16)$$

que depende de los principales parámetros tecnológicos:

$$V_{PT} = V_{PT}(N_c, N_b, N_{epi}, D_b, D_{eff}) \quad (2.17)$$

De esta forma, se tiene una expresión quasi-analítica para la tensión de *punch-through*, pero con el inconveniente de tener que resolver numéricamente x'_p , ya que x'_p se extrae de la siguiente Ecuación:

$$\begin{aligned}
V_{bi} = & \frac{qN_e}{2\epsilon_{Si}} \left\{ \frac{N_{epi}}{N_e} (D_{eff} - x'_p) + \frac{N_b\sqrt{\pi}}{2N_e} \lambda \left(erf\left(\frac{D_{eff}}{\lambda}\right) - erf\left(\frac{x'_p}{\lambda}\right) \right) \right\}^2 \\
& + \frac{qN_{epi}}{2\epsilon_{Si}} (D_{eff} - x'_p)^2 + \frac{qN_b\sqrt{\pi}}{2\epsilon_{Si}} \lambda \left\{ D_{eff} \left(erf\left(\frac{D_{eff}}{\lambda}\right) - erf\left(\frac{x'_p}{\lambda}\right) \right) \right. \\
& \left. + \frac{\lambda}{\sqrt{\pi}} \left(\exp\left(-\frac{D_{eff}^2}{\lambda^2}\right) - \exp\left(-\frac{x_p'^2}{\lambda^2}\right) \right) \right\} \quad (2.18)
\end{aligned}$$

La imposibilidad de encontrar una solución analítica para x'_p aparece al considerar su incursión dentro de la zona P^+ (de perfil gaussiano), fundamental para obtener una buena aproximación para su tensión de ruptura cuando la base es muy estrecha, $x'_p \leq D_b$. Sin embargo, para $x'_p > D_b$ se pueden aplicar las siguientes aproximaciones,

$$erf\left(\frac{x'_p}{\lambda}\right), erf\left(\frac{D_{eff}}{\lambda}\right) \Rightarrow 1 \text{ y } \exp\left(-\frac{x_p'^2}{\lambda^2}\right), \exp\left(-\frac{D_{eff}^2}{\lambda^2}\right) \Rightarrow 0 \quad (2.19)$$

por lo que, en este caso, es posible determinar fácilmente x'_p :

$$x'_p = D_{eff} - \sqrt{\frac{2\epsilon_{Si}V_{bi}}{q\left(\frac{N_{epi}^2}{N_e} - N_{epi}\right)}} \quad (2.20)$$

Se pueden comparar las Ecuaciones 2.18 y 2.20 para observar hasta que punto la aproximación realizada es válida.

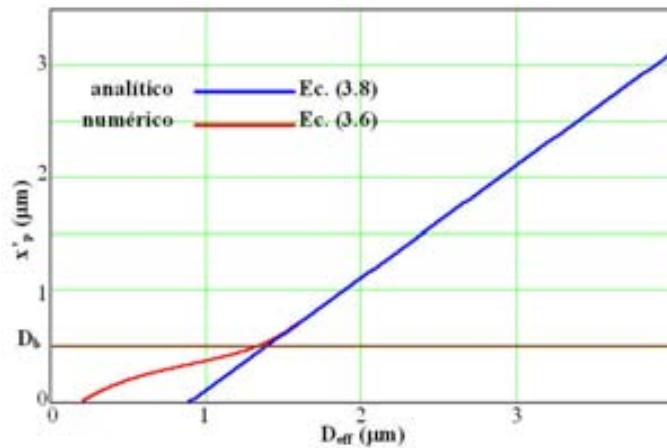


Figura 2.18: $x'_p(D_{eff})$. $D_b = 0.5\mu\text{m}$, $N_b = 2.37 \cdot 10^{16}\text{cm}^{-3}$ y $N_{epi} = 10^{15}\text{cm}^{-3}$.

Como se deduce de la Figura 2.18, para $x'_p > D_b$ la aproximación es válida. Sin embargo, cuando D_{eff} disminuye, se debe encontrar el valor de x'_p numéricamente.

Para estimar el error cometido al efectuar esta aproximación, se debe comparar la tensión de *punch-through* calculando x'_p numéricamente con su aproximación analítica. Así, haciendo uso de las aproximaciones realizadas en la Ecuación 2.19, nos quedará que la expresión para la tensión de *punch-through*, cuando x'_p se calcula analíticamente, es:

$$V_{PT} = \frac{q}{2\epsilon_{Si}} \left[N_c \left(\frac{N_b \sqrt{\pi}}{2N_c} \lambda + \frac{N_{epi}}{N_c} x'_p \right)^2 + N_{epi} x_p'^2 + N_b \lambda^2 \right] - V_{bi} \quad (2.21)$$

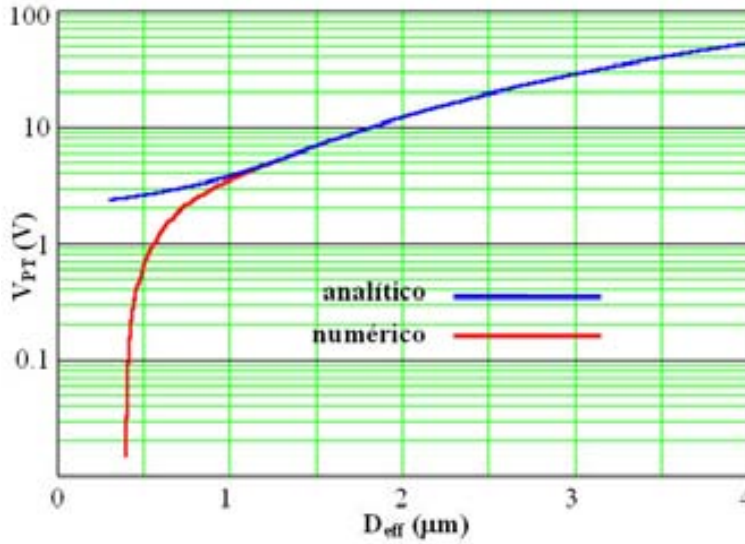


Figura 2.19: $V_{PT}(D_{eff})$. $D_b = 0.5 \mu m$, $N_b = 2.37 \cdot 10^{16} cm^{-3}$ y $N_{epi} = 5 \cdot 10^{15} cm^{-3}$.

La comparación entre las Ecuaciones 2.16 y 2.21 da cuenta de la validez de la aproximación. En la Figura 2.19 se observa como la aproximación es válida únicamente para valores de D_{eff} que hacen que $x'_p > D_b$. A pesar de que este valor depende de los dopajes, podemos considerar que para $V_{PT} < 3V$, la aproximación analítica ya no es válida frente al valor obtenido numéricamente. Así, para $V_{PT} > 3V$, se tiene una expresión analítica para la determinación de la tensión de ruptura del dispositivo, mientras que para $V_{PT} < 3V$ esta se obtiene de forma quasi-analítica.

2.4.2.1 Límite al modelo TVS 3 capas

En este apartado se muestra como el modelo desarrollado para una estructura cuatricapa con perfil gaussiano también permite la obtención de la tensión de ruptura para el dispositivo tricapa (Ecuación 2.3). El modelo obtenido en el caso del TVS de 4 capas debe converger en el límite a la expresión obtenida para un TVS de 3 capas. Por ello, se analizan los dos casos donde se alcanza el límite: cuando la anchura del buffer P^+ , D_b , es muy grande ($\lambda \rightarrow \infty$, ocupando toda la epitaxia), o muy pequeña ($\lambda \rightarrow 0$, llegando a desaparecer).

Disminución de la anchura del buffer P^+ hasta su desaparición, $\lambda \rightarrow 0$

En este caso, la estructura se convierte en un dispositivo tricapa con un dopaje de base N_{epi} y una anchura de base D_{eff} . En estas condiciones, al aplicar el límite $\lambda \rightarrow 0$ y posteriormente N_c y $N_e \gg N_{epi}$ en las Ecuaciones 2.16 y 2.18, todos los factores multiplicados por λ convergen a 0, por lo que x'_p queda de la siguiente forma:

$$x'_p = D_{eff} - \sqrt{\frac{2\epsilon_{Si}V_{bi}}{qN_{epi}}} \quad (2.22)$$

y la tensión de ruptura,

$$V_{PT} = \frac{qN_c}{2\epsilon_{Si}} \left(\frac{N_{epi}}{N_c} x'_p \right)^2 + \frac{qN_{epi}}{2\epsilon_{Si}} - V_{bi} \quad (2.23)$$

que al sustituir x'_p por el valor de la Ecuación 2.22 y suponiendo $N_c > N_{epi}$,

$$V_{PT} = \frac{qN_{epi}}{2\epsilon_{Si}} D_{eff}^2 - D_{eff} \sqrt{\frac{2qN_{epi}V_{bi}}{\epsilon_{Si}}} \quad (2.24)$$

Como se observa, esta expresión es idéntica a la Ecuación 2.3, donde N_{epi} sustituye a N_b y D_{eff} a W en la ecuación original.

Incremento de la anchura del buffer P^+ hasta ocupar toda la epitaxia, $\lambda \rightarrow \infty$

Al aumentar la anchura del buffer P^+ , toda la base se convierte en una zona homogénea, altamente dopada, con una concentración $N_b + N_{epi}$ y con

una anchura D_{eff} . Para calcular la tensión de ruptura en estas condiciones, se deben de aplicar los siguientes límites:

$$\lim_{x \rightarrow \infty} x \cdot erf\left(\frac{a}{x}\right) = \frac{2a}{\sqrt{\pi}} \quad (2.25)$$

$$\lim_{x \rightarrow \infty} x^2 \left(1 - \exp\left(-\frac{a^2}{x^2}\right)\right) = a^2 \quad (2.26)$$

Con lo que es posible calcular x'_p analíticamente como,

$$x'_p = D_{eff} - \sqrt{\frac{2\epsilon_{Si}V_{bi}}{q(N_b + N_{epi})}} \quad (2.27)$$

y la tensión de ruptura,

$$V_{PT} = \frac{qN_c}{2\epsilon_{Si}} \left(\frac{N_b + N_{epi}}{N_c} x'_p\right)^2 + \frac{q(N_b + N_{epi})}{2\epsilon_{Si}} x_p'^2 - V_{bi} \quad (2.28)$$

que al substituir x'_p de la Ecuación 2.27 y suponiendo $N_c > N_{epi}$,

$$V_{PT} = \frac{q(N_b + N_{epi})}{2\epsilon_{Si}} D_{eff}^2 - D_{eff} \sqrt{\frac{2q(N_b + N_{epi})V_{bi}}{\epsilon_{Si}}} \quad (2.29)$$

donde se obtiene de nuevo la expresión de la tensión de *punch-through* de una estructura tricapa con un dopaje de base $N_b + N_{epi}$.

2.4.3. Características eléctricas

A continuación, y del mismo modo que hicimos en la estructura TVS 3 capas, vamos a analizar las características eléctricas de la estructura TVS 4 capas y su dependencia con los diferentes parámetros tecnológicos. En este caso, al añadir el buffer P^+ bajo la unión base-colector, se aumenta el número de parámetros que afectan a las características de salida (ver la Figura 2.15):

- Anchura de la base, D_{eff}
- Anchura del buffer P^+ , D_b

- Pico de dopaje del buffer P^+ , N_b
- Dopaje de la epitaxia, N_{epi}
- Amplitud de la difusión de colector, W_c

En el estudio de la estructura TVS de 3 capas, se disponía de un modelo tanto para la corriente de fuga como para la tensión de ruptura (tipo *punch-through*). Por ello, y con la ayuda de las simulaciones numéricas, se realizó un estudio cualitativo exhaustivo de estas características. Por contra, en las estructuras TVS de 4 capas, el estudio de la corriente de fuga se basa únicamente en las observaciones de las simulaciones numéricas, ya que, con la introducción de la capa P^+ , el fenómeno de *snapback* se produce en el rango de tensiones objeto de interés (<3 V) para este tipo de estructuras, situación que no ocurría con la estructura tricapa. Este fenómeno hace que no se disponga de un modelo para la corriente.

Igual que en el estudio de la estructura tricapa, se han fijado los parámetros menos relevantes en la caracterización de esta estructura:

- Dopaje del emisor: $N_e = 5 \cdot 10^{18} \text{cm}^{-3}$
- Pico del dopaje de la difusión de colector: $N_c = 3 \cdot 10^{19} \text{cm}^{-3}$
- Profundidad de la difusión de colector: $D_c = 0.8 \mu\text{m}$

Los valores elegidos coinciden con el caso tricapa, y son los usuales en la fabricación de este tipo de dispositivos.

2.4.3.1 Análisis de la corriente de fuga

Del análisis de la estructura tricapa se concluye que la corriente de fuga disminuye al aumentar el dopaje de la base, aunque ni el aumento del dopaje (entre 10^{15} y $5 \cdot 10^{15} \text{cm}^{-3}$) ni la disminución de la corriente de fuga (para una misma amplitud de colector) son realmente significativos si los comparamos con el perfil de dopaje y la corriente de fuga que tiene un Zener en este rango de tensión. Es decir, la corriente de fuga de cualquier dispositivo tricapa es muy inferior al Zener tradicional. Del mismo modo, la corriente de fuga de una estructura TVS de 4 capas es menor que la de un TVS de 3 capas. Las diferencias observadas entre los niveles de corriente de fuga entre distintas estructuras cuatricapa no son significativas. Así, la función del buffer P^+ es, básicamente, reducir la tensión de *clamping*, como se verá más adelante.

Dopaje de la epitaxia (N_{epi})

La corriente de fuga en los TVS de 4 capas viene determinada por la unión base-colector. Por tanto, es de esperar que N_{epi} no influya en su valor, puesto que el dopaje de la base en ese punto es N_b , donde $N_b \gg N_{epi}$. Para esta afirmación, se ha simulado esta estructura variando N_{epi} y ajustando el valor de D_{eff} para obtener el mismo valor de V_{PT} (Figura 2.20).

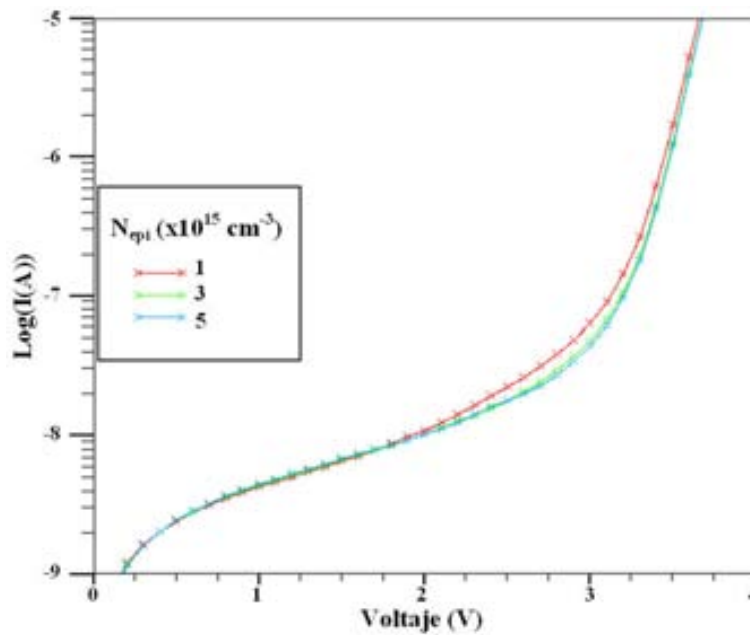


Figura 2.20: Corriente de fuga de una estructura TVS 4 capas variando N_{epi} . $W_c = 600\mu\text{m}$, $D_b = 0.5\mu\text{m}$, $N_b = 3.97 \cdot 10^{16} \text{ cm}^{-3}$, D_{eff} ajustado para una $V_{PT} = 3.5\text{V}$.

Se observa que, al disminuir N_{epi} , la corriente de fuga no aumenta, de modo apreciable, si se compara con el aumento que se producía en una estructura tricapa (Figura 2.4). La Figura 2.21 muestra la corriente de fuga para estructuras con un pico N_b mayor que en las estructuras simuladas en la Figura 2.20. Se observa que un aumento de N_b disminuye la dependencia de la corriente de fuga con N_{epi} , por lo que se deduce que N_{epi} no es un parámetro tecnológico relevante en la optimización de la corriente de fuga en estructuras TVS de 4 capas.

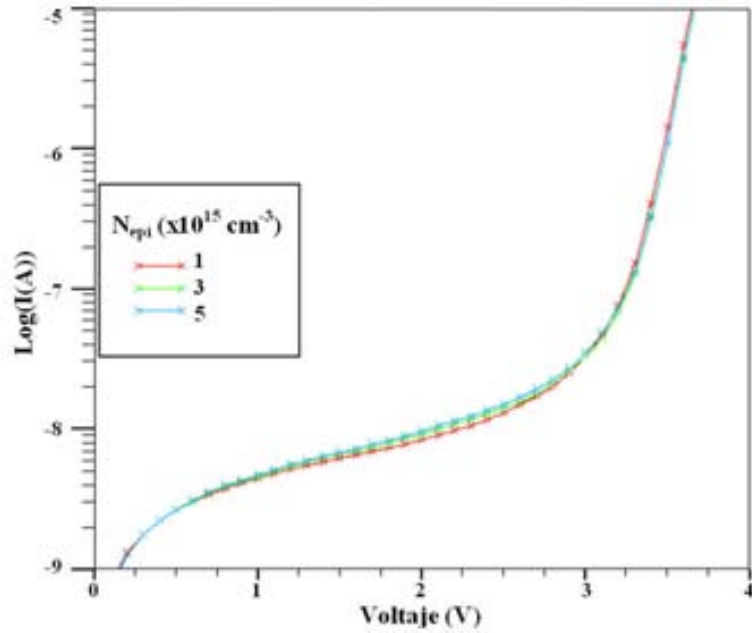


Figura 2.21: Corriente de fuga de una estructura TVS 4 capas variando N_{epi} , $W_c = 600\mu m$, $D_b = 0.5\mu m$, $N_b = 5.35 \cdot 10^{16} cm^{-3}$, D_{eff} ajustado para una $V_{PT} = 3.5V$.

Pico de dopaje del buffer P^+ (N_b)

La difusión P^+ de colector obliga a tener en cuenta una serie de fenómenos que no aparecen en las estructuras tricapa. De lo analizado en apartados anteriores se podría deducir que, al simular diferentes estructuras con una misma tensión de ruptura y diferentes valores de N_b , la corriente de fuga debería mostrar un comportamiento similar al de la Figura 2.4, donde se aprecia como disminuye la corriente al aumentar el dopaje de epitaxia.

Sin embargo, tal como se muestra en la Figura 2.22 en la que se reflejan los resultados de las simulaciones realizadas sobre una estructura cuatricapa en la que se ha variado el dopaje del buffer, en sus características se pueden apreciar dos zonas bien diferenciadas. En la primera zona, la corriente de fuga es prácticamente la misma para las tres estructuras (independencia frente a N_b), mientras que en la segunda, se observa una disminución de la corriente de fuga al aumentar el pico de dopaje del buffer. Las causas físicas que explican este comportamiento son diferentes a las vistas en la estructura TVS de 3 capas.

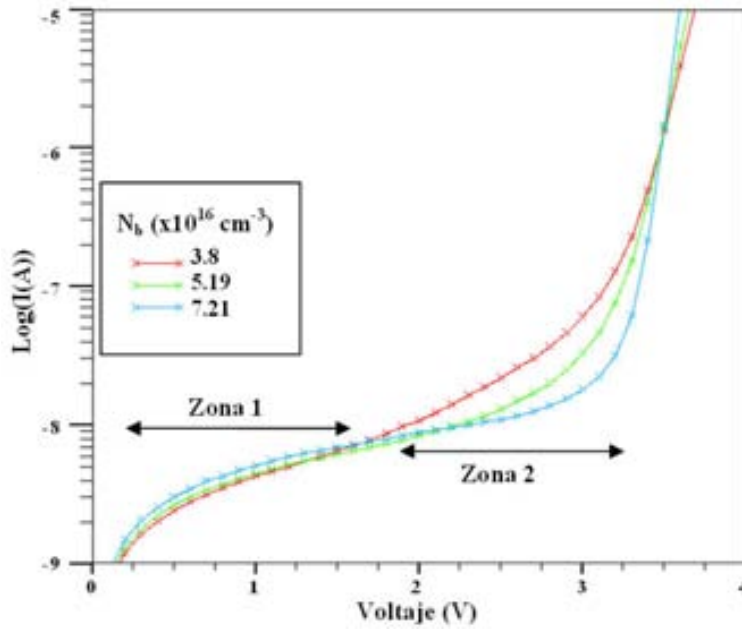


Figura 2.22: Corriente de fuga de una estructura TVS 4 capas variando N_b , $W_c = 600\mu m$, $D_b = 0.5\mu m$, $N_{epi} = 10^{15}cm^{-3}$, D_{eff} ajustado para una $V_{PT} = 3.5V$.

En el caso del TVS 3 capas, la corriente de fuga es debida, principalmente, a la corriente de la unión base-colector polarizada en inversa, donde no se considera la aportación de la unión base-emisor, dado que se trata de una unión PN en equilibrio polarizada a una tensión $-V_{bi}$. En esta unión, los electrones inyectados por el emisor deben superar una barrera de potencial (V_{bi}), por lo que la posible aportación de corriente extra debida a esta unión es prácticamente nula. Evidentemente, cuando esta barrera de potencial baja (una vez alcanzado el *punch-through*) los electrones pueden viajar libremente hacia el colector, por lo que su aportación a la corriente total es dominante. La altura de esta barrera de potencial depende del dopaje epitaxial (proporcional a $\log(N_{epi})$), aumentando con éste.

La altura de esta barrera de potencial es prácticamente igual en todas las estructuras tricapa, puesto que el dopaje de la epitaxia no varía significativamente, con lo que la diferencia de corriente de fuga, debida a las variaciones en la altura de la barrera de potencial en casos de epitaxias diferentes, no es apreciable. En este sentido, las diferentes estructuras TVS de 4 capas que se han simulado en la Figura 2.22 no deben, en principio, presentar el comportamiento de la zona 2. Analizando la estructura, se puede descartar que esta diferencia en la corriente de fuga se deba a la corriente de la unión

base-colector pues, de ser así, la zona 1 debería presentar una característica similar (como en el caso de las estructuras TVS 3 capas) y, en principio, la barrera de potencial de la unión base-emisor es la misma en todos los casos, puesto que se ha mantenido N_{epi} constante.

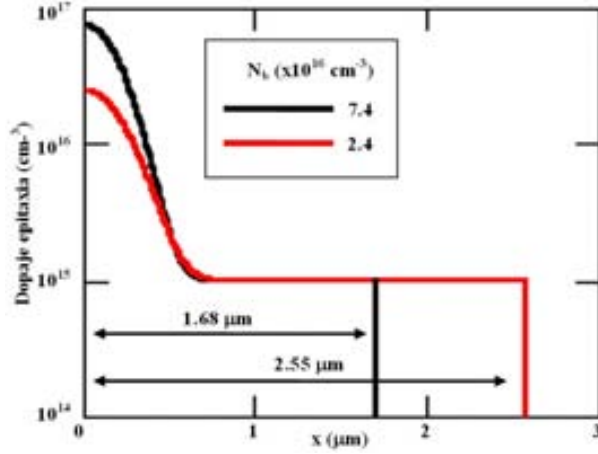


Figura 2.23: Perfil de dopajes de la zona epitaxial, $N_{epi} = 10^{15} \text{cm}^{-3}$, $D_b = 0.5 \mu\text{m}$, $V_{PT} = 3\text{V}$. El origen de coordenadas se toma en la unión base-colector.

A partir del modelo de ruptura presentado anteriormente, se ha calculado el perfil de dopaje de dos dispositivos, Figura 2.23, donde se ha determinado D_{eff} para obtener el *punch-through* a 3V en función del pico de dopaje N_b escogido. Se observa como, para conseguir la misma tensión de ruptura, se ha de disminuir D_{eff} al aumentar N_b . Este hecho hace que el buffer P^+ esté más cerca de la unión base-emisor, por lo que influye en la anchura de la zona de carga espacial y en la corriente de fuga de esta unión. La expresión del potencial interno de una unión PN, basada en el equilibrio térmico de la misma [32], permite determinar como éste depende de la concentración de impurezas a una distancia suficientemente alejada de la unión.

$$V_{bi} = \frac{kT}{q} \ln(n) \Big|_{n(+\infty)}^{n(-\infty)} \quad (2.30)$$

En la práctica, esta distancia se reduce hasta un poco más allá de la zona de carga espacial. En las estructuras de la Figura 2.23, la zona de carga espacial de las uniones base-emisor es del orden de $1 \mu\text{m}$. En esta situación, en la estructura con $N_b = 2.4 \cdot 10^{16} \text{cm}^{-3}$ el límite de la zona de carga espacial está todavía alejado de la difusión P^+ . Sin embargo, para $N_b = 7.4 \cdot 10^{16} \text{cm}^{-3}$, la zona de carga espacial prácticamente alcanza la difusión, por lo que se puede

deducir que el potencial V_{bi} en este último caso será mayor. Esto implica que la probabilidad de que los electrones superen la barrera por efecto túnel disminuye, lo que se traduce en una inyección extra de corriente menor que en el caso de una barrera inferior. Este hecho explicaría el comportamiento en la zona 2 de las estructuras simuladas en la Figura 2.22.

Sin embargo, puesto que la altura de la barrera de potencial no cambia hasta alcanzar el *punch-through*, se puede pensar que también debería observarse este fenómeno en la zona 1. La diferencia entre las dos zonas estriba en que la barrera de potencial es mayor, es decir, la barrera que han de atravesar los electrones es más ancha, por lo que la probabilidad de atravesarla es menor. Dado que la anchura de esta barrera de potencial es igual a la distancia entre las zonas de carga espacial de las dos uniones, al ir aumentando la tensión aplicada al dispositivo, la zona de carga espacial base-colector aumenta, la anchura de la barrera de potencial disminuye y la probabilidad de que los electrones la atraviesen también aumenta.

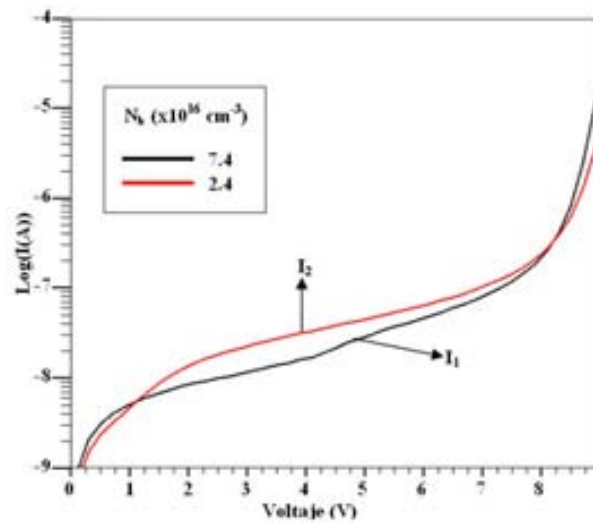


Figura 2.24: Corriente de fuga de estructuras TVS 4 capas variando N_b , $W_c = 600 \mu\text{m}$, $D_b = 0.5 \mu\text{m}$, $N_{epi} = 10^{15} \text{ cm}^{-3}$, D_{eff} ajustado para una $V_{br} = 8 \text{ V}$.

Así, en las estructuras simuladas en la Figura 2.22, la diferencia de altura y anchura en la barrera de potencial explica las diferencias de la corriente observadas en las dos zonas marcadas. Para comprobar la hipótesis de la anchura de la barrera de potencial, se han simulado dos estructuras con un perfil de dopaje similar a los de la Figura 2.23 pero aumentando D_{eff} para obtener una V_{br} de 8 V, tal como se observa en la Figura 2.24. Se ha aumentado D_{eff}

lo suficiente para asegurar que V_{bi} es el mismo en las dos estructuras, con el fin de obtener únicamente el efecto de la anchura de la barrera de potencial.

Como se puede observar en la Figura 2.25, se ha calculado mediante el modelo desarrollado el voltaje interno en cada punto de la epitaxia para las estructuras simuladas a una tensión aplicada de 0 V (a) y 8 V (b), que es cuando se produce el *punch-through*. En la Figura 2.25 también se aprecia claramente la anchura de esta barrera de potencial.

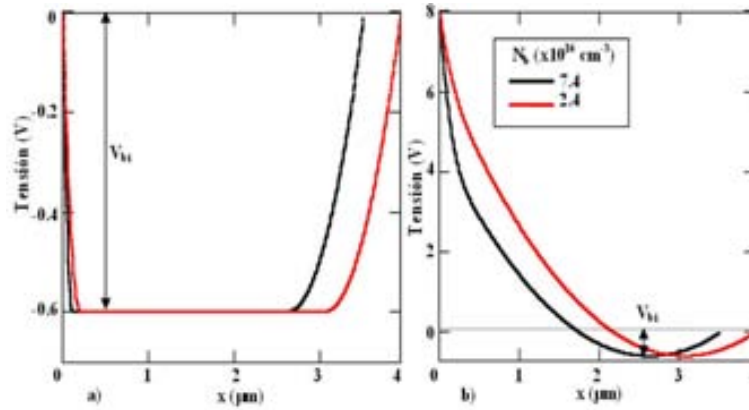


Figura 2.25: Voltaje interno de la zona epitaxial, $N_{epi} = 10^{15} \text{ cm}^{-3}$, $D_b = 0.5 \mu\text{m}$, $V_{br} = 8 \text{ V}$. a) Tensión aplicada 0 V, b) Tensión aplicada 8 V.

Si se supone que la diferencia en la corriente de fuga observada en la Figura 2.24 se debe a la diferencia de anchura de la barrera de potencial de las dos estructuras, el modelo de ruptura desarrollado debe permitir predecir este comportamiento. Para ello, se ha determinado la anchura de la barrera de potencial en ambos dispositivos en función del potencial. El resultado obtenido se puede observar en la Figura 2.26.

Ahora debe calcularse la probabilidad de transmisión de un electrón que se encuentra en la unión base-emisor frente a la barrera de potencial (T). Dicha probabilidad, para una barrera de altura V_{bi} y anchura L (distancia entre los límites de las zonas de vaciamiento de las dos uniones) se expresa como:

$$T = \frac{4 \frac{k_3}{k_1}}{\left(1 + \frac{k_3}{k_1}\right)^2 + \left[1 + \left(\frac{k_3}{k_1}\right)^2 + \left(\frac{k_2}{k_1}\right)^2 \left(\frac{k_3}{k_2}\right)^2\right] \sinh^2(k_2 L)} \quad (2.31)$$

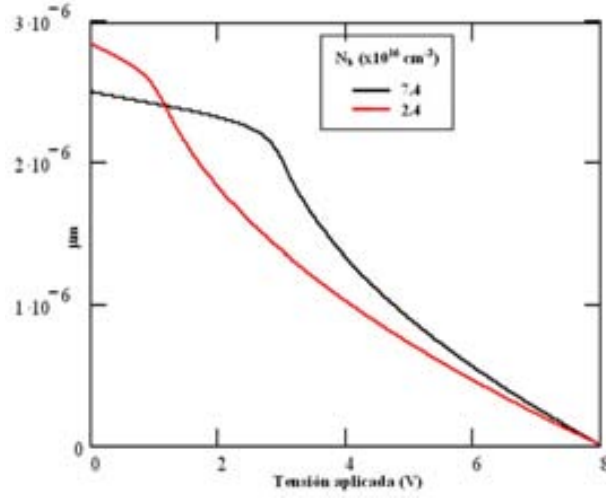


Figura 2.26: Anchura de la barrera de potencial en función de la tensión aplicada.

donde,

$$\begin{aligned}
 k_1 &= \sqrt{\frac{2m_e^*E}{\hbar^2}} \\
 k_2 &= \sqrt{\frac{2m_e^*(qV_{bi} - E)}{\hbar^2}} \\
 k_3 &= \sqrt{\frac{2m_e^*(E + qV_a)}{\hbar^2}}
 \end{aligned} \tag{2.32}$$

siendo m_e^* la masa efectiva del electrón, q la carga elemental y V_a la tensión aplicada al dispositivo.

Con el fin de comparar esta expresión con las simulaciones presentadas en la Figura 2.24, se ha calculado el cociente entre las corrientes de las dos estructuras analizadas, que coincide con la relación entre probabilidades de transmisión.

$$Q = \frac{I_2}{I_1} = \frac{T_2}{T_1} \tag{2.33}$$

La similitud entre las dos curvas se puede observar en la Figura 2.27. Así, podemos afirmar que las diferencias de corriente entre las dos estructuras se

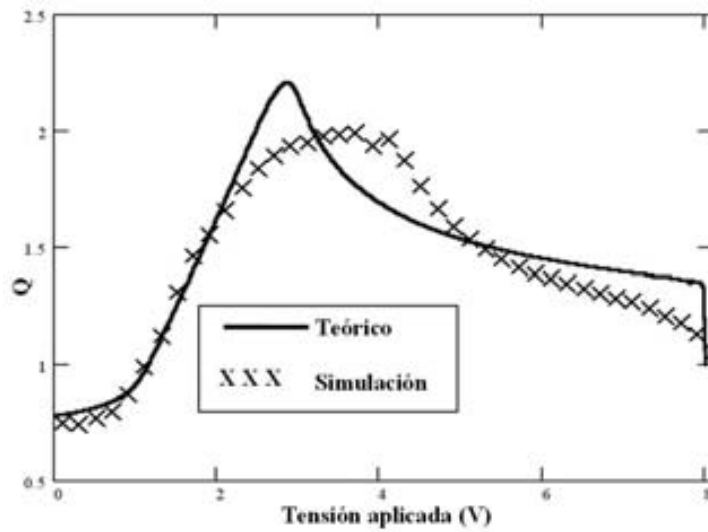


Figura 2.27: Cocientes entre corrientes y entre probabilidades de transmisión de las dos estructuras analizadas.

pueden achacar a la diferencia entre las anchuras de la barrera de potencial. Por consiguiente, el modelo de ruptura desarrollado en este trabajo, junto con la probabilidad de transmisión, se ajustan a los resultados obtenidos mediante el simulador numérico.

Anchura del buffer P^+ (D_b)

Como se aprecia en la Figura 2.28, un aumento de la anchura del buffer reduce la corriente de fuga del dispositivo. Este resultado es, fenomenológicamente, similar a lo que ocurre al aumentar N_b : un aumento de D_b obliga a disminuir D_{eff} para conseguir la misma tensión de ruptura. Como sucede cuando se varía el pico de dopaje del buffer P^+ , para tensiones muy bajas (<1 V) no existe una gran diferencia de corriente en las estructuras simuladas (tanto en la Figura 2.28 como en la Figura 2.22) puesto que en este caso domina la corriente de la unión base-colector. Sin embargo, al aumentar la tensión aplicada la anchura de la barrera de potencial disminuye, siendo diferente en cada estructura, hecho que explica las diferencias de corriente entre éstas.

Un aumento de D_b es análogo a un aumento de N_b y, de la misma forma, al aumentar D_b la zona de carga espacial de la unión base-colector se reduce, dando lugar a una anchura de potencial mayor. No obstante, la distancia entre las zonas de vaciamiento entre las dos uniones es superior al ser mayor

D_{eff} . Así, el comportamiento observado al variar N_b es similar al de variar D_b .

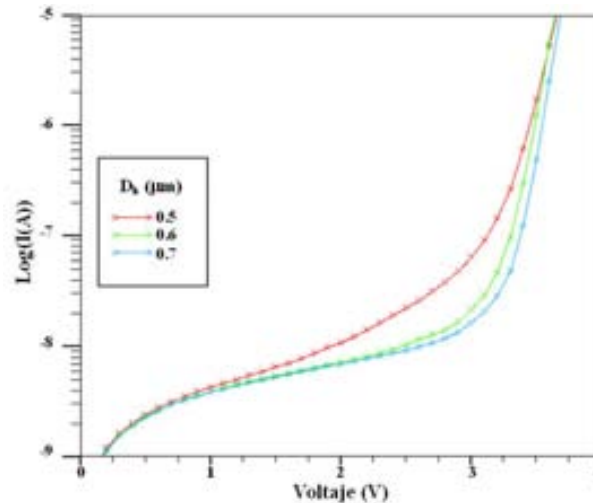


Figura 2.28: Corriente de fuga de una estructura TVS 4 capas variando D_b , $W_c = 600\mu m$, $N_{epi} = 10^{15}cm^{-3}$, $N_b = 4.07 \cdot 10^{16}cm^{-3}$, D_{eff} ajustado para una $V_{br} = 3.5V$.

Amplitud de la difusión de colector (W_c)

Al igual que en el dispositivo TVS 3 capas, si la densidad de corriente es prácticamente homogénea y está concentrada bajo la difusión de colector, la corriente total es proporcional al área del colector o, lo que es lo mismo, proporcional a W_c^2 .

En el caso de la estructura TVS 4 capas, debido a la capa buffer P^+ , la corriente tiende a concentrarse todavía más bajo la unión de colector. Esto se debe a que la anchura de la base es menor que en el TVS 3 capas para una misma tensión de ruptura, dando lugar a una mayor focalización de la corriente que en las estructuras TVS 3 capas.

Así, se han simulado 5 estructuras TVS 4 capas modificando la amplitud de la difusión de colector, desde las $200\mu m$ hasta las $600\mu m$, con una amplitud total del dispositivo de $800\mu m$. Los resultados obtenidos se representan en la Figura 2.29, donde se puede observar como la reducción de W_c implica una disminución de la corriente de fuga sin variar la tensión de ruptura.

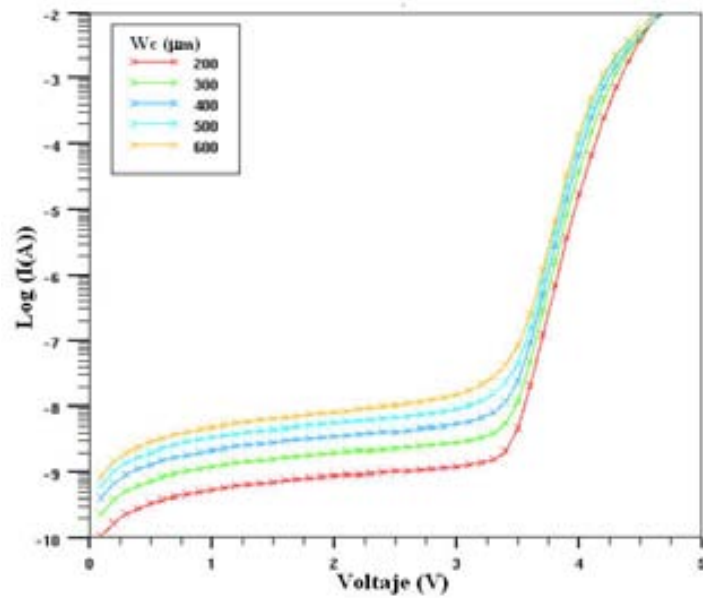


Figura 2.29: Característica I-V de estructuras TVS 4 capas para diferentes valores de W_c .

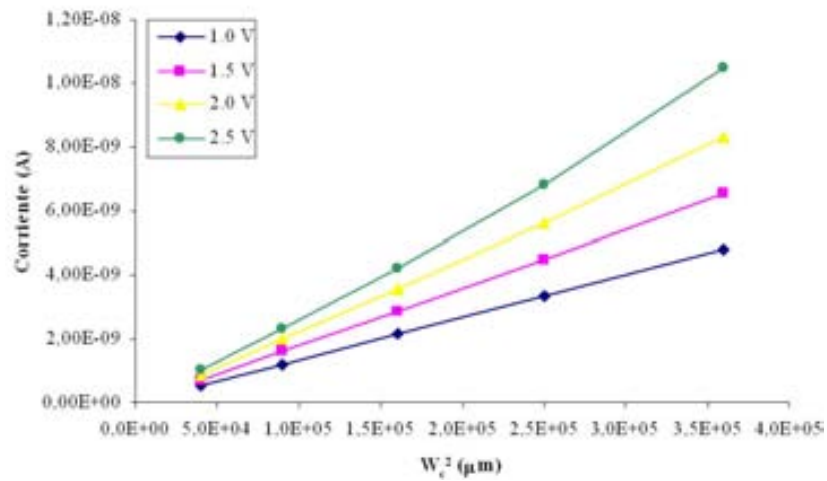


Figura 2.30: Dependencia de la corriente de fuga con el área del colector.

En la Figura 2.30 se aprecia claramente la dependencia lineal de la corriente con el área del colector (proporcional a W_c^2) antes de la ruptura, indicando que la corriente circula homogéneamente, casi en su totalidad, por debajo de la unión de colector.

2.4.3.2 Análisis de la tensión de ruptura

Como en el caso del TVS 3 capas, se analiza la influencia de los diferentes parámetros en el valor de la tensión de ruptura. Gracias al modelo de ruptura, es posible hacerse una idea de cómo van a afectar los parámetros a dicha tensión, además de corroborar el modelo desarrollado con los resultados obtenidos por simulación.

Los parámetros que se varían en las simulaciones son: el pico de dopaje del buffer (N_b), la anchura del buffer (D_b), el dopaje de epitaxia (N_{epi}) y la grosor efectivo de epitaxia (D_{eff}).

Se ha elegido como tensión de ruptura la tensión que soporta un dispositivo cuando circula a través de él una corriente de $1\mu A$.

Pico de dopaje del buffer P^+ (N_b)

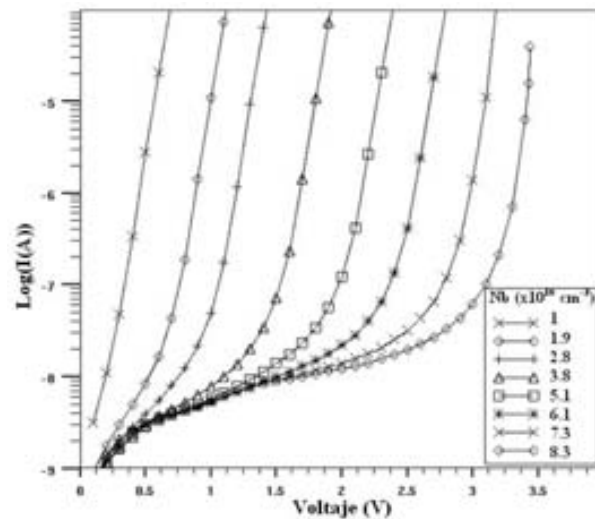


Figura 2.31: Característica I-V de una estructura TVS 4 capas variando N_b , $W_c = 600\mu m$, $D_b = 0.5\mu m$, $N_{epi} = 10^{15} \text{ cm}^{-3}$, $D_{eff} = 1.16\mu m$.

Un aumento de N_b implica una mayor tensión de ruptura [33] puesto que la zona de carga espacial disminuye. Esto implica que para una misma tensión aplicada, si N_b aumenta, la distancia x_p es menor, por lo tanto se deberá aplicar una tensión mayor para alcanzar el *punch-through*. En la Figura 2.31 puede observarse los resultados del estudio realizado variando únicamente N_b .

De la Ecuación 2.16 se puede deducir que la tensión de ruptura depende linealmente con N_b . Esta tendencia lineal se corrobora en la Figura 2.32, donde se pueden observar como los resultados obtenidos mediante simulación concuerdan con la predicción del modelo. Así mismo, hemos comprobado que, según los datos facilitados por B. Yu *et al.* [34], el modelo obtenido se ajusta correctamente a datos experimentales, Fig 2.33.

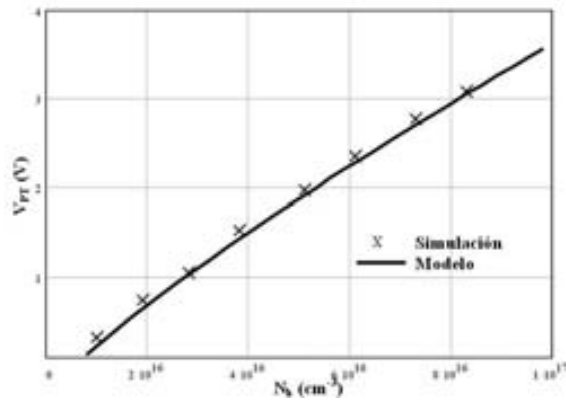


Figura 2.32: Variación de la tensión de ruptura con N_b , $W_c = 600\mu m$, $D_b = 0.5\mu m$, $N_{epi} = 10^{15} cm^{-3}$, $D_{eff} = 1.16\mu m$.

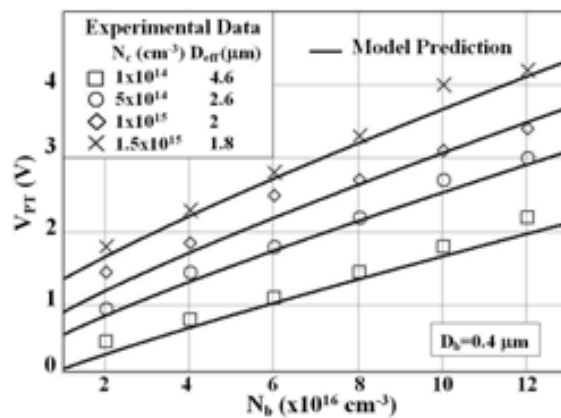


Figura 2.33: Comparación entre dispositivos TVS de SEMTECH y el modelo desarrollado. Parámetros tecnológicos extraídos de [34].

Anchura del buffer P^+ (D_b)

Al igual que con N_b , un aumento de D_b implica un aumento de la tensión de ruptura.

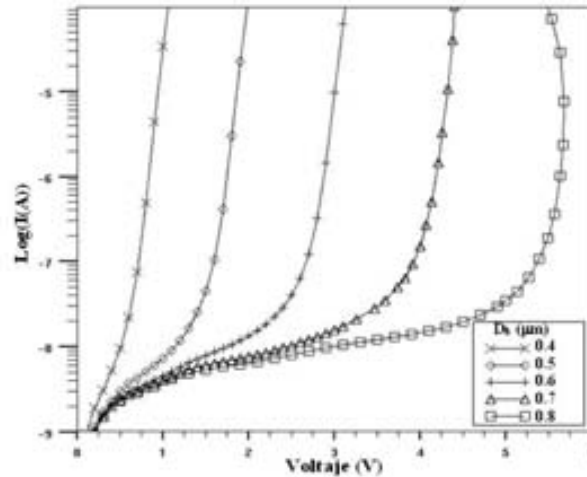


Figura 2.34: Característica I-V de estructuras TVS 4 capas variando D_b , $W_c = 600\mu m$, $N_{epi} = 10^{15} cm^{-3}$, $N_b = 4.5 \cdot 10^{16} cm^{-3}$, $D_{eff} = 1.16\mu m$.

Como se observa en la Figura 2.34, una pequeña variación de D_b ($0.1\mu m$) se traduce en un aumento de más de 1 V en la tensión de ruptura. Evidentemente esta sensibilidad es mayor al aumentar N_b [35], por lo que, para valores de N_b elevados, es necesario controlar adecuadamente la difusión P^+ de colector durante la fabricación del dispositivo, puesto que, como se desprende de las simulaciones, una pequeña variación de D_b produce importantes variaciones de la tensión de ruptura del dispositivo, obteniendo valores lejanos al requerido.

En la Figura 2.35 se muestran los resultados de las simulaciones junto con la predicción del modelo, donde se observa como la tensión de ruptura aumenta rápidamente al aumentar D_b , así como el buen ajuste del modelo.

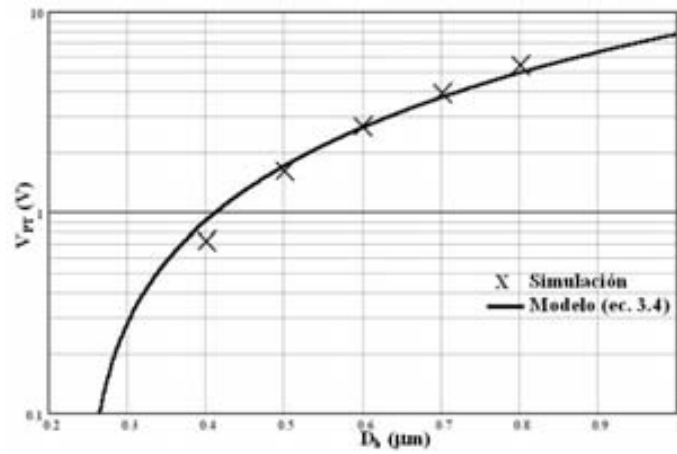


Figura 2.35: Variación de la tensión de ruptura con D_b , $W_c = 600\mu m$, $N_{epi} = 10^{15} cm^{-3}$, $N_b = 4.5 \cdot 10^{16} cm^{-3}$, $D_{eff} = 1.16\mu m$.

Dopaje de la epitaxia (N_{epi})

A diferencia de lo que ocurriría en las estructuras TVS 3 capas, en las que el dopaje de la región de base era homogéneo (lo que facilitaba el análisis de su influencia sobre sus características), en las estructuras TVS 4 capas la base no presenta un dopaje homogéneo. Sin embargo, el dopaje de la epitaxia N_{epi} si lo es y, conceptualmente, ejerce la misma influencia en la tensión de ruptura que anteriormente ejercía el dopaje de la base.

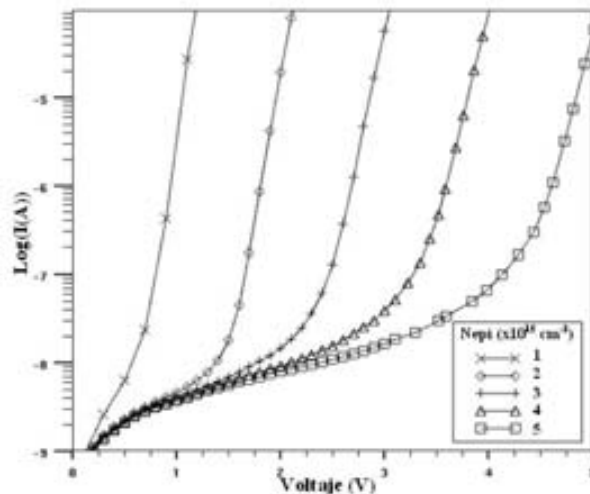


Figura 2.36: Característica I-V de estructuras TVS 4 capas variando N_{epi} , $W_c = 600\mu m$, $D_b = 0.5\mu m$, $N_b = 2.4 \cdot 10^{16} cm^{-3}$, $D_{eff} = 1.16\mu m$.

Como se discutió en apartados anteriores, la tensión de ruptura aumenta con el valor de N_{epi} . Por un lado, la extensión de la zona de vaciamiento es menor al aumentar el dopaje y, por otro lado, disminuye la zona de carga espacial de la unión base-emisor de forma análoga al efecto causado por N_b en la unión base-colector. Además, la influencia que N_{epi} tiene sobre la zona de carga espacial de la unión de emisor es menor que la ejercida en la unión de colector. Por consiguiente, cabe esperar una dependencia lineal entre la tensión de ruptura y el dopaje de epitaxia.

En la Figura 2.36 se muestran los resultados obtenidos de las simulaciones realizadas sobre una misma estructura variando únicamente N_{epi} , mientras que en la Figura 2.37 se observa la dependencia lineal de la tensión de ruptura con N_{epi} . Tal como se esperaba, tanto la tensión de ruptura obtenida de las simulaciones como la derivada del modelo siguen una dependencia lineal con N_{epi} . Finalmente, puede apreciarse el buen acuerdo entre el modelo y los resultados de las simulaciones.

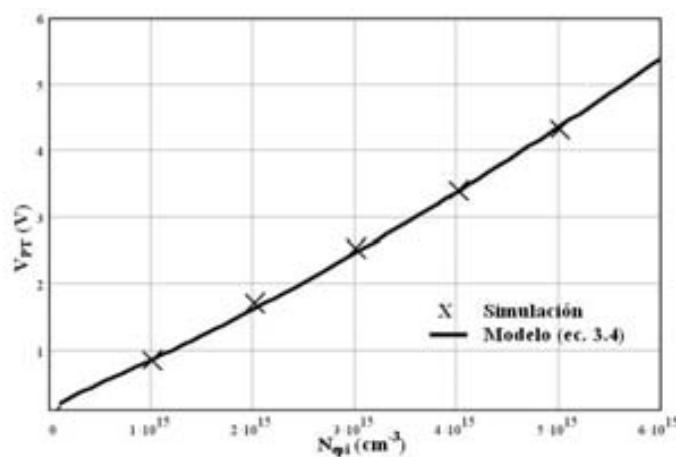


Figura 2.37: Variación de la tensión de ruptura con N_{epi} , $W_c = 600\mu\text{m}$, $D_b = 0.5\mu\text{m}$, $N_b = 2.4 \cdot 10^{16}\text{cm}^{-3}$, $D_{eff} = 1.16\mu\text{m}$.

Amplitud de la base (D_{eff})

Tal como sucede en las estructuras TVS de 3 capas, la amplitud de la base es el parámetro que más influye en el control de la tensión de ruptura del dispositivo, puesto que es el único que la modifica dejando inalteradas las otras características eléctricas, como la corriente de fuga o la tensión de *clamping*.

Se ha simulado el comportamiento para diferentes valores de dopaje de epitaxia (tanto N_b como N_{epi}) y cada una de estas estructuras se ha estudiado con diferentes valores de D_{eff} . En la Figura 2.38 se puede observar el comportamiento de la tensión de ruptura de las estructuras simuladas en función de D_{eff} (las líneas continuas corresponden a las predicciones del modelo presentado en la Ecuación 2.16).

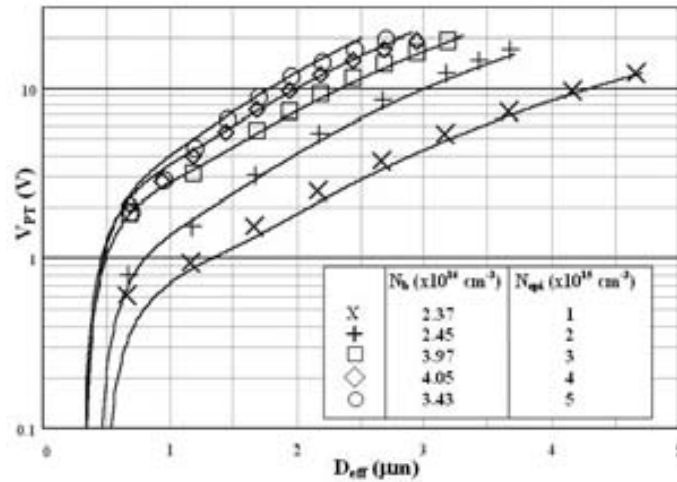


Figura 2.38: Variación de la tensión de ruptura con D_{eff} , para diferentes valores de N_b y N_{epi} , $W_c = 600\mu\text{m}$, $D_b = 0.5\mu\text{m}$.

Nuevamente se observa un buen acuerdo entre las simulaciones y el modelo. Además, de la misma forma que en la estructura TVS 3 capas, existe un límite por debajo del cual las zonas de carga espacial de las dos uniones llegan a tocarse al aplicar una mínima tensión al dispositivo, por lo que inmediatamente entra en ruptura. La condición que debe cumplirse para que esto no suceda es:

$$x'_p > x_p (V = 0) \quad (2.34)$$

Esta condición establece un límite físico inferior para unos dopajes determinados. Por otra parte, existe un límite superior para el cual el modelo deja de ser válido, puesto que aparece un mecanismo de ruptura diferente: la avalancha.

En la Figura 2.39 se muestran las características $I(V)$ de varias estructuras simuladas aumentando D_{eff} hasta alcanzar la ruptura por avalancha. Una vez alcanzada, un aumento de D_{eff} ya no modifica la tensión de rup-

tura, dado que ésta se produce al alcanzar el campo eléctrico crítico.

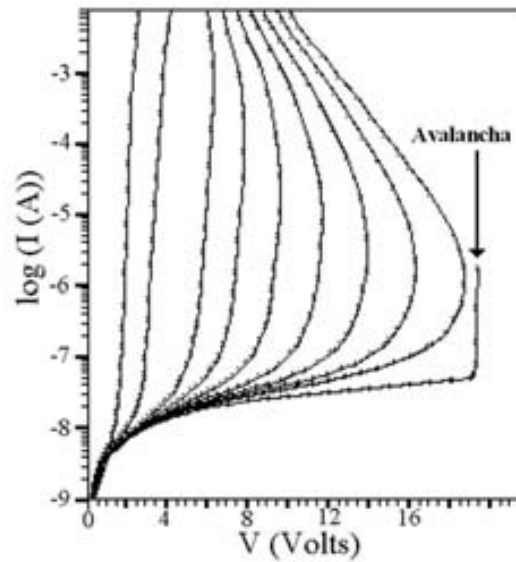


Figura 2.39: Variación de la tensión de ruptura con D_{eff} hasta alcanzar la ruptura por avalancha. $D_b = 0.5\mu m$, $W_c = 600\mu m$, $N_{epi} = 3 \cdot 10^{15} cm^{-3}$, $N_b = 3.97 \cdot 10^{16} cm^{-3}$.

En la Figura 2.40 se observa el rango de validez del modelo de ruptura propuesto. En nuestro caso no se llega a la zona de avalancha, ya que estamos tratando con dispositivos con $V_{PT} < 3V$.

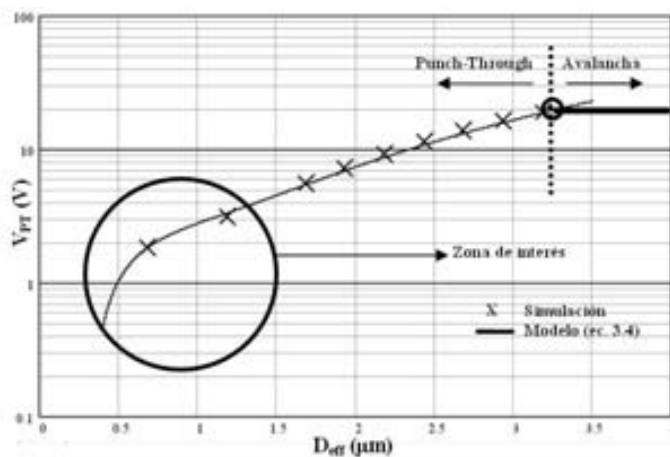


Figura 2.40: Variación de la tensión de ruptura con D_{eff} hasta alcanzar la ruptura por avalancha.

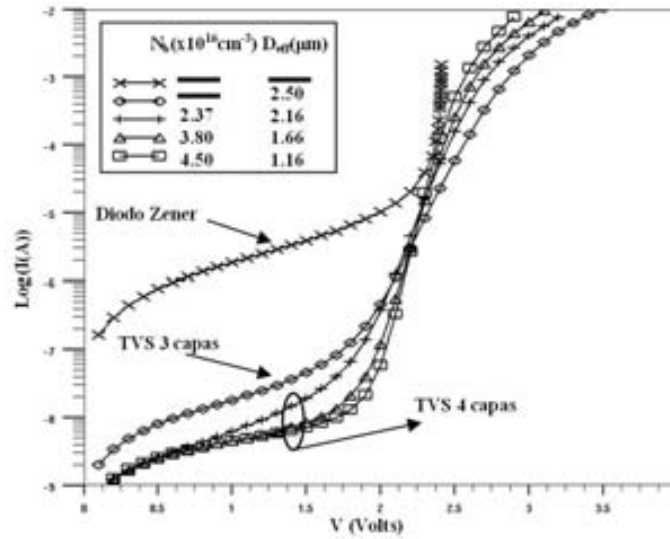


Figura 2.41: Optimización de un dispositivo con $V_{PT} = 2V$. $D_b = 0.5\mu m$, $W_c = 600\mu m$, $N_{epi} = 10^{15}cm^{-3}$

A modo de ejemplo, se han simulado diferentes estructuras que presenten un mismo valor de tensión de ruptura para observar las mejoras que se presentan al optimizar el dispositivo. Como se observa en la Figura 2.41, con objeto de mejorar las características del dispositivo se ha aumentado progresivamente N_b para reducir la corriente de fuga y la tensión *clamping* (la estructura sin N_b hace referencia a una estructura TVS de 3 capas, también se ha simulado un diodo Zener). También se ha disminuido D_{eff} con el fin de mantener, en cada caso, un mismo valor de la tensión de ruptura. De aquí se deduce que, para $N_{epi} = 10^{15}cm^{-3}$ y $D_b = 0.5\mu m$, el dispositivo óptimo para una ruptura de 2 V es el que tiene $N_b = 4.5 \cdot 10^{16}cm^{-3}$ y $D_{eff} = 1.16\mu m$.

Se puede observar una mejora sustancial del dispositivo tricapa si lo comparamos con un diodo Zener en este rango de tensiones y la posterior mejora que se produce en la estructura óptima TVS 4 capas. Sin embargo, para alcanzar este nivel de corriente de fuga, hemos tenido que disminuir D_{eff} hasta valores cercanos al límite inferior físico del dispositivo, por lo que requiere, puesto que la tensión de ruptura es más sensible a las variaciones de D_{eff} al aumentar N_b , un control preciso del valor de D_{eff} durante el proceso de fabricación, para poder obtener la tensión de ruptura requerida.

Capítulo 3

Diseño y fabricación de TVS verticales

3.1. Diseño y fabricación del TVS de 3 capas

El objetivo final de la fabricación de estructuras TVS de 3 capas es la integración de dispositivos supresores en el orden de los 3 V, con un proceso tecnológico de fabricación transferible a la línea de producción de Fagor Electrónica.

Del estudio presentado en el capítulo anterior, se deduce que un dispositivo óptimo para la tensión deseada es el formado por una base dopada con Boro con una concentración de $5 \cdot 10^{15} \text{cm}^{-3}$ y una anchura de $1.3 \mu\text{m}$. Sin embargo la sensibilidad que presenta esta estructura a una variación de la anchura de la base, para este valor de N_b , es muy grande, por lo que los procesos de dopado y difusión deben ser muy precisos, además de utilizar obleas sin apenas desviación en el espesor de la epitaxia.

Dada la precisión requerida en el espesor epitaxial se decidió integrar estas estructuras utilizando, para definir la base, una epitaxia de Boro de 10^{15}cm^{-3} con un espesor comprendido entre 2.5 y $3 \mu\text{m}$ (debido a la tolerancia inherente al proceso de crecimiento epitaxial del proveedor de las obleas). Estos valores permiten un margen de seguridad en el valor de la tensión deseada mayor que en el caso de utilizar obleas con una concentración de impurezas en la epitaxia superior.

3.1.1. Definición del proceso tecnológico

Una vez se han fijado las características básicas de la estructura que se desea fabricar, se deben definir las etapas del proceso tecnológico necesarias para implementar en Silicio los dispositivos, tanto en la sala blanca del CNM como en la de Fagor Electrónica.

El primer paso es la elección del tipo de obleas de partida. Como ya se indicó anteriormente, se ha utilizado una epitaxia dopada con Boro con una concentración de 10^{15}cm^{-3} y $10 \mu\text{m}$ de espesor, crecida sobre obleas tipo N con orientación cristalográfica $\langle 111 \rangle$ y una resistividad de $10 \text{ m}\Omega \cdot \text{cm}$ (lo que equivale a un dopaje en el orden de 10^{18}cm^{-3}).

En la definición del proceso tecnológico se ha tenido presente que su implementación ha de hacerse en diferentes instalaciones, por lo que debe ser lo suficientemente flexible. Antes de fijar todo el proceso de fabricación, se ha realizado un estudio exhaustivo de las diferentes etapas tecnológicas con la ayuda del simulador tecnológico Athena [19]. Así, se han ajustado todas las etapas que formarán parte del proceso de fabricación, tanto las ya existentes como las desarrolladas expresamente para la fabricación de este tipo de estructuras. Este estudio nos ha permitidos determinar los valores de dosis y energía de implantación, temperatura y tiempo de difusión óptimos.

Uno de los pasos más críticos del proceso es obtener las amplitudes de la base, que las simulaciones indicaban como idóneas, para integrar dispositivos con una capacidad de tensión cercana a los 3 V. Como se ha comentado anteriormente, el valor de la amplitud de la base debe de estar comprendido entre 2.5 y $3 \mu\text{m}$, lo que implica difundir el pozo que define el colector unas $5 \mu\text{m}$; esto, sumado a la difusión que sufrirán durante este proceso las impurezas del sustrato hacia la epitaxia (lo que acercará unas $2 \mu\text{m}$ la unión base-emisor hacia la unión colector-base) nos permitirá obtener la amplitud de base deseada. Con este propósito se han simulado diferentes combinaciones de dosis de implantación, tiempo y temperatura de difusión, realizando diferentes pruebas en sala blanca con el fin de validar los resultados previstos por el simulador.

A modo de ejemplo, en las Figuras 3.1 y 3.2, podemos observar el perfil de impurezas (fabricado y simulado, respectivamente) obtenido tras un proceso de difusión con fósforo (mediante POCl_3), a una temperatura de $1100 \text{ }^\circ\text{C}$ durante 70 minutos. En ambos casos la difusión de colector se extiende unas $4.8 \mu\text{m}$, poniendo de manifiesto el buen acuerdo entre las simulaciones y la

fabricación real.

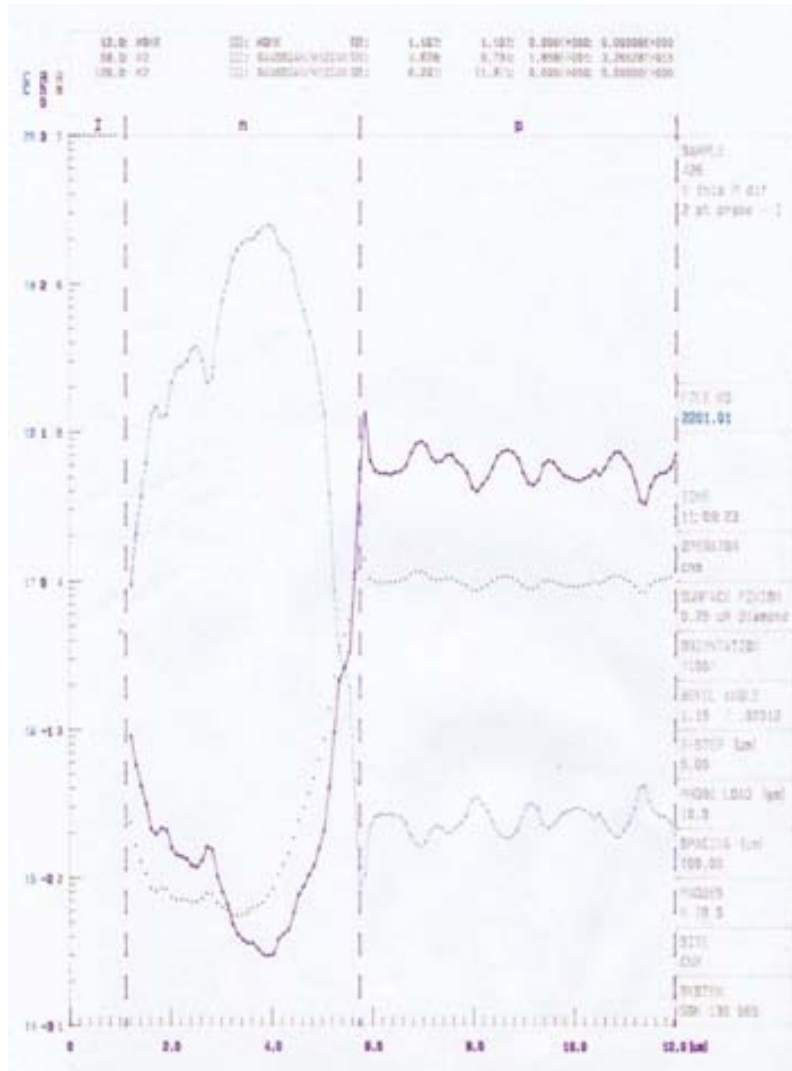


Figura 3.1: Perfil de impurezas real obtenido mediante Spreading Resistance. Difusión a 1100 °C durante 70 minutos.

Tras el estudio del proceso tecnológico realizado mediante el simulador, la secuencia de etapas que permitirá su integración en silicio es la siguiente:

1. Oxidación de Campo (húmeda)
2. Fotolitografía: Definición del colector
3. Predeposición de Fósforo

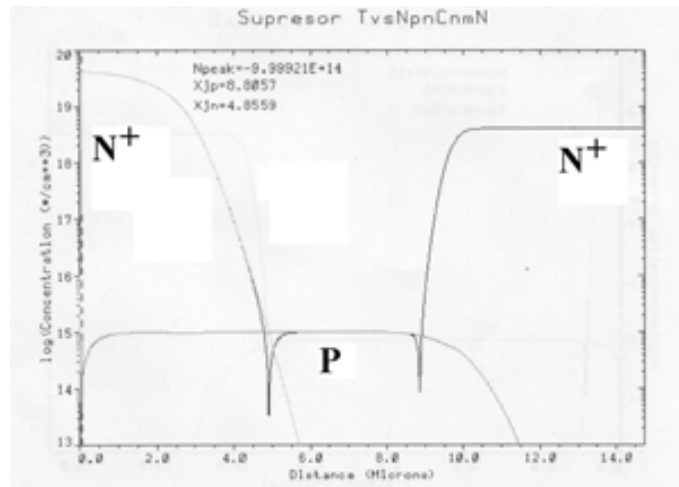


Figura 3.2: Perfil de impurezas mediante simulador. Difusión a 1100 °C durante 70 minutos .

4. Activación y difusión de Fósforo
5. Fotolitografía: Apertura de contactos
6. Metalización: Tricapa Al/Cr/Ni
7. Fotolitografía: Grabado del metal

El proceso tecnológico contempla tres variantes, en función del método de dopado con Fósforo (paso 3) y del lugar donde se realiza. Así, en las instalaciones de Fagor éste se llevó a cabo mediante el predepósito en un horno con ambiente rico en Fósforo ($POCl_3$), mientras que en la Sala Blanca del CNM se han utilizado dos procesos diferentes: uno similar al realizado en Fagor y otro mediante implantación iónica. De esta forma se pueden comparar los resultados obtenidos con el mismo método de dopado en instalaciones diferentes, así como la comparación entre los dos métodos de dopado implementados en el CNM.

Para la integración de los TVS 3 capas se ha diseñado un juego de máscaras compuesto por tres niveles fotolitográficos (Colector, Contacto y Metal (Figura 3.3)), del que se han realizado dos versiones con el fin de cumplir los requerimientos, en cuanto a motivos de alineamiento y tipo de resina utilizada, específicos de cada Sala Blanca.



Figura 3.3: Niveles del conjunto de máscaras: Colector, Contacto y Metal.

3.1.2. Fabricación de los dispositivos

Como se ha explicado anteriormente, la definición del proceso tecnológico se ha realizado utilizando el simulador tecnológico Athena, optimizando las etapas para conseguir una anchura de base comprendida entre 2.5 y $3 \mu\text{m}$.

La secuencia de etapas simuladas es la siguiente:

- a. Se parte de una oblea con una epitaxia de $10\mu\text{m}$ de espesor y una concentración de impurezas tipo P de 10^{15}cm^{-3} (Figura 3.4 a) sobre la que se crece una capa de óxido de unos 8.000 \AA (Figura 3.4 b) con el fin de aislar las zonas donde no se quieren introducir impurezas en los procesos de dopado posteriores (Paso 1. Oxidación de campo).
- b. A continuación, se realiza la primera etapa fotolitográfica (Paso 2. Fotolitografía: Definición de colector) y se elimina, mediante ataque seco, el óxido de la zona donde se realizará la implantación, Figura 3.5 a.
- c. En caso de utilizar implantación iónica, se crece un óxido de pantalla (400 \AA) para proteger la superficie de Silicio y evitar la exodifusión de impurezas, Figura 3.5 b.
- d. Seguidamente se procede a la predeposición de Fósforo (Paso 3). Esta etapa, tal como se ha dicho anteriormente, se puede realizar mediante POCl_3 o por implantación iónica. En el primer caso, la predeposición se realiza en un horno con un ambiente rico en Fósforo a una temperatura de 1100°C en dos condiciones diferentes, 35 y 70 minutos de dopado (con el fin de obtener diferentes capacidades en tensión). En el segundo caso se han implantado las obleas con iones de Fósforo, Figura 3.6 a, con una dosis de $5 \cdot 10^{15}\text{cm}^{-2}$ y una energía de 150 keV .
- e. La activación y difusión de las impurezas (Paso 4), se realiza en un horno a alta temperatura y en ambiente seco. En el caso de las obleas

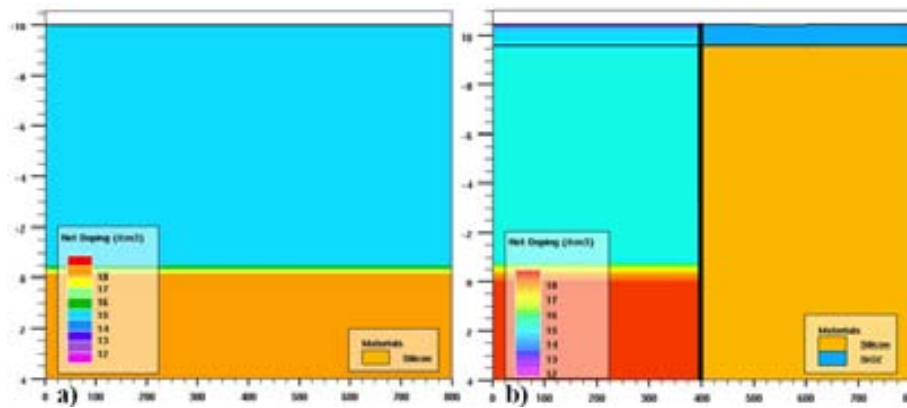


Figura 3.4: Simulaciones 2D del proceso de fabricación. a) Oblea inicial, b) Crecimiento del óxido de campo

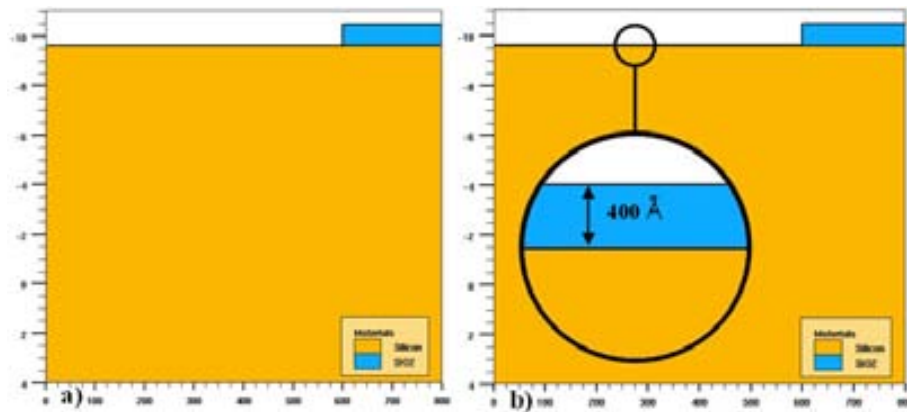


Figura 3.5: Simulaciones 2D del proceso de fabricación. a) Grabado de óxido, b) Crecimiento de óxido de pantalla

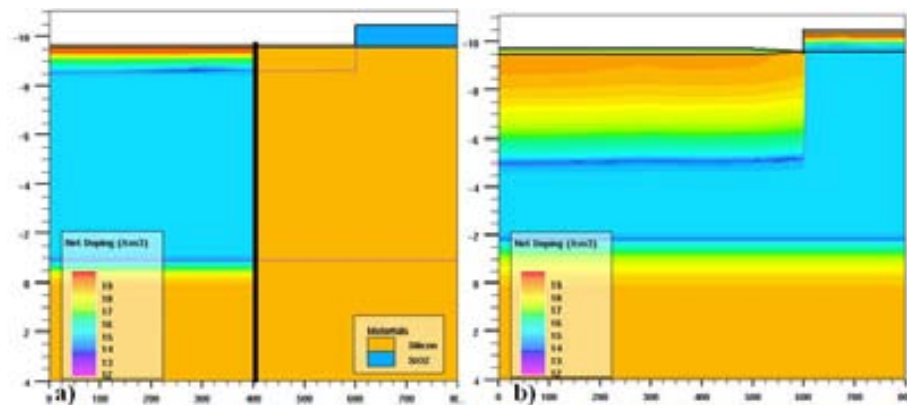


Figura 3.6: Simulaciones 2D del proceso de fabricación. a) implantación de Fósforo, b) Redistribución de Fósforo

dopadas con $POCl_3$ esta etapa se ha realizado a 1100°C durante 30 minutos (obleas de 30 minutos de dopado) y a 1075°C durante 40 minutos (obleas de 70 minutos de dopado). Las obleas implantadas se han recocido a 1200°C durante 50 (Figura 3.6 b), 60 y 70 minutos (con el fin de obtener diferentes capacidades de tensión).

- f. A continuación, se realiza la segunda etapa fotolitográfica destinada a la apertura de contactos (Paso 5).
- g. Seguidamente, se metalizan las obleas (paso 6). Esta etapa consiste en la predeposición de tres capas diferentes: una capa de Aluminio de $1\ \mu\text{m}$ seguida de una de Cromo de $650\ \text{Å}$ y, finalmente, una capa de Níquel de $5000\ \text{Å}$ de espesor. El objetivo de esta tricapa es permitir su encapsulado, en formato axial, en la planta de Fagor Electrónica, en la que se utilizará una última capa de Estaño/Plomo. Está aleación sólo se adhiere con garantías sobre Níquel, que a su vez necesita de una capa de Cromo para que se adhiere al Aluminio, que se utiliza para conseguir un buen contacto óhmico entre el metal y el Silicio.
- h. Finalmente se procede a la realización de la tercera etapa fotolitográfica (Paso 7), y al grabado del metal.

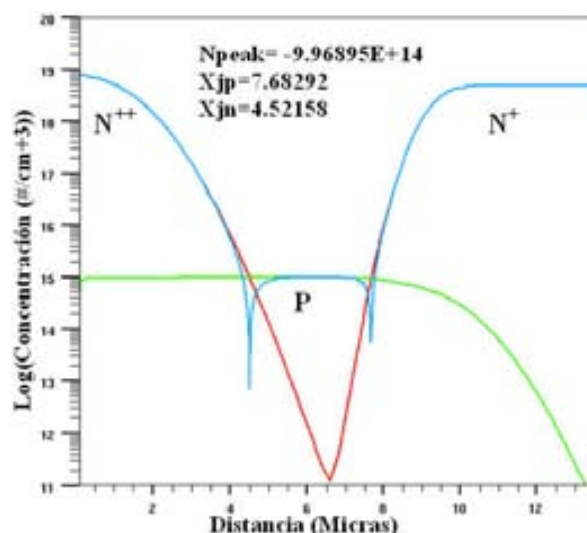


Figura 3.7: Perfiles de difusión mediante simulador 2D.

La Figura 3.7 muestra el perfil de concentraciones obtenido después de simular el proceso tecnológico con una implantación iónica a 150 keV, una

dosis de $5 \cdot 10^{15} \text{cm}^{-2}$ y una distribución de impurezas a 1200°C durante 50 minutos. Se puede observar como la anchura de la base es de unas $3\mu\text{m}$, tal como se requería.

3.1.3. Caracterización eléctrica

Se han procesado tres lotes de obleas, el primero de ellos en Fagor Electrónica utilizando POCl_3 y los restantes en la Sala blanca del CNM, uno mediante POCl_3 y el otro por implantación iónica de Fósforo. Los dispositivos fabricados se han caracterizado primero sobre oblea y posteriormente encapsulados en formato axial (el proceso de encapsulado se ha realizado en Fagor Electrónica).

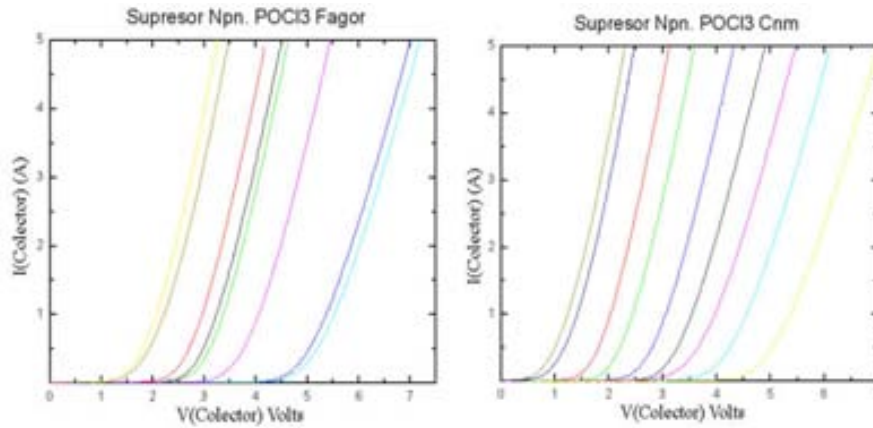


Figura 3.8: $I(V)$ de estructuras fabricadas mediante POCl_3 en Fagor y en el CNM.

Las Figuras 3.8 y 3.9 muestran las características I-V de dispositivos encapsulados y la Figura 3.10 muestra los resultados de una cartografía realizada sobre una oblea fabricada en Fagor. Como podemos observar, los resultados obtenidos de las obleas que han utilizado POCl_3 (tanto en Fagor como en el CNM) muestran unas características eléctricas similares. Así, se aprecia una gran dispersión en los valores de la tensión de ruptura obtenidos. Esta dispersión se debe, principalmente, a la tolerancia inherente en el espesor de las obleas utilizadas, dispersión que afecta a la anchura de base del dispositivo (D_b). Hay que resaltar que el fabricante, en las especificaciones del producto, proporciona un margen de error en el espesor de la epitaxia de $\pm 2 \mu\text{m}$, por lo que, en lugar de obtener valores de la anchura de base comprendidos entre 2.5 a $3 \mu\text{m}$, podemos obtener, en el peor de los casos, anchuras de base comprendidas entre 0.5 y $5 \mu\text{m}$.

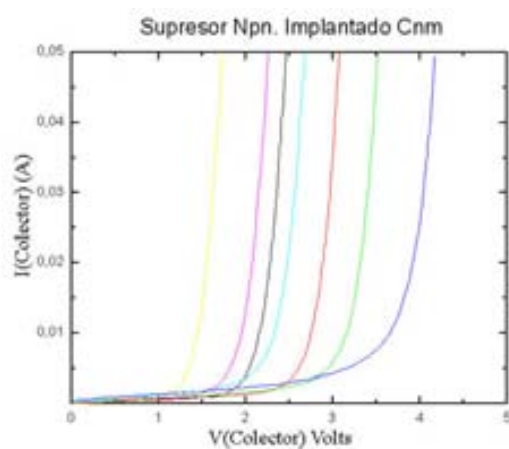


Figura 3.9: $I(V)$ de estructuras fabricadas mediante implantación en el CNM.

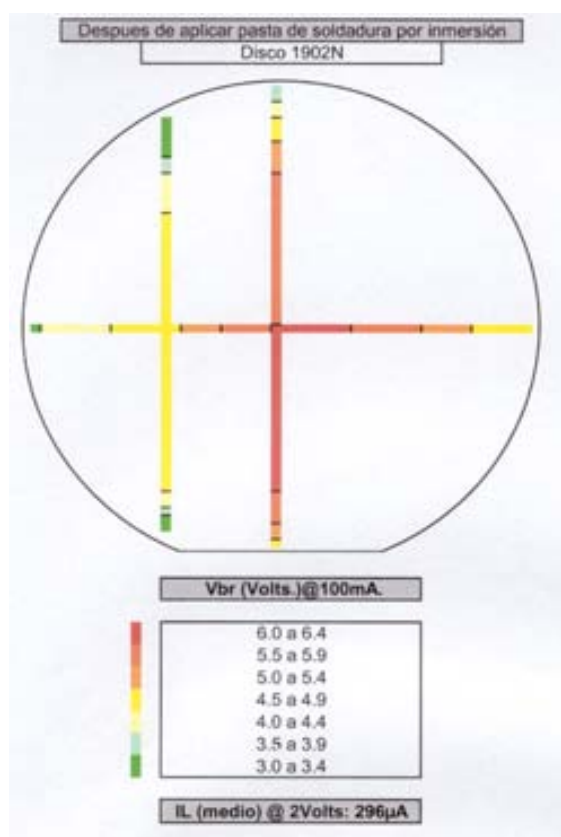


Figura 3.10: Cartografía realizada sobre una de las obleas fabricada en Fagor.

La Figura 3.11 muestra la variación de la tensión de ruptura en función de la amplitud de la base para una epitaxia con un dopaje de 10^{15} cm^{-3} , donde se puede apreciar como, para valores de tensiones de ruptura entre 0 y 6 V (como los obtenidos experimentalmente), el valor correspondiente de D_b está comprendido entre 1.5 y $3.5 \mu\text{m}$, por lo que se encuentra dentro del error de $\pm 2 \mu\text{m}$ que el fabricante proporciona, lo que justifica la dispersión obtenida.

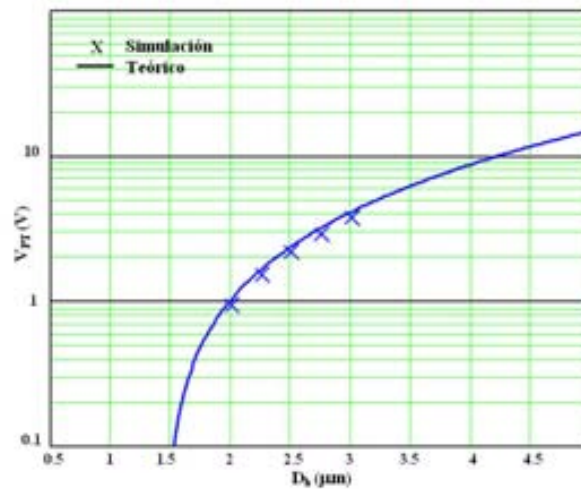


Figura 3.11: Variación de la tensión de ruptura con D_b , para dispositivos con $N_{epi} = 10^{15} \text{ cm}^{-3}$.

Otro dato interesante, que podemos extraer de la comparación de los diferentes métodos de implementación del colector, es que en las obleas donde su definición se ha realizado mediante implantación iónica, la dispersión en los valores de la tensión de ruptura, así como la corriente de fuga, es menor que en el caso de las obleas dopadas mediante POCl_3 . Esto es debido a la mejor precisión y uniformidad que aporta el dopado mediante implantación y la mejor definición de la unión base-colector, de las obleas implantadas, al haber permanecido menos tiempo sometidas a altas temperaturas.

Una vez se ha corroborado que los dispositivos ofrecen las características eléctricas deseadas, se ha probado la potencia máxima que estos dispositivos son capaces de absorber sin llegar a destruirse. Para ello, en los laboratorios de Fagor Electrónica se simula una descarga electrostática (Figura 3.12) controlada mediante un generador de descargas.

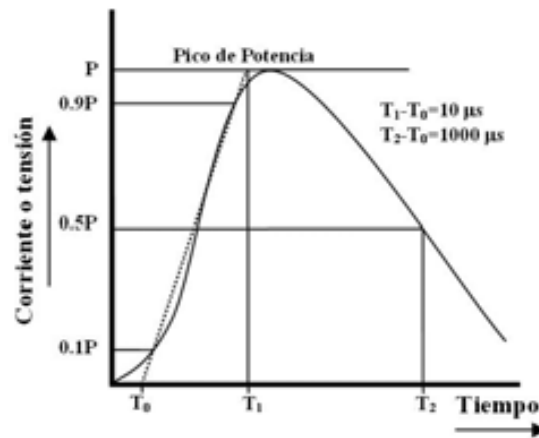


Figura 3.12: Forma de onda de una descarga 10/1000 μ s.

Tras producirse la descarga, se comprueba si el dispositivo funciona correctamente y, en tal caso, se aumenta su pico de potencia. Siguiendo este protocolo, se ha puesto de manifiesto que los dispositivos fabricados son capaces de absorber descargas con picos de potencia de 1000 W sin llegar a destruirse. La Figura 3.13 muestra el esquema del circuito implementado para la realización de esta caracterización de absorción de perturbaciones.

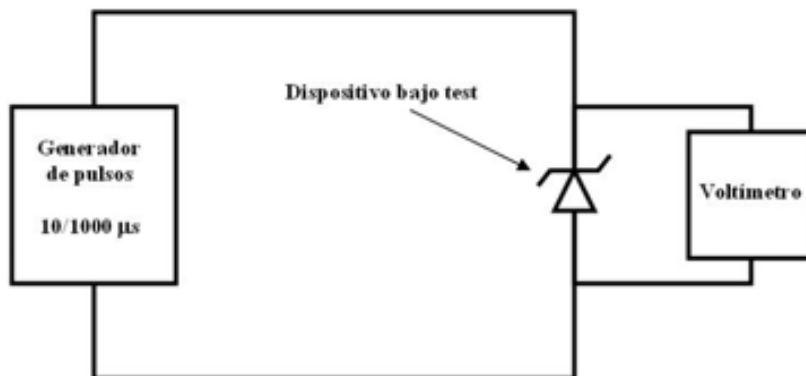


Figura 3.13: Esquema del circuito para probar la absorción de perturbaciones eléctricas.

De la caracterización eléctrica de las estructuras TVS 3 capas se desprenden los siguientes resultados:

- a. Mediante $POCl_3$ se han obtenido dispositivos con tensiones de bloqueo comprendidas entre 0.8 y 5 V,

- b. La corriente de fuga en inversa es inferior a $100\mu A$ (medida a V_{st}),
- c. La utilización de implantación iónica permite obtener dispositivos con valores de la tensión de *punch-through* (V_{PT}) comprendidos entre 1 y 4 V,
- d. Se reduce tanto la corriente de fuga en inversa (a valores inferiores a $10\mu A$), como la tensión de *clamping* (si se compara con los realizados utilizando $POCl_3$),
- e. En ambos casos existe una dispersión importante en el valor de la tensión de ruptura, debido al error inherente en el espesor epitaxial de las obleas utilizadas,
- f. Los dispositivos fabricados permiten la absorción de perturbaciones con picos de potencia de 1 KW sin destruirse (utilizando pulsos 10/1000 μs).

En conclusión, los dispositivos *punch-through* fabricados presentan corrientes de fuga inferiores a la esperada por simulación en un diodo Zener tradicional equivalente, aunque su tensión de *clamping* aumenta, lo que da lugar a un incremento de su resistencia una vez alcanzada la tensión de ruptura, tal como era de esperar a la vista de los resultados presentados en la Fig. 2.41.

3.2. Diseño y fabricación de TVS 4 capas

En esta estructura, la presencia de un pozo P^+ en la base aumenta la complejidad del proceso tecnológico. Así, la necesidad de definir de forma sucesiva dos regiones con diferente tipo de impurezas (Boro en la base y Fósforo en el colector), junto con un control preciso del espesor epitaxial, obliga a utilizar técnicas de dopado y difusión que permitan un buen ajuste de su profundidad y pico de dopaje, ya que una desviación en el valor de D_{eff} provoca una variación significativa del valor de la tensión de ruptura, siendo este efecto mayor al aumentar la concentración de impurezas en la base. Por ello se ha decidido realizar todos los procesos de dopado mediante implantador iónico con objeto de obtener una mayor precisión que con $POCl_3$.

Se han integrado seis estructuras diferentes variando el dopaje de la base (N_b y/o N_{epi}) para comprobar la dependencia de los parámetros eléctricos con estos valores.

3.2.1. Definición del proceso tecnológico

Para la fabricación de estos dispositivos se han usado dos tipos de sustratos distintos. Sobre una oblea dopada con Antimonio ($10^{18}cm^{-3}$) y orientación cristalográfica $\langle 111 \rangle$, se han crecido dos epitaxias dopadas con Boro, una con una concentración de $10^{15}cm^{-3}$ y $4.5 \mu m$ de espesor y la segunda con una concentración de $5 \cdot 10^{15}cm^{-3}$ y $3 \mu m$ de espesor. Como en el caso del TVS 3 capas, se han simulado todas las etapas del proceso tecnológico para escoger las dosis y energías de implantación, así como la temperatura y tiempo de difusión necesarias para obtener los perfiles de impurezas necesarios para soportar las tensiones requeridas.

La secuencia de etapas del proceso tecnológico es similar a la del TVS 3 capas añadiendo un paso previo de ajuste epitaxial y dos pasos adicionales para implementar el buffer P^+ . La secuencia completa del proceso es la siguiente:

1. Ajuste de la epitaxia (proceso a alta temperatura)
2. Oxidación de Campo (húmeda)
3. Fotolitografía: Definición del colector
4. Implantación de Boro
5. Activación y difusión de Boro
6. Implantación de Fósforo
7. Activación y difusión de Fósforo
8. Fotolitografía: Apertura de contactos
9. Metalización: Tricapa Al/Cr/Ni
10. Fotolitografía: Grabado del metal

Para cada tipo de sustrato se han realizado tres variantes del paso 4, dando lugar a 6 tipos de estructuras diferentes con diferentes capacidades en tensión. Todas las etapas de dopado se han realizado mediante implantación iónica, lo que permite mejorar el rendimiento del proceso de fabricación, reduciendo la dispersión del valor de la tensión de ruptura observado en las estructuras TVS 3 capas, donde se ha utilizado $POCl_3$ para la definición del colector. En las etapas fotolitográficas se ha utilizado el conjunto de máscaras

diseñado para la fabricación de estructuras tricapa, compuesto por tres niveles fotolitográficos (Colector, Contacto y Metal), con el fin de comparar las características de estructuras en las que, manteniendo la geometría, cambian los sustratos utilizados.

3.2.2. Fabricación de los dispositivos

Se ha simulado el proceso tecnológico para ajustar el valor de las variables necesarias para obtener la tensión de ruptura requerida para cada conjunto de obleas. Con el fin de obtener diferentes valores para la tensión de ruptura, en el proceso de fabricación se ha decidido variar únicamente el paso número 3, dejando los restantes fijos e iguales para cada oblea. De esta forma, se obtiene, para cada variación del paso 4, diferentes valores de N_b y D_b y, por lo tanto, valores de la tensión de ruptura diferentes.

Las secuencia de etapas tecnológicas seguidas durante la fabricación de los dispositivos TVS 4 capas es la siguiente:

- a. Se parte de sustratos tipo N^+ , con una resistividad comprendida entre 0.01 y 0.02 $\Omega \cdot cm$ (lo que equivale a una concentración comprendida entre $1.2 \cdot 10^{18}$ y $4.4 \cdot 10^{18} cm^{-3}$), sobre los que se han crecido dos tipos de epitaxia P : una de 4.5 μm de espesor con una concentración de impurezas de $10^{15} cm^{-3}$, y otra de 3 μm y $5 \cdot 10^{15} cm^{-3}$. El proceso se inicia con un recocido en ambiente inerte a una temperatura de 1100 °C durante 6 horas (paso 1. Ajuste de la epitaxia), con objeto de reducir el espesor de la epitaxia (Figura 3.14 b) y ajustarlo al valor que permite alcanzar la tensión de ruptura deseada. A continuación se crece un óxido de campo (Figura 3.15 a), con el fin de aislar las zonas donde se desean realizar los pozos P (paso 2. Oxidación de campo)
- b. Seguidamente se realiza la primera etapa fotolitográfica (paso 3. Fotolitografía: Definición del colector) y se elimina el óxido de la zona donde se realizará la implantación de impurezas. A continuación se crece un óxido pantalla (250 Å), con el fin de proteger la superficie de Silicio durante la implantación y evitar la exodifusión de impurezas durante el proceso térmico posterior (Figura 3.15 b).
- c. Posteriormente se procede a la implantación de Boro con diferentes dosis: $2.5 \cdot 10^{12} cm^{-2}$, $5 \cdot 10^{12} cm^{-2}$ (Figura 3.16 a) y $9 \cdot 10^{12} cm^{-2}$, con una energía de implantación de 50 keV.

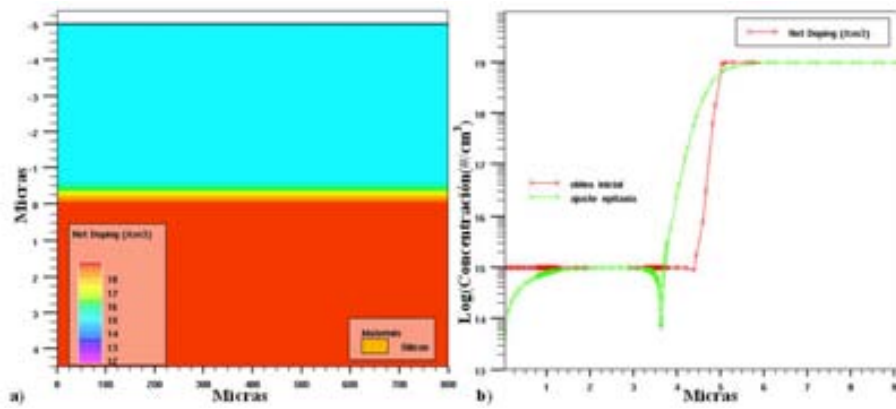


Figura 3.14: a) Oblea inicial con una epitaxia de 10^{15}cm^{-3} y $4.5 \mu\text{m}$ de espesor, b) Perfil de dopajes de la oblea inicial y tras el recocido de ajuste de epitaxia.

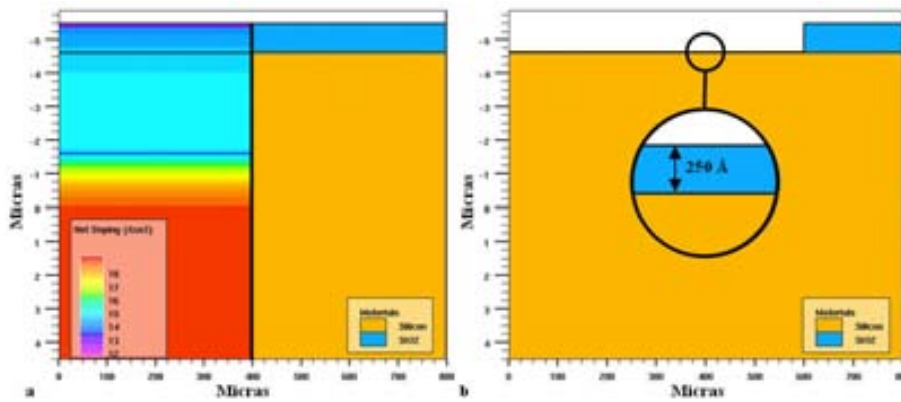


Figura 3.15: a) Crecimiento de óxido de campo, b) Grabado de óxido y crecimiento de óxido pantalla.

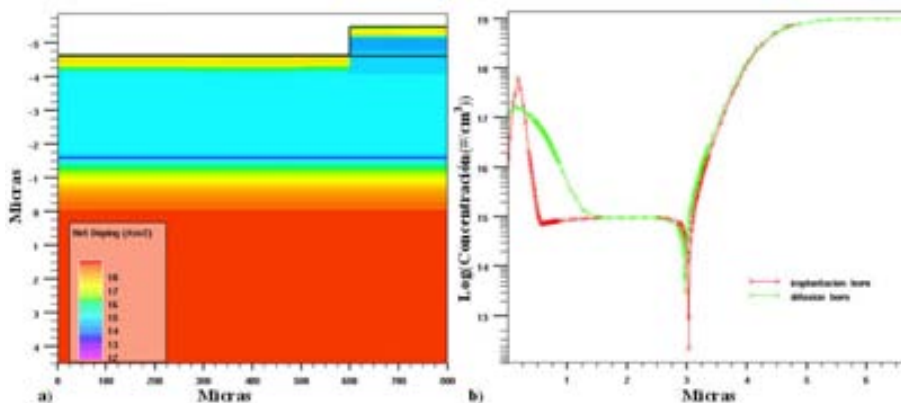


Figura 3.16: a) Implantación de Boro (dosis $9 \cdot 10^{12} \text{cm}^{-2}$), b) Perfil de dopaje de la implantación tras el recocido.

- d. La activación y difusión de Boro (paso 5) se ha realizado en todas las obleas en un horno con ambiente de Nitrógeno a 1100°C durante 30 minutos. (Figura 3.16 b).

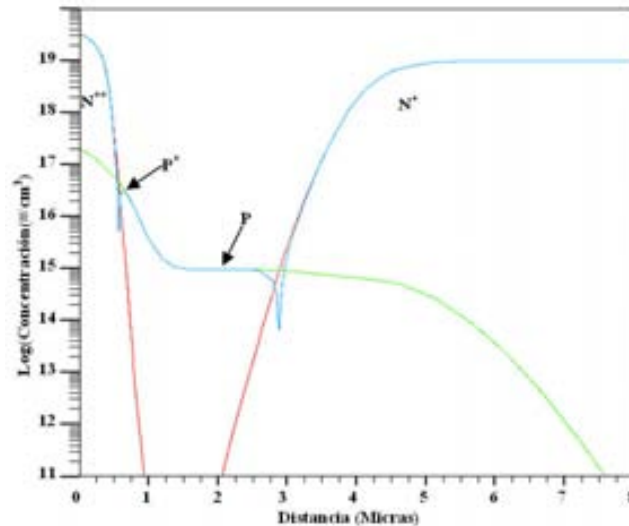


Figura 3.17: Perfil de dopajes del dispositivo después de todo el proceso.

- e. A continuación se realiza la implantación de Fósforo (paso 6). con una dosis de 10^{15}cm^{-2} y una energía de 50 keV.
- f. La activación y difusión de Fósforo (paso 7) se realiza en un horno en ambiente oxidante (para regenerar el óxido de campo) a 1000°C durante 20 minutos.
- g. Tras la segunda etapa fotolitográfica para abrir contactos (paso 8), se metaliza (paso 9) mediante la tricapa ya utilizada en las estructuras TVS de 3 capas, para encapsular posteriormente las estructuras, en formato axial, en la planta de Fagor Electrónica.

La Figura 3.17 muestra el perfil de dopajes al final del proceso en una oblea de $4.5 \mu\text{m}$ y 10^{15}cm^{-3} de epitaxia, donde la implantación de Boro corresponde a una dosis de $9 \cdot 10^{12} \text{cm}^{-2}$.

3.2.3. Caracterización eléctrica

En total se han procesado 12 obleas, mostrándose las principales características de fabricación de cada una en la Tabla 3.1.

Número de oblea	Dopaje epitaxia (cm^{-3})	Dosis implantación de Boro (cm^{-2})
1 y 7	10^{15}	$2.5 \cdot 10^{12}$
2 y 8	10^{15}	$5 \cdot 10^{12}$
3 y 9	10^{15}	$9 \cdot 10^{12}$
4 y 10	$5 \cdot 10^{15}$	$2.5 \cdot 10^{12}$
5 y 11	$5 \cdot 10^{15}$	$5 \cdot 10^{12}$
6 y 12	$5 \cdot 10^{15}$	$9 \cdot 10^{12}$

Tabla 3.1: Características de las obleas procesadas.

La caracterización eléctrica se basa en una cartografía sobre oblea, midiendo en cada uno de los dispositivos fabricados la tensión que cae al pasar una corriente de 10 mA (ruptura) y 50 mA (clamping). Con estos datos se ha realizado un estudio estadístico de los valores obtenidos en cada oblea.

Las Figuras 3.18 y 3.19 se una muestran los resultados de las cartografías realizadas en la oblea número 6 y el histograma de los valores de la caída de tensión cuando circula una corriente de 10mA. En la Tabla 3.2 se muestran los valores medios de estas tensiones para cada oblea.



Figura 3.18: Cartografía de la oblea 6 del primer proceso. Valores de la tensión para 10 mA.

Como indica la Tabla 3.1, se han procesado 2 obleas para cada combinación de epitaxia y dosis de implantación de Boro. Estos pares de obleas han seguido el mismo proceso de fabricación, aunque, como se puede observar en la Tabla 3.2, existen discrepancias en las tensiones medias, del orden de 0.5 V para las epitaxias de 10^{15} cm^{-3} y de unos 0.3 V para las epitaxias de $5 \cdot 10^{15} \text{ cm}^{-3}$. Estas discrepancias pueden deberse, tal como se vió en apartados anteriores, a una diferencia de espesor de la epitaxia en las obleas iniciales inherente a su proceso de fabricación.

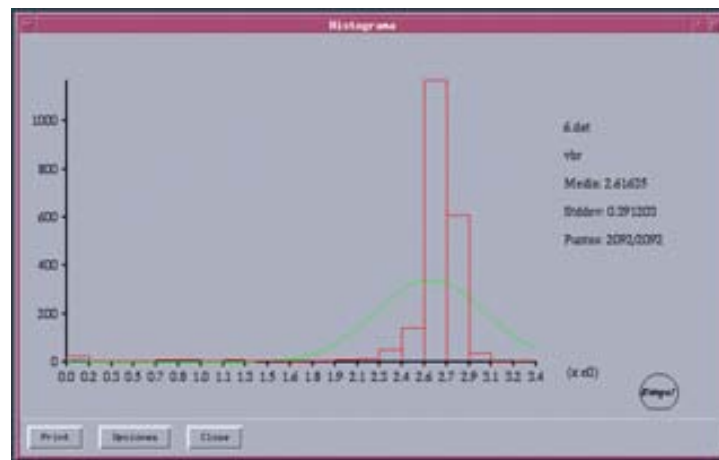


Figura 3.19: Histograma de la oblea 6 del primer proceso. Valores de la tensión para 10 mA.

Después de la caracterización sobre oblea se procedió a su encapsulación en formato axial en Fagor Electrónica (Figura 3.20) y a la caracterización de muestras aleatorias de cada oblea, mostrándose en la Figura 3.21 la característica I(V) en uno de dichos dispositivos.

Número de oblea	V@10mA (V)	V@50mA (V)	Número de oblea	V@10mA (V)	V@50mA (V)
1	3.86	4.30	7	4.28	4.77
2	4.15	4.56	8	4.70	5.35
3	4.71	4.53	9	5.13	5.02
4	0.72	0.88	10	0.92	1.24
5	1.48	1.65	11	1.91	2.18
6	2.62	2.94	12	2.94	2.97

Tabla 3.2: Tensiones medias de cada oblea, resultados de las cartografías.



Figura 3.20: Prototipos encapsulados en formato axial.

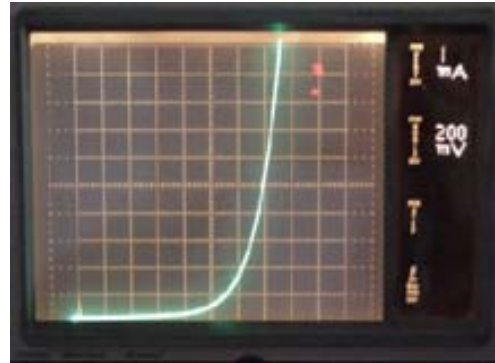


Figura 3.21: $I(V)$ Experimental de un dispositivo encapsulado con $V_{PT} = 1.2V$.

También se han comparado los resultados de las simulaciones realizadas con los correspondientes a los dispositivos reales una vez encapsulados. En la Figura 3.22 se observa el acuerdo entre las características $I(V)$ de estructuras de $N_{epi} = 5 \cdot 10^{15} cm^{-3}$ del primer proceso.

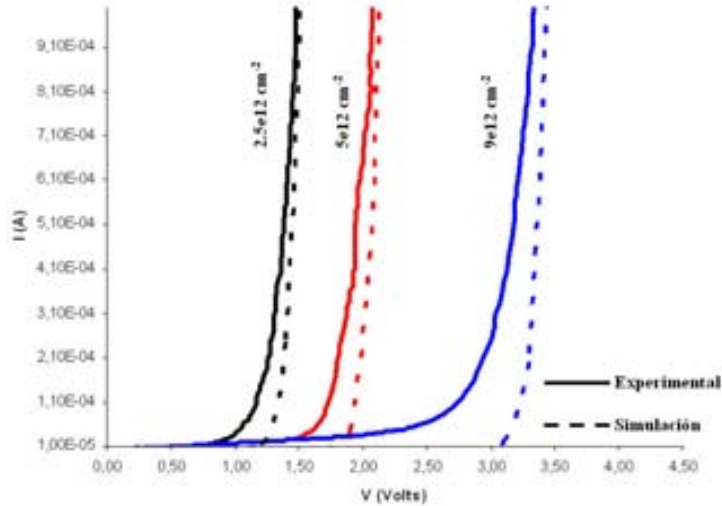


Figura 3.22: Comparación de las características $I(V)$ entre las estructuras simuladas y las fabricadas $N_{epi} = 5 \cdot 10^{15} cm^{-3}$.

Otro parámetro importante que se ha medido es la tensión de *clamping*. La figura 3.23 muestra la tensión de *clamping* ($V@50mA$) en función de la tensión de ruptura ($V@1mA$). La tensión de *clamping* debe ser lo más próxima posible a la tensión de ruptura, puesto que de esta forma los circuitos

están mejor protegidos [10]. Como se puede apreciar en la figura, los TVS 4 capas fabricados presentan una tensión de *clamping* sensiblemente menor que los diodos Zener, para tensiones de ruptura inferiores a 3 V. Esta mejora, junto con la disminución de la corriente de fuga, hace que estos dispositivos sean una alternativa mejor en la protección de circuitos en aplicaciones con tensiones inferiores a 3 V.

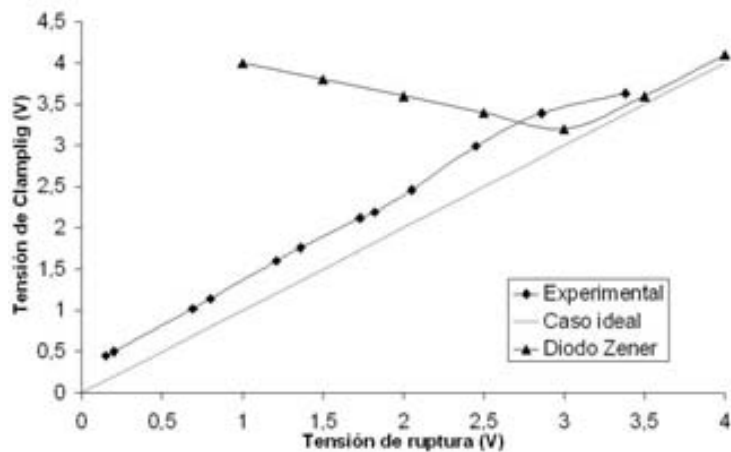


Figura 3.23: Tensión de *clamping* en función de la tensión de ruptura en TVS de 4 capas fabricados, diodos Zener [10] y caso ideal ($V_{Clamping} = V_{BR}$).

Finalmente, se ha procedido a determinar la potencia máxima que los dispositivos son capaces de absorber sin llegar a destruirse. Los experimentos muestran una capacidad de soportar picos de potencia de 1000 W sin alteración de las características eléctricas.

Con el fin de reducir las discrepancias observadas en los valores de la tensión de ruptura entre obleas que se han fabricado dentro de un mismo lote y dado que no podemos controlar el proceso de crecimiento epitaxial, decidimos modificar el proceso de ajuste del espesor epitaxial utilizado hasta el momento (proceso térmico realizado a alta temperatura). A medida que aumenta el tiempo que las obleas están a alta temperatura, la unión substrato-epitaxial se hace más gaussiana, lo que produce un aumento de la tensión soportada por dicha unión. Cuanto mayor es el espesor a reducir mayor es el tiempo necesario, añadiéndose este incremento en la tensión soportada al error inherente al proceso de crecimiento epitaxial.

Dado que, desde el punto de vista de la futura transferencia industrial,

no es viable el disponer de un espesor epitaxial para cada valor de la tensión de ruptura deseado, se decidió, para reducir la epitaxia, realizar una serie de oxidaciones y posteriores decapados de óxido, ya que cada oxidación consume silicio, reduciéndose así el espesor epitaxial. Las simulaciones realizadas pusieron de manifiesto que para obtener el espesor epitaxial adecuado era mejor, puesto que se reducía tanto la temperatura como el tiempo de estancia en el horno, realizar varias oxidaciones de 5000 \AA (dos para las obleas de $3 \mu\text{m}$ y tres oxidaciones en las obleas de $4.5 \mu\text{m}$ de espesor epitaxial) en lugar de consumir el silicio necesario con una única oxidación.

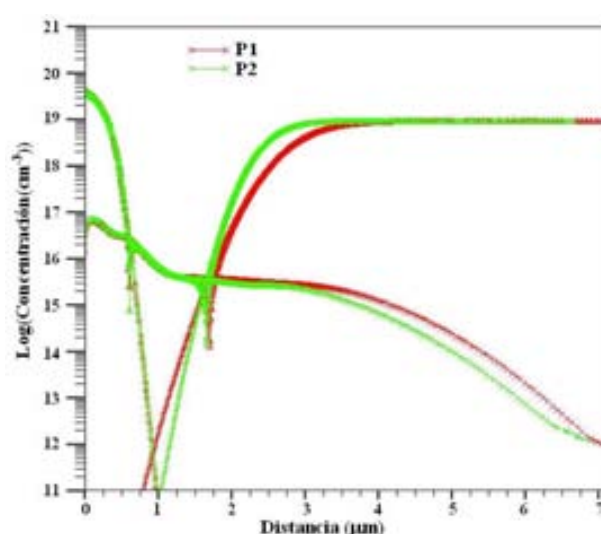


Figura 3.24: Perfil de dopajes de dispositivos, P1: Primer proceso con ajuste epitaxial por difusión. P2: Segundo proceso con ajuste epitaxial por consumo de silicio por oxidación.

La Figura 3.24 muestra la comparación, por simulación, de los perfiles de impurezas de dos dispositivos que han seguido el mismo proceso de fabricación excepto en el ajuste epitaxial. Se puede observar como la unión base-emisor de la estructura P2 (dispositivo con un ajuste epitaxial por serie de oxidaciones) es más abrupta ya que, al haber permanecido menos tiempo sometido a altas temperaturas, las impurezas del emisor no se han difundido tanto como en el caso P1.

Se han procesado 12 obleas modificando el proceso de ajuste epitaxial y se ha realizado una cartografía completa de cada oblea (Figura 3.25). Las cartografías han puesto de manifiesto que no hay un gran diferencia en la dispersión de la tensión de ruptura dentro de la misma oblea en comparación con el proceso anterior. Sin embargo, como se observa en la Figura 3.26,

existe una notable repetitividad entre diferentes obleas que han seguido el mismo proceso. Esta comparación se puede observar con más nitidez en la Tabla 3.3.

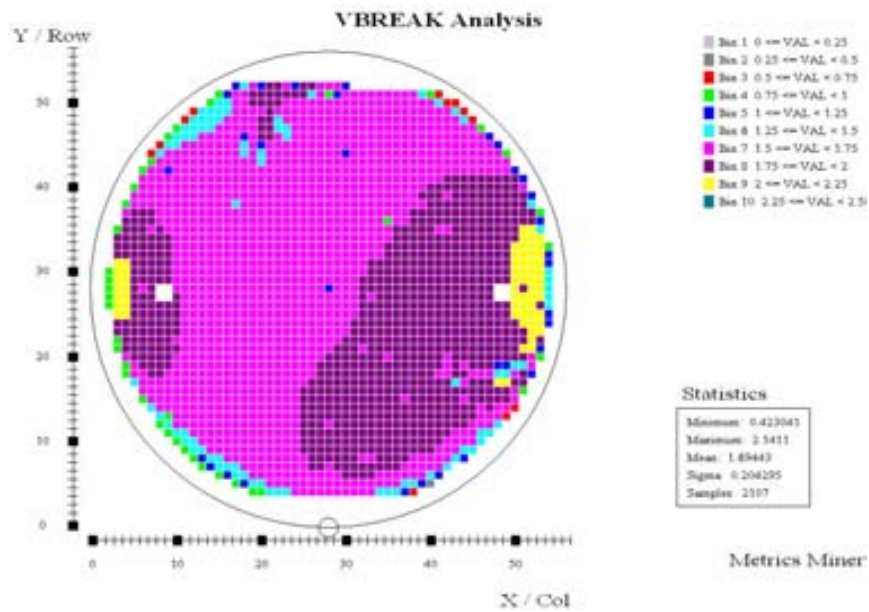


Figura 3.25: Cartografía de la oblea 7 del segundo proceso. Valores de la tensión para 10 mA.

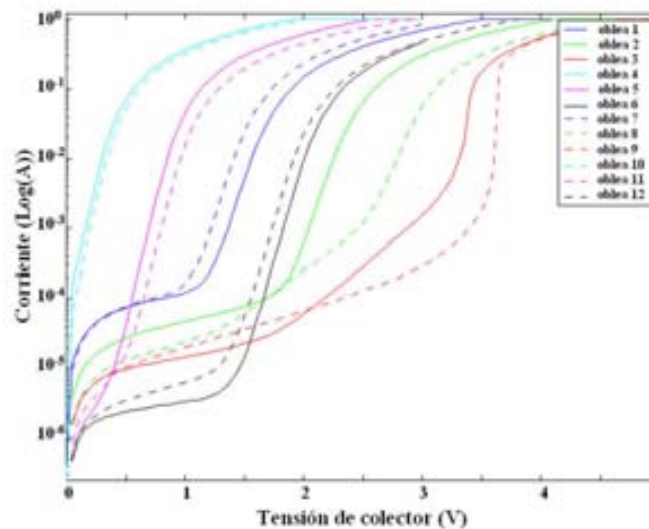


Figura 3.26: Curvas I-V medias de cada oblea procesada.

Número de oblea	Proceso 1 V_{BR} (V)	Proceso 2 V_{BR} (V)	Número de oblea	Proceso 1 V_{BR} (V)	Proceso 2 V_{BR} (V)
1	3.86	1.52	7	4.28	1.69
2	4.15	2.26	8	4.70	2.79
3	4.71	3.31	9	5.13	3.61
4	0.72	0.30	10	0.92	0.33
5	1.48	0.85	11	1.91	0.96
6	2.62	1.92	12	2.94	2.00

Tabla 3.3: Tensiones de ruptura ($V@10mA$) medias de cada oblea, resultados de las cartografías.

A la vista de los resultados, podemos afirmar que el nuevo proceso de ajuste epitaxial mejora sustancialmente la repetitividad de los dispositivos en diferentes obleas, algo muy importante si queremos que este proceso pueda introducirse en un proceso sea industrializable.

Los principales resultados obtenidos en la fabricación del TVS de 4 capas son:

1. En función de la epitaxia y de la dosis de Boro implantada, se han obtenido dispositivos con tensiones de bloqueo comprendidas entre 0.8 y 4 V,
2. Los dispositivos realizados mediante el ajuste epitaxial por crecimiento y decapado de óxido, muestran una mayor repetitividad y menor dispersión en la tensión de ruptura,
3. La corriente de fuga en inversa se sitúa en un rango comprendido entre $1\mu A$ y $100\mu A$,
4. La tensión de *clamping* disminuye claramente en comparación con los diodos Zener tradicionales, siendo esta mejora más apreciable cuanto menor es la tensión de ruptura,
5. Se ha reducido la dispersión en el valor de la tensión de bloqueo que aparece en las estructuras TVS de 3 capas,
6. Los dispositivos fabricados permiten la absorción de perturbaciones con picos de potencia de 1000 W sin destruirse (utilizando pulsos $10/1000\mu s$).

Capítulo 4

Dispositivos supresores laterales de efecto *punch-through*

4.1. Introducción

En los capítulos anteriores hemos tratado los dispositivos TVS de efecto *punch-through* con arquitectura vertical, cuya capacidad de protección en baja tensión es superior a la de los diodos Zener. Hasta la fecha, los dispositivos TVS de efecto *punch-through* que existen en el mercado presentan una arquitectura vertical en la que se encapsula cada dado individualmente, por lo que se obtienen componentes discretos [24] que deben conectarse externamente al circuito que protegen. Esto es debido a que, en las tecnologías *Bulk* CMOS, los dispositivos verticales no pueden ser integrados junto con el circuito CMOS debido, principalmente, a la dificultad de aislar eléctricamente el dispositivo del resto del circuito al que protege.

Sin embargo, en las tecnologías *Smart-Power* (tecnologías inteligentes de potencia) tanto en sustratos *Bulk* como SOI (*Silicon-On-Insulator*, Silicio sobre aislante), es de gran interés poder integrar en un solo chip los dispositivos supresores junto con la circuitería a proteger. Las ventajas que ello conlleva son varias: El dispositivo supresor se muestra más efectivo al estar ubicado cerca de la circuitería a proteger y, además, se consigue una reducción de las conexiones parásitas, de las dimensiones finales del sistema y de los costes ligados al proceso de encapsulado. Para poder integrar estos dispositivos monolíticamente con el resto del CI, debe optarse por una arquitectura lateral.

4.2. TVS laterales en tecnología *Bulk*

4.2.1. Descripción de los dispositivos

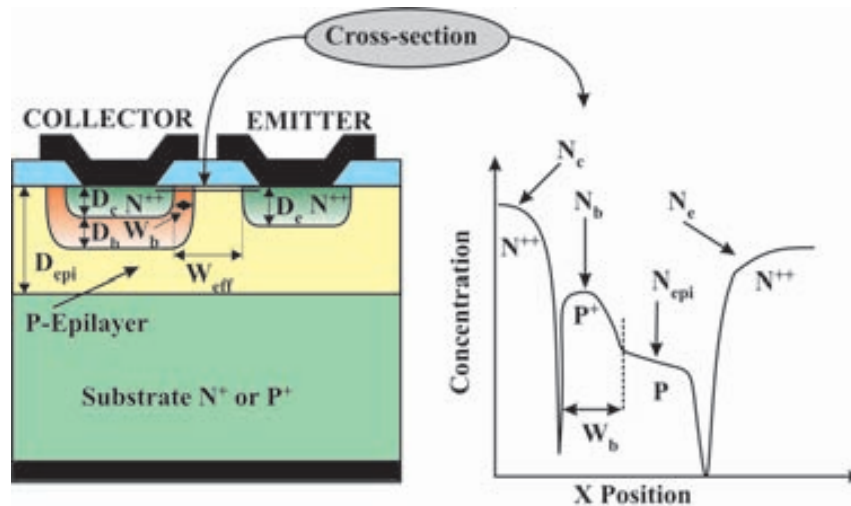


Figura 4.1: Corte transversal de un TVS lateral 4 capas.

En la Figura 4.1 se muestra una sección transversal de un dispositivo TVS 4 capas lateral implementado en tecnología *Bulk*. El TVS 4 capas lateral consiste, igual que en su versión vertical, en un transistor bipolar ($N^+P^+PN^+$ o $P^+N^+NP^+$) de base abierta integrado en un sustrato tipo N^+ (o P^+) con una epitaxia tipo P (o N), donde la concentración de impurezas del colector, emisor y sustrato es del orden de $1 \cdot 10^{18} \text{cm}^{-3}$.

La implementación de un TVS 3 capas lateral en tecnología *Bulk* también es posible, siendo su proceso tecnológico más simple que el de los TVS laterales de 4 capas. Sin embargo, como se vió en el estudio de los TVS verticales, los dispositivos TVS *punch-through* de 4 capas ofrecen unas características eléctricas mejores y un mayor grado de protección que las estructuras tricapa. Dado que el principio de operación de los TVS no depende de su arquitectura, es de esperar que los TVS laterales de 4 capas ofrezcan una prestaciones superiores a los de su equivalente 3 capas.

Para comprobar esta afirmación, se han simulado, con la ayuda del simulador eléctrico Atlas [19], tres estructuras TVS laterales diferentes, dos de ellas con una configuración 3 capas y la otra con una configuración 4 capas,

donde hemos denominado estructuras tipo *a* y *b* a las configuraciones trica-pa y tipo *c* a la configuración 4 capas. La Figura 4.2 muestra una sección transversal de las estructuras tipo *a* y tipo *b*.

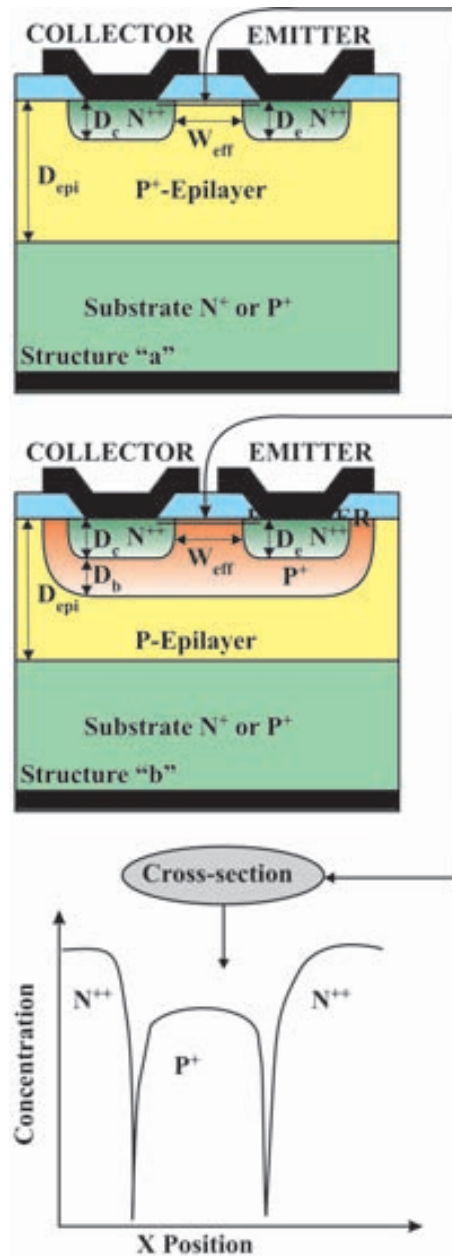


Figura 4.2: Arquitectura de las estructuras TVS 3 capas tipos *a* y *b*, incluido el perfil de concentración superficial de impurezas.

La estructura TVS 3 capas tipo *a* está implementada en una epitaxia tipo *P* con una concentración uniforme de impurezas de $1 \cdot 10^{17} \text{ cm}^{-3}$, dando lugar a valores de la tensión de *clamping* similares a los alcanzados con la estructura 4 capas. Esta configuración es la estructura TVS tipo *punch-through* lateral más simple posible y se toma como referencia para la comparación con las otras dos estructuras simuladas. La configuración tipo *b* es una aproximación más realista para la integración en Silicio. Usualmente, la concentración de impurezas de las epitaxias tipo *P* en tecnologías CMOS es menor que $1 \cdot 10^{17} \text{ cm}^{-3}$ (normalmente están en el rango de $1 \cdot 10^{15} \text{ cm}^{-3}$). Sin embargo, con una resistividad tan elevada no se pueden alcanzar valores de la tensión de *clamping* suficientemente bajos. La estructura tipo *b* es un TVS 3 capas donde se ha añadido una difusión tipo P^+ con un pico de dopaje del orden de $1 \cdot 10^{17} \text{ cm}^{-3}$. De esta forma, se consigue un dispositivo similar a la estructura tipo *a* pero manteniendo una epitaxia con resistividad alta. Como consecuencia, la estructura es compatible con los sustratos CMOS tipo *P* estándar, con valores bajos de la tensión de *clamping*. Para ello, la concentración de impurezas cerca de la superficie debe ser la misma en las estructuras tipo *a* y *b*, tal y como muestra la Figura 4.2.

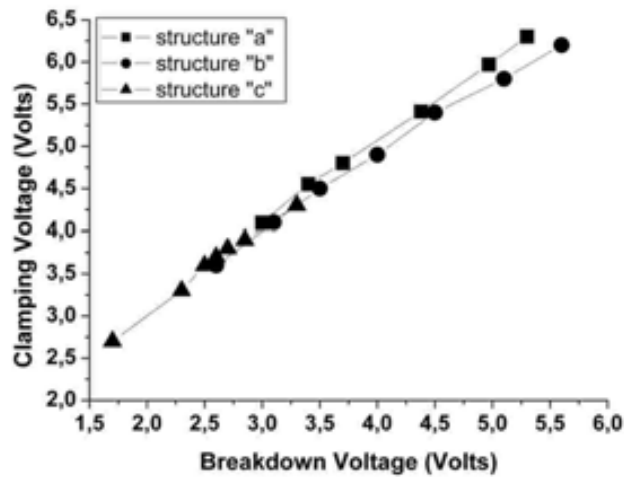


Figura 4.3: Relación entre la tensión de *clamping* y la tensión de ruptura en las tres estructuras analizadas.

La estructura TVS 4 capas (tipo *c*) corresponde a la sección transversal que se muestra en la Figura 4.1, con una epitaxia tipo *P* poco dopada ($1 \cdot 10^{15} \text{ cm}^{-3}$) y un pozo profundo tipo P^+ bajo el colector, con un pico de dopaje de $5 \cdot 10^{16} \text{ cm}^{-3}$. Las concentraciones de impurezas de las diferentes difusiones

en cada tipo de estructura se han escogido para obtener los mismo valores de la tensión de *clamping* y, de esta forma, poder obtener una comparación más realista de la capacidad de protección de todas las estructuras TVS laterales analizadas. En al Figura 4.3 se muestra como las tres estructuras exhiben una misma relación entre la tensión de *clamping* y la tensión de ruptura.

Aunque, de acuerdo con los resultados de la Figura 4.3, pueda parecer que las tres estructuras ofrecen un mismo comportamiento eléctrico, existen un par de diferencias entre los dispositivos 3 capas y los 4 capas que ponen de manifiesto la preferencia por esta última estructura.

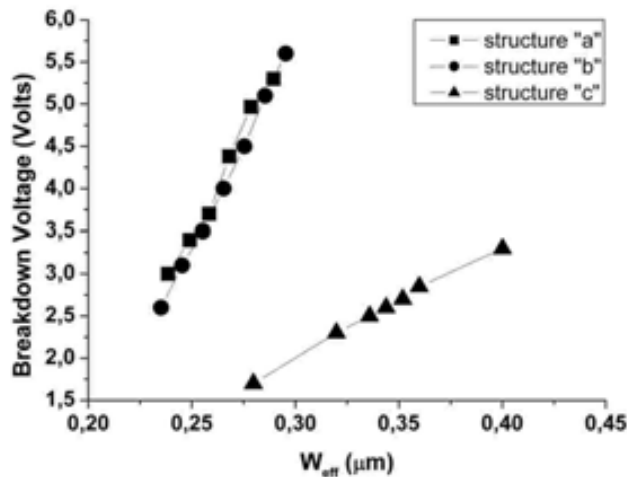


Figura 4.4: Variación de la tensión de ruptura con la anchura de la base en las tres estructuras estudiadas.

La Figura 4.4 muestra la variación de la tensión de ruptura con la anchura de la base en las mismas estructuras de la Figura 4.3. Se puede observar que las dos estructuras tricapa tienen un mismo comportamiento, mientras que la estructura tipo *c* difiere de las otras dos. En primer lugar, se observa que para obtener los mismos valores de tensión de ruptura (y tensiones de *clamping*) es necesario definir una anchura de base (distancia entre las dos uniones) menor en las estructuras tricapa que en la de 4 capas, lo que conlleva, necesariamente, a una mayor precisión tecnológica.

Pero lo realmente negativo de las estructuras 3 capas es la sensibilidad que muestra la tensión de ruptura con la anchura de la base. Como se observa, una pequeña variación de $0,05 \mu\text{m}$ provoca una variación de más de 3 V

en la tensión de ruptura. Por contra, la misma variación de la anchura de la base en una estructura 4 capas hace variar la tensión de ruptura solo unos 0.75 V.

Este hecho pone de manifiesto que, si bien las tres estructuras son muy sensibles a este parámetro, en las estructuras tricapa (tipo *a* y *b*) esta sensibilidad es más acusada, obligando a implementar un control muy preciso durante su fabricación. Esto hace que los TVS laterales de 3 capas difícilmente puedan ser fabricados comercialmente, dado que controlar la difusión lateral de dopante con una precisión de $0.05 \mu m$, es prácticamente inviable. Por lo tanto, igual que en el caso de TVS con arquitectura vertical, podemos afirmar que, en los TVS laterales, las estructuras 4 capas ofrecen una mayor facilidad de integración y mejores prestaciones que las estructuras tricapa.

4.2.2. Análisis de los dispositivos

De la misma forma que se hizo con los dispositivos verticales, se ha estudiado, con la ayuda de un simulador numérico, la influencia de los principales parámetros geométricos y tecnológicos del TVS lateral de 4 capas en la tensión de ruptura y la corriente de fuga.

Las simulaciones realizadas muestran que el comportamiento eléctrico de los TVS laterales es equivalente al obtenido en los dispositivos verticales. Sin embargo, existen algunos fenómenos inherentes a la arquitectura lateral y a la forma de las uniones que influyen en la física de los TVS laterales.

Pico de dopaje del *buffer* P^+ (N_b)

De forma análoga a los TVS 4 capas verticales, un aumento del pico de dopaje del *buffer* (en los TVS laterales se considera el valor del pico de dopaje del *buffer* cerca de la superficie de la oblea) provoca un aumento de la tensión de ruptura. Este comportamiento se puede observar en la Figura 4.5.

El estudio de la influencia de este parámetro sobre la tensión de ruptura en los TVS 4 capas verticales, mostró una dependencia prácticamente lineal entre N_b y V_{PT} (Figura 2.32) corroborada por nuestro modelo. Esta dependencia lineal también se aprecia en los dispositivos laterales (Figura 4.6).

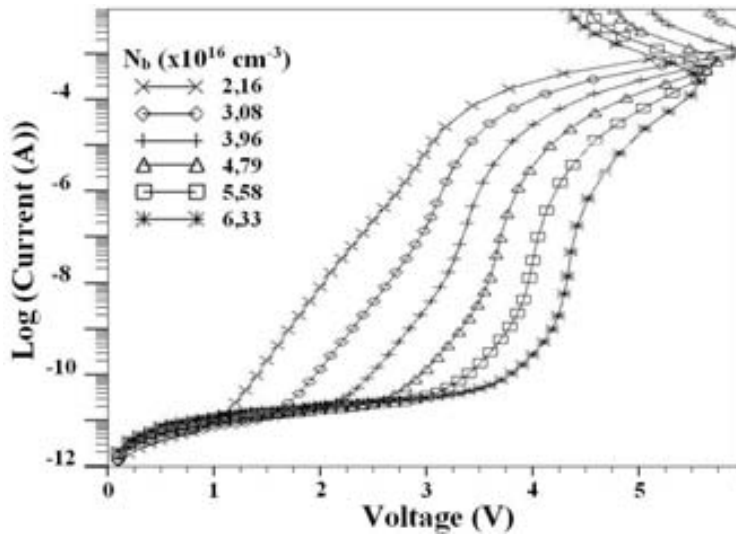


Figura 4.5: Características I-V de varios TVS laterales variando N_b .
 $N_{epi} = 1 \cdot 10^{15} \text{ cm}^{-3}$, $W_{eff} = 1 \mu\text{m}$.

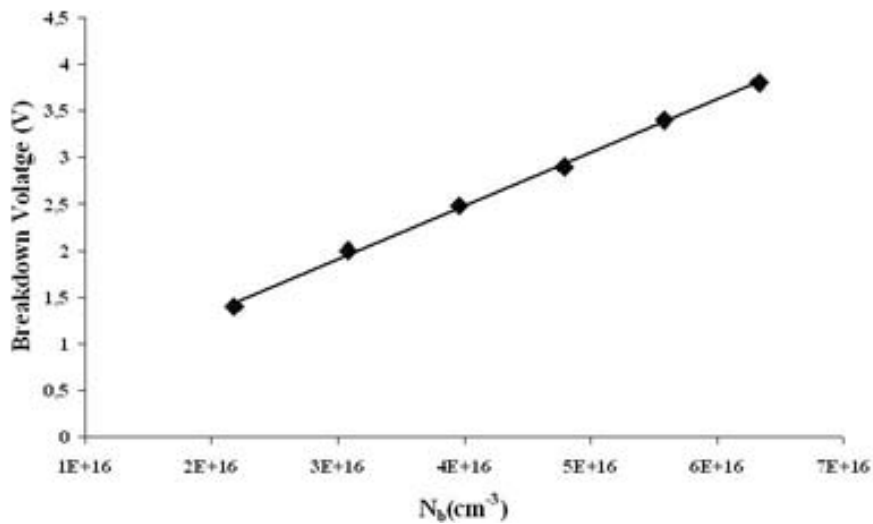


Figura 4.6: Variación de la tensión de ruptura con N_b .
 $N_{epi} = 1 \cdot 10^{15} \text{ cm}^{-3}$, $W_{eff} = 1 \mu\text{m}$.

Lamentablemente, no existe un modelo teórico para los dispositivos laterales, puesto que la ruptura por *punch-through* difiere un poco de los dispositivos verticales (como veremos más adelante). No obstante, podemos observar que, cualitativamente, el comportamiento es idéntico en las arquitecturas vertical y lateral.

Además de la variación de la tensión de ruptura, la Figura 4.5 muestra otros resultados que merece la pena destacar. Se observa un pequeño aumento de la corriente de fuga con N_b . También se puede apreciar una disminución de la tensión de *clamping* al aumentar N_b , como ya se observó en los dispositivos verticales. De hecho, esta es la función principal que debe realizar el *buffer* P^+ .

Amplitud de la base W_{eff}

La influencia de la amplitud de la base (W_{eff}) tanto la tensión de ruptura como en la corriente de fuga se puede observar en la Figura 4.7. Como era de esperar, la tensión de ruptura aumenta con W_{eff} , presentando una dependencia cuadrática con este parámetro igual que en el caso de los dispositivos verticales. Sin embargo, no se aprecia ninguna variación en la corriente de fuga. También se ha observado que la tensión de ruptura es menos sensible a variaciones de W_{eff} (siempre y cuando el *buffer* no ocupe la totalidad de la base) cuando disminuye N_{epi} .

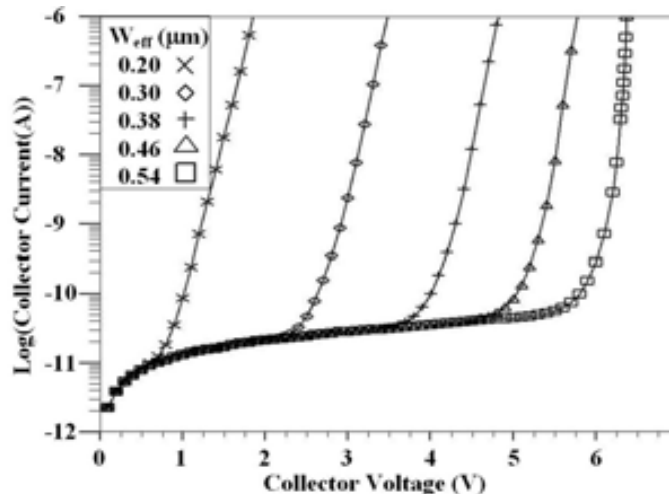


Figura 4.7: Características I-V de varios TVS laterales variando W_{eff} .
 $N_{epi} = 10^{15} \text{ cm}^{-3}$, $N_b = 6.7 \cdot 10^{16} \text{ cm}^{-3}$.

Amplitud de la difusión de colector W_c

Aunque la arquitectura de este dispositivo sea lateral, se podría considerar que su comportamiento, antes de alcanzar la ruptura, es análogo a la versión vertical. Así, existe una fuerte dependencia de la corriente de fuga con W_c , dependencia que se puede entender mediante las líneas de corriente mostradas en la Figura 4.8.

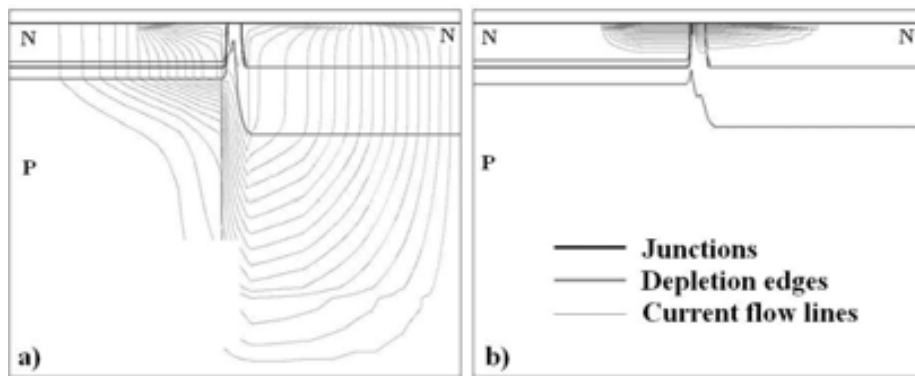


Figura 4.8: Líneas de corriente, (a) antes de la ruptura, (b) después de la ruptura.

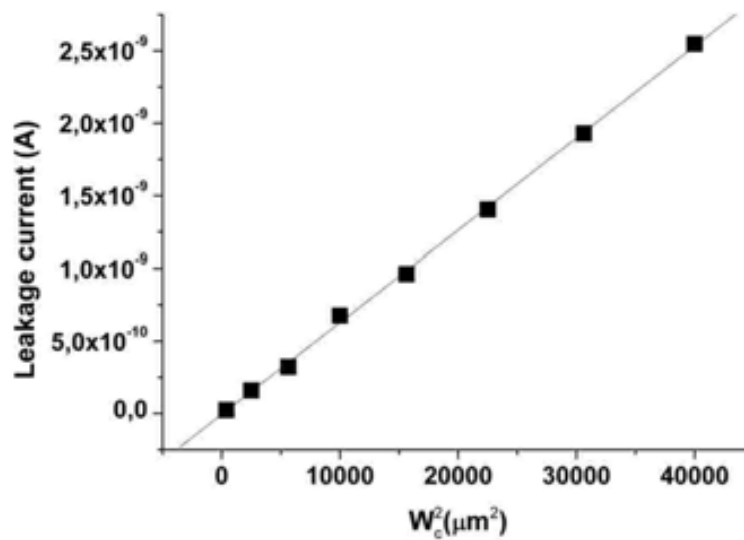


Figura 4.9: Variación de la corriente de fuga con W_c^2 . $W_b = 0.5 \mu\text{m}$, $N_{epi} = 4.8 \cdot 10^{15} \text{ cm}^{-3}$, $W_{eff} = 1.4 \mu\text{m}$.

Como se observa en la Figura 4.8, la corriente de fuga circula por caminos diferentes antes y después de la ruptura. Antes que la ruptura ocurra, la corriente es prácticamente vertical en la unión N^+P^+ (colector-epitaxia). Una vez se ha alcanzado el *punch-through*, la corriente circula lateralmente cerca de la superficie del Silicio, a través del camino menos resistivo creado a lo largo de la zona de vaciamiento al haberse reducido la barrera de potencial. Por lo tanto no es de extrañar, Figura 4.9, que la corriente de fuga dependa linealmente con el área del colector (que es proporcional a W_c^2), de la misma forma que sucedía en los TVS 4 capas verticales.

Grosor de la epitaxia (D_{epi}) y tipo de sustrato

La optimización de la estructura TVS 4 capas lateral debe contemplar dos nuevos parámetros: El grosor de la epitaxia y el tipo de impurezas dopantes del sustrato. Usualmente, el grosor de la epitaxia y el tipo de sustrato están fijados, ya que los TVS laterales se destinan a la protección on-chip y están integrados monolíticamente con la tecnología de los CI's a proteger (CMOS, BiCMOS, SOI, etc.).

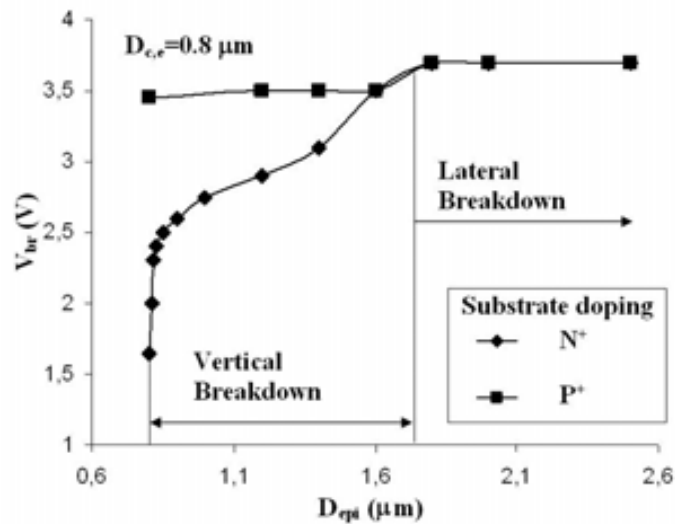


Figura 4.10: Variación de la tensión de ruptura con D_{epi} . $W_{eff} = 1.16 \mu m$, $N_{epi} = 1 \cdot 10^{15} cm^{-3}$, $N_b = 2.81 \cdot 10^{16} cm^{-3}$

La Figura 4.10 muestra los valores de la tensión de ruptura de estructuras TVS 4 capas laterales integradas en sustratos N y P , con epitaxia tipo P en ambos casos. Como se puede observar, la tensión de ruptura apenas varía en

el caso de sustratos tipo *P*. Sin embargo, en el caso de sustratos tipo *N* con un espesor epitaxial suficientemente delgado, el valor de la tensión de ruptura se reduce drásticamente por la aparición de una ruptura vertical. Dado que el sustrato es tipo *N* y la epitaxia tipo *P*, existe una unión PN y, por lo tanto, una estructura *NPPN* vertical parásita que puede llegar a alcanzar la ruptura antes de la aparición del *punch-through* lateral. Esta ruptura debe tenerse en cuenta en el diseño de TVS laterales de efecto *punch-through* integrados en sustratos tipo *N*.

Para poder comparar las características I-V de todas las estructuras analizadas, tanto en arquitectura vertical como lateral (TVS 3 y cuatro capas y diodos Zener), con tensiones de ruptura alrededor de 2 V, se ha realizado un estudio por simulación numérica. Las características eléctricas de todas las estructuras simuladas se presentan en la Figura 4.11

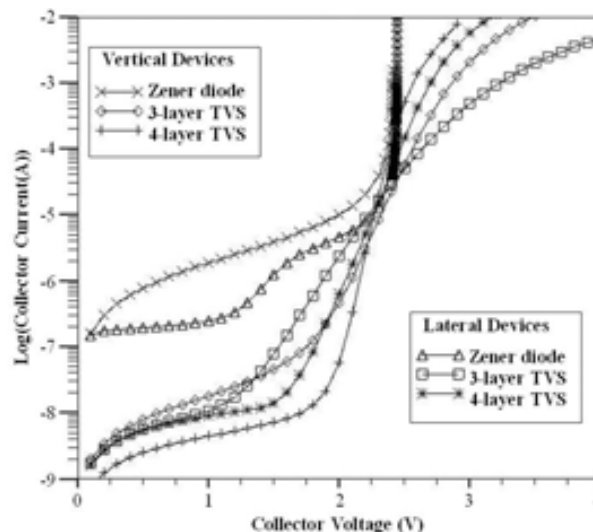


Figura 4.11: Comparación entre estructuras verticales y laterales de dispositivos TVS y diodos Zener

La estructura TVS 4 capas lateral optimizada presenta un mejor comportamiento eléctrico que cualquier diodo Zener (vertical o lateral), disminuyendo la corriente de fuga en tres órdenes de magnitud. Sin embargo, después de la ruptura la tensión *clamping* es mayor en cualquiera de las estructuras TVS simuladas, en comparación con la de los diodos Zener, debido, básicamente, al diferente mecanismo de ruptura. Por lo tanto, se puede concluir que las características eléctricas de las estructuras TVS 4 capas laterales son comparables a las de las estructuras verticales, con una pequeña degradación

de la corriente de fuga y tensión *clamping*. Por consiguiente, la capacidad de protección de los TVS laterales es comparable a la alcanzada por los dispositivos TVS verticales.

4.2.3. El *punch-through* lateral

A lo largo de todas las simulaciones realizadas, se ha observado que los valores de las tensiones de ruptura en los dispositivos TVS laterales son mayores que los valores obtenidos en su correspondiente versión vertical, con el mismo perfil de impurezas. Si se asume que la ruptura por *punch-through* ocurre cuando las dos zonas de carga espacial se unen, es de esperar que los valores de la tensión de ruptura sean idénticos en ambas arquitecturas. Sin embargo, se observa una discrepancia que afecta negativamente a la hora de integrar los dispositivos, puesto que, para obtener una misma tensión de ruptura, se debe disminuir la amplitud de la base, con el consiguiente incremento de precisión tecnológica.

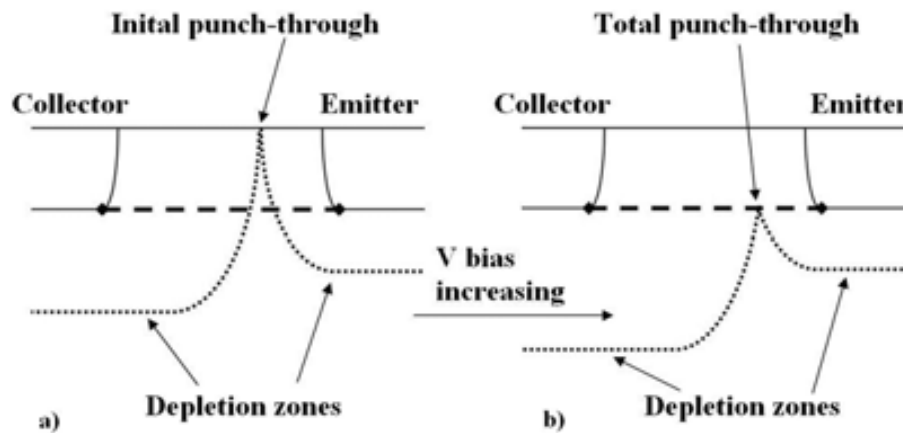


Figura 4.12: Efecto *punch-through* inicial (a) y total (b) en estructuras TVS laterales.

Las diferencias obtenidas por simulación en los valores de la tensión de ruptura se pueden atribuir a la forma de las uniones PN. En el caso de las estructuras TVS verticales, las uniones PN son prácticamente unidimensionales, por lo que la ruptura por *punch-through* comienza al mismo tiempo a lo largo de toda la región bajo la unión base-colector. Por contra, en las estructuras TVS laterales la ruptura por *punch-through* tiene lugar en la curvatura de las uniones PN. Como se puede observar en el esquema de la Figura

4.12, las zonas de carga espacial comienzan a unirse cerca de la superficie del Silicio (definido como *punch-through* inicial) para, posteriormente, extenderse (la región donde se ha producido el *punch-through*) dentro del Silicio.

Se ha observado por simulación que la ruptura del dispositivo comienza cuando la profundidad de la región de *punch-through* es similar a la profundidad de las difusiones N^+ de colector y emisor (definido como *punch-through* total). En consecuencia, es lógico suponer que para un mismo perfil de impurezas (perfil vertical en una arquitectura vertical y perfil lateral cerca de la superficie de Silicio en una arquitectura lateral), la ruptura por *punch-through* en dispositivos verticales y el *punch-through* inicial en dispositivos laterales, se produzcan a una misma tensión. Sin embargo, hasta alcanzar el *punch-through* total en los TVS laterales, debemos incrementar el valor de la tensión aplicada. Así pues, para alcanzar la misma tensión de ruptura en dispositivos verticales y laterales, debe reducirse la amplitud de la base en las estructuras TVS verticales o aplicar alguna técnica que para obtener tensiones de ruptura menores.

4.2.4. Placas de campo en TVS laterales

El uso de placas de campo en terminaciones de media y baja tensión se remonta a los años 70, coincidiendo con el desarrollo de los transistores MOS de potencia verticales y laterales. Esta técnica consiste en el uso de un material conductor (Aluminio, Polysilicio, etc.) que altera la distribución del potencial eléctrico en la superficie del Silicio, dando lugar a una reducción del campo eléctrico y al consiguiente aumento de la tensión de ruptura de las uniones PN. Es bien sabido que el campo eléctrico en la superficie de una unión plana difundida es mayor que la de una unión plano-paralela debido a los efectos de la curvatura de la zona de vaciamiento [29]. Esta curvatura se puede controlar modificando el potencial eléctrico en la superficie del Silicio, siendo la forma más simple de conseguirlo colocar una electrodo metálico (denominado placa de campo) en el extremo de la unión, como muestra la figura 4.13. Su potencial eléctrico determina la forma de la zona de vaciamiento. Cuando se aplica una tensión negativa a la placa de campo metálica, los huecos, en el caso de sustrato tipo P, son atraídos hacia la superficie por lo que la zona de vaciamiento disminuye (caso A). Si, por el contrario, se aplica una tensión positiva a la placa de campo, los huecos se alejan de la superficie y la zona de vaciamiento se expande (caso C), dando lugar a un incremento de la tensión de ruptura de la unión [36]. En el caso de actuar sobre un sustrato tipo N, sus efectos serán los inversos (una tensión negativa vacía de electrones la superficie, produciendo un aumento de la extensión de la zona de vaciamiento; una

tensión positiva aumenta electrones en la superficie reduciendo su extensión).

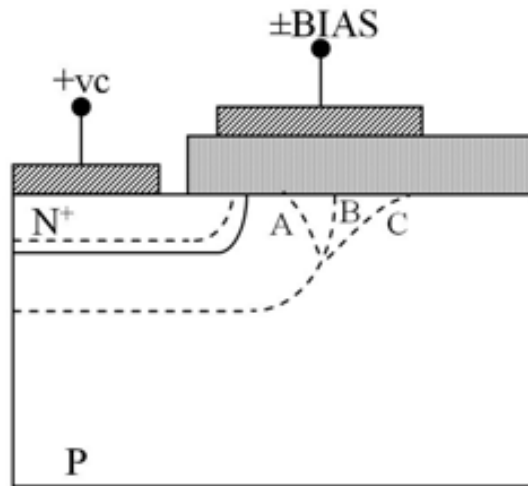


Figura 4.13: Unión plana con placa de campo en el extremo.

La polarización independiente de la placa de campo requiere la implementación de un electrodo adicional y cierta circuitería de control, especialmente compleja en arquitecturas laterales. Habitualmente, la placa de campo se crea extendiendo la metalización de uno de los contactos sobre el óxido, tal y como muestra la Figura 4.14 b). La presencia de la placa de campo obliga a la zona de vaciamiento a extenderse más allá del límite de la placa, reduciendo la curvatura de la zona de vaciamiento y el campo eléctrico en ese punto, dando lugar a tensiones de ruptura más elevadas.

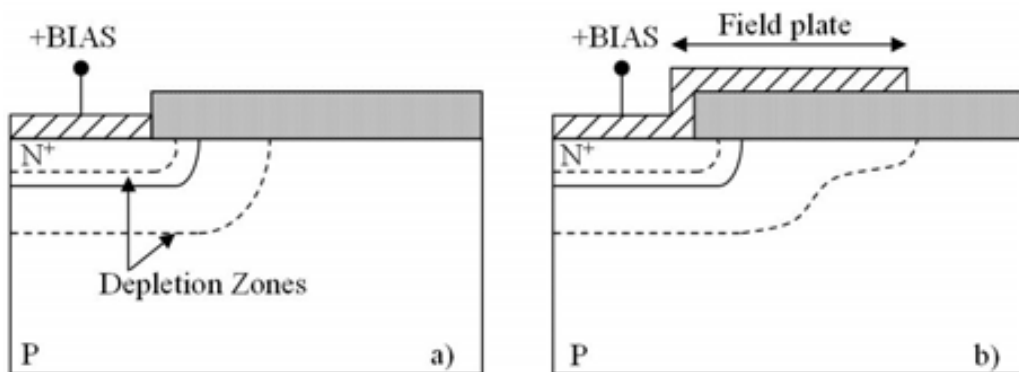


Figura 4.14: Zonas de vaciamiento de uniones pn en inversa sin a) y con placa de campo b).

Sin embargo, en este trabajo utilizamos el efecto que causa sobre las zonas de vaciamiento la inclusión de la placa de campo para obtener tensiones de ruptura menores. De esta forma, podemos obtener dispositivos TVS 4 capas laterales con las tensiones de ruptura deseadas sin necesidad de reducir la anchura de la base. El objetivo es que, al insertar la placa de campo, la zona de vaciamiento de la unión base-colector se extienda más que en el caso sin placa de campo, por lo que las dos zonas de vaciamiento entrarán antes en contacto, dando lugar al *punch-through*.

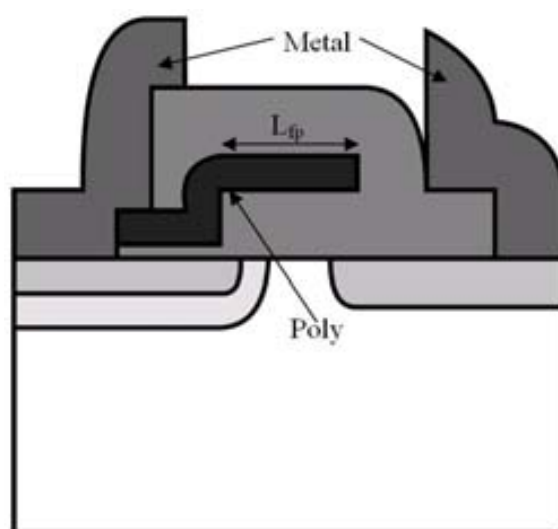


Figura 4.15: Estructura TVS lateral con placa de campo.

La Figura 4.15 muestra el esquema de un dispositivo TVS 4 capas lateral con placa de campo. Ésta está formada por una pista de Polysilicio contactada directamente al metal del colector, forma comúnmente empleada para formar la placa de campo en MOS dispositivos de potencia. Para observar el efecto de la placa de campo en los TVS laterales, se ha simulado un dispositivo con placa de campo y se ha analizado el efecto que produce la variación de la longitud de la placa (L_{fp}). Los resultados presentados en la Figura 4.16 permiten observar como la tensión disminuye con el aumento de la longitud de la placa de campo. El dispositivo, que sin placa de campo tiene una tensión de ruptura de casi 4 V alcanza los 3 V para $L_{fp} > 1$. También se observa como, a partir de un cierto valor de L_{fp} , ya no se reduce la tensión de ruptura, debido a que, al aumentar el valor de L_{fp} , llega un momento en que éste es igual a la distancia entre las uniones colector-emisor y, por tanto, se consigue el máximo efecto de la placa de campo.

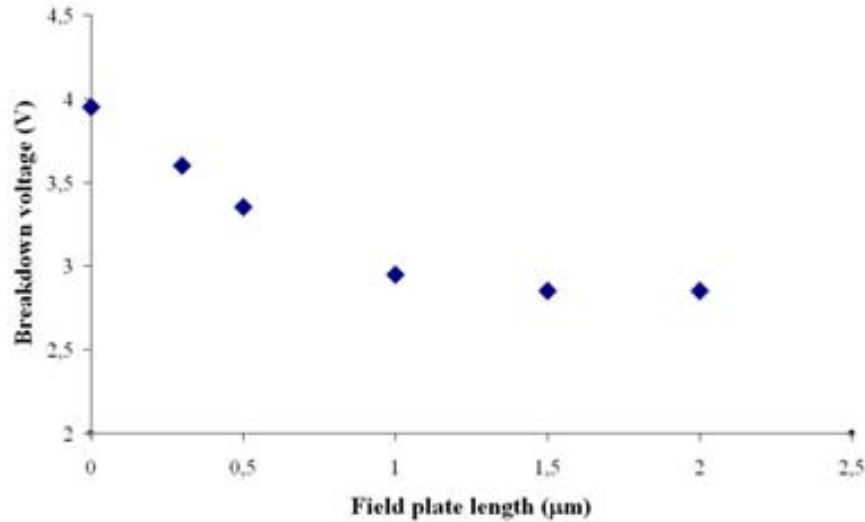


Figura 4.16: Variación de la tensión de ruptura con la longitud de la placa de campo.

Como hemos visto, gracias a la placa de campo, podemos alcanzar valores de la tensión de ruptura más bajos que con el dispositivo sin placa. Otra ventaja es que podemos obtener con una misma estructura (con un mismo proceso tecnológico) dispositivos con varias tensiones de ruptura. Hasta ahora, para modificar la tensión de ruptura había que variar algún parámetro tecnológico como la dosis de implantación, la amplitud de la base, etc. Sin embargo, ahora al variar la longitud de la placa, ya obtenemos diferentes valores de la tensión de ruptura.

4.3. TVS laterales en tecnología *Silicon-On-Insulator* (SOI)

4.3.1. Introducción al SOI

La revolución de la era electrónica se ha debido principalmente (entre otros factores) al progresivo aumento de la densidad de integración de los componentes microelectrónicos. La aparición de los primeros circuitos integrados [37] se hizo posible al conseguir aislar los dispositivos vecinos mediante una unión p-n en inversa, lo que se denomina comúnmente como aislamiento por unión [38]. Sin embargo, la continua evolución de la microelectrónica ha puesto de manifiesto que el aislamiento por unión no es siempre la mejor

opción para conseguir una buena integración monolítica. Es bien sabido que estas uniones introducen capacidades parásitas extra, aumentan las corrientes de fuga y reducen la densidad de transistores en los circuitos. Por esta razón, se comenzó a popularizar otro sistema de aislamiento basado en introducir un material dieléctrico de separación, lo cual se consigue utilizando obleas *Silicon-On-Insulator* (SOI) (Figura 4.17). Desde finales de la década de los 90, las aplicaciones comerciales de la tecnología SOI han ido creciendo exponencialmente y, hoy en día es utilizada en la fabricación de los microprocesadores de 130 nm y 90 nm Opteron de AMD, así como en los procesadores suministrados por IBM en las consolas Xbox360, PlayStation 3 y Wii, por poner unos ejemplos.

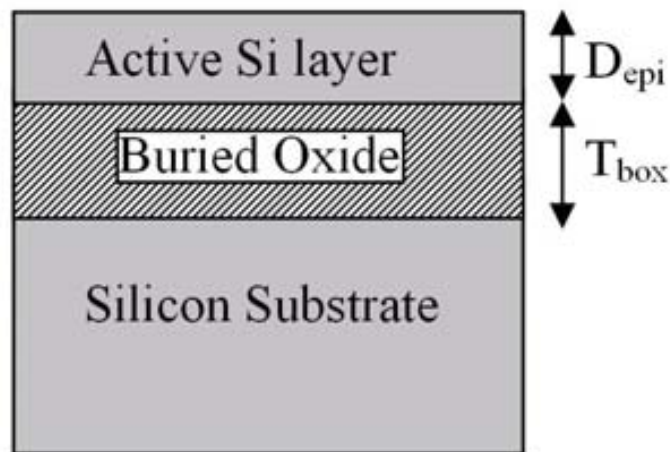


Figura 4.17: Estructura de una oblea SOI

Los sustratos SOI consisten en una capa de Silicio monocristalino (capa activa) separada por otra capa de SiO_2 (capa BOX) del sustrato (que normalmente es también de Silicio). El hecho de que la capa superior deba ser Silicio monocristalino, pero separado por un aislante amorfo del sustrato, representa la mayor dificultad de su fabricación, dado que no existen técnicas de deposición que den una capa monocristalina sobre un material amorfo [39]. Los principales parámetros de una oblea SOI son la concentración impurezas de la capa activa de Silicio, el grosor de la capa activa (D_{epi}) y el grosor de la capa de óxido enterrado (T_{box}). Existen tres tipos de obleas SOI en función del grosor de la capa activa, si D_{epi} es un orden de magnitud mayor que T_{box} (usualmente entre 0.4 y 1 μm) se denomina tecnología *Thick SOI*, si D_{epi} y T_{box} toman valores similares (alrededor de 1 μm) se denomina tecnología *Thin SOI*, valores más pequeños de D_{epi} hay que buscarlos en tecnologías *Ultra-Thin SOI*.

Actualmente existen varios métodos para la fabricación de obleas SOI, sin embargo, dos de ellos son los que ocupan una posición dominante sobre el resto: SIMOX (*Separation by IMplanted OXigen*) y Smart-Cut[®].

Proceso SIMOX

Como su nombre indica, el proceso SIMOX consiste en formar una capa de SiO_2 enterrada mediante la implantación de iones de Oxígeno. Los primeros intentos fueron realizados a mediados de la década de los sesenta, pero no fue hasta finales de los setenta cuando Izumi et al. consiguieron fabricar obleas SOI mediante implantación de oxígeno con la suficiente calidad como para integrar dispositivos en ellas [40]. El proceso de fabricación mediante SIMOX se puede resumir en dos etapas (Figura 4.18): Implantación de iones de oxígeno y recocido a alta temperatura.

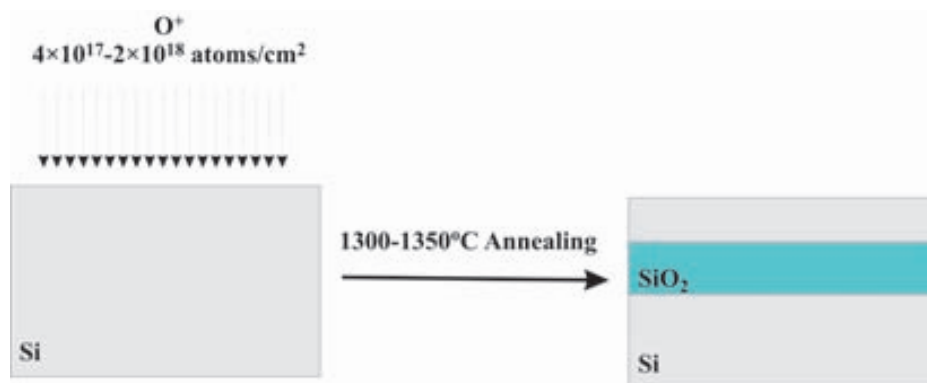


Figura 4.18: Etapas de fabricación de una oblea SIMOX

La energía y dosis de implantación son los principales parámetros que determinan el resultado final del proceso. La energía normalmente está comprendida entre 50-200 KeV y, como en toda implantación, fija la profundidad. En cuanto a la dosis, para poder formar una capa de óxido enterrado, se debe implantar una dosis de oxígeno lo suficientemente elevada como para obtener una concentración estequiométrica que permita la formación de SiO_2 , para ello se requieren dosis de implantación entre $4 \cdot 10^{17}$ y $2 \cdot 10^{18}$ átomos/cm². La dosis de implantación fija el grosor de la capa BOX, siendo el principal inconveniente de las estructuras SIMOX, puesto que el proceso de implantación a tan altas dosis daña la estructura cristalina de la superficie del Silicio. Para minimizar este daño, se realiza la implantación a una temperatura de unos 600 °C, por lo que no se obtienen grandes espesores de óxido.

Después de la implantación se realiza un recocido a alta temperatura, entre 1300-1350 °C. Su finalidad es distribuir uniformemente el oxígeno formando la capa BOX y mejorar la calidad de la capa SOI, eliminando los precipitados de SiO_2 que hayan podido quedar y evitando su amorfización. Aún así, siempre quedan dislocaciones en la capa SOI lo que, unido los pequeños espesores de la capa BOX que se pueden conseguir, forman los principales inconvenientes de las estructuras SIMOX.

Proceso SmartCut®

A principios de la década de los 90, M. Bruel patentó un nuevo método para obtener capas finas de semiconductor (SmartCut®) que fue rápidamente utilizado para obtener obleas SOI [41]. La idea de este proceso consiste en implantar protones (en una oblea previamente oxidada) para crear una capa de microcavidades dentro del Silicio para, posteriormente, provocar una fractura en esa zona y obtener una capa delgada de Silicio.

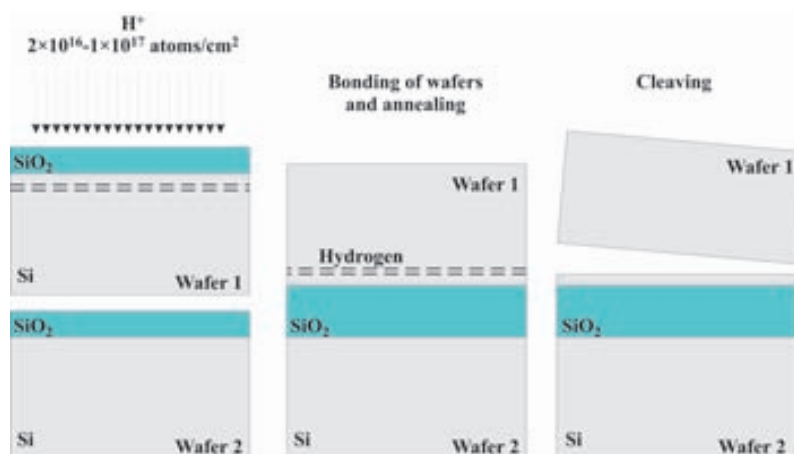


Figura 4.19: Etapas de fabricación de una oblea SmartCut®

La Figura 4.19 muestra las etapas principales del proceso: Partiendo de dos obleas previamente oxidadas térmicamente, se realiza en una de ellas una implantación de iones de hidrógeno a una dosis comprendida entre $2 \cdot 10^{16} - 1 \cdot 10^{17}$ átomos/cm², donde la energía de la implantación determinará la profundidad de ésta y, por tanto, el grosor de la capa SOI. El siguiente paso consiste en soldar las dos obleas (por la caras oxidadas que formarán la capa BOX) y realizar un recocido a unos 600 °C. Con este recocido las microcavidades creadas en la implantación crecen y atrapan el hidrógeno, con lo que se crea una zona muy frágil, a la que se le provoca fácilmente la fractura, retirando la parte de la oblea sobrante, que se recicla para la formación de

nuevas estructuras. Para finalizar el proceso, se realiza un pulido suave para reducir la rugosidad de la superficie de la capa SOI.

4.3.2. Análisis del dispositivo

Dado que la utilización de sustratos SOI en cualquier rama de la microelectrónica es cada día más usual, es necesario realizar un estudio de las características de los TVS *punch-through* laterales en este tipo de obleas. En la Figura 4.20 se muestra el esquema de un dispositivo TVS 4 capas lateral en una oblea *Ultra-Thin SOI*.

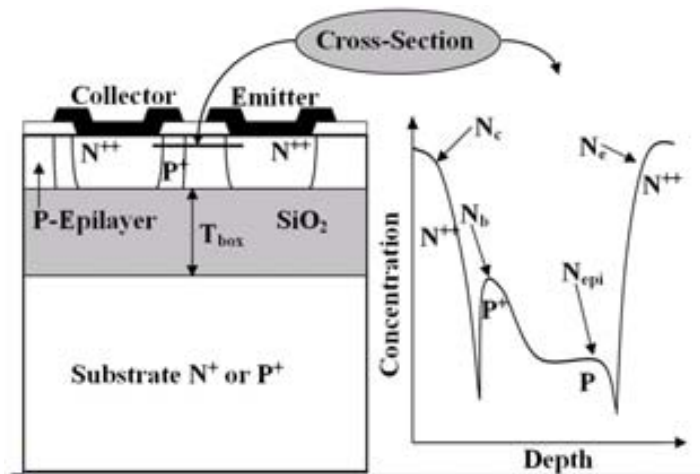


Figura 4.20: Corte transversal y esquema de una estructura TVS 4 capas lateral en oblea *Ultra-Thin SOI*.

Se ha analizado, principalmente, la influencia de los parámetros de la oblea, es decir, los grosores de la capa activa y del óxido enterrado. Se ha observado que el dispositivo se comporta más o menos igual que en tecnología *Bulk* para obleas *Thick* y *Thin SOI*. Sin embargo, para obleas *Ultra-Thin SOI* el dispositivo se comporta de manera diferente. La Figura 4.21 muestra las curvas I-V de dispositivos TVS 4 capas laterales en obleas SOI variando D_{epi} , la curva *Bulk* corresponde al mismo dispositivo en esa tecnología. Se puede observar como la tensión de ruptura disminuye al reducirse el grosor de la capa activa. Este fenómeno se puede explicar si tenemos en cuenta la ruptura por *punch-through* en estructuras laterales, como se ha visto en puntos precedentes, donde se puso de manifiesto que, para un mismo perfil de impurezas, un dispositivo lateral tiene un valor de la tensión de ruptura

mayor que uno vertical.

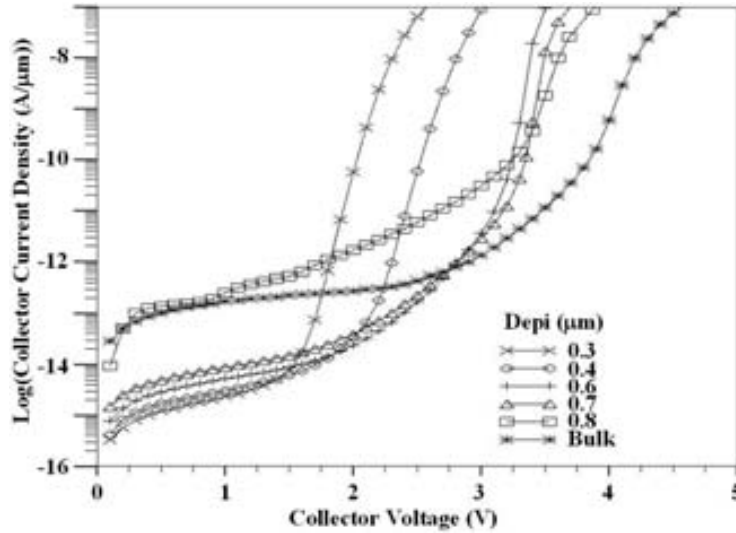


Figura 4.21: Característica I-V de dispositivos TVS laterales en obleas SOI variando D_{epi} . $W_{eff} = 1.4 \mu m$, $N_{epi} = 5 \cdot 10^{15} cm^{-3}$, $N_b = 5.20 \cdot 10^{16} cm^{-3}$, $T_{box} = 1 \mu m$.

En obleas *Ultra-Thin SOI* la tensión de ruptura disminuye porque la capa activa es tan delgada que las difusiones (y por tanto las uniones) de colector y emisor son más profundas que el grosor de la capa activa, por lo tanto sólo existe unión lateral y el mecanismo de ruptura se comporta como si fuera vertical (en el caso de la Figura 4.21 la profundidad de las uniones de colector y emisor es de $0.64 \mu m$). Este hecho es más acentuado a medida que hacemos la capa activa más delgada, puesto que la curvatura de la unión desaparece, y el *punch-through* total se alcanza a una tensión menor. Así, como podemos ver en la Figura 4.21, para capas más delgadas que las profundidades de las uniones (0.3 y $0.4 \mu m$) la reducción de la tensión de ruptura es notable. Sin embargo, para valores mayores, su comparación con la estructura *Bulk* muestra una disminución en la capacidad de tensión, mientras que se mantenía prácticamente constante cuando se trata de estructuras SOI, por lo que la difusión lateral es igual en los casos considerados.

También se observa en la Figura 4.21 una variación importante en la corriente de fuga. Este era un fenómeno previsto, puesto que a menor área de unión menor corriente de fuga, cosa que ocurre en todos los casos SOI de la figura excepto en el de $D_{epi} = 0.8 \mu m$, puesto que, en este caso, existen uniones verticales y el área de unión es mayor.

Como se ha podido comprobar, variaciones de D_{epi} pueden afectar significativamente las características eléctricas del dispositivo, sin embargo, variaciones de T_{box} no afectan demasiado al dispositivo. En la Figura 4.22 podemos verificar tal afirmación, donde se puede apreciar una pequeña variación en las curvas para capas muy delgadas de óxido enterrado.

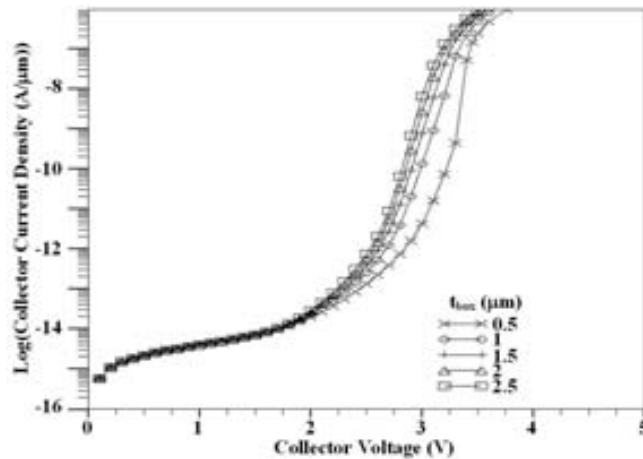


Figura 4.22: Característica I - V de TVS en obleas SOI variando T_{box} . $W_{eff} = 1.4 \mu\text{m}$, $N_{epi} = 5 \cdot 10^{15} \text{ cm}^{-3}$, $N_b = 5.20 \cdot 10^{16} \text{ cm}^{-3}$, $D_{epi} = 0.5 \mu\text{m}$.

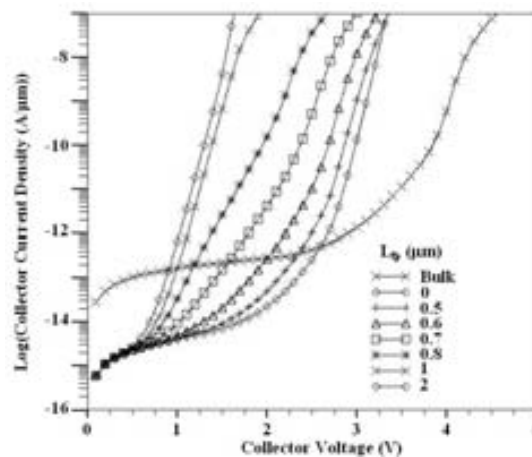


Figura 4.23: Característica I - V de TVS con placa de campo en obleas SOI variando L_{fp} . $W_{eff} = 1.4 \mu\text{m}$, $N_{epi} = 5 \cdot 10^{15} \text{ cm}^{-3}$, $N_b = 5.20 \cdot 10^{16} \text{ cm}^{-3}$, $D_{epi} = 0.5 \mu\text{m}$, $T_{box} = 1 \mu\text{m}$.

A continuación, se ha estudiado el efecto sobre el dispositivo de la placa

de campo. La Figura 4.23 muestra como la tensión de ruptura disminuye al aumentar la longitud de la placa, como ya sucedía en una tecnología *Bulk*. También podemos ver, aparte de la disminución de la corriente de fuga, como una estructura que en tecnología *Bulk* tiene una tensión de ruptura de unos 4 V, disminuye un voltio cuando lo integramos en obleas *Ultra-Thin SOI*, al eliminar el efecto *punch-through* lateral y como conseguimos reducir 1.5 V más al incluir la placa de campo. En definitiva, con un mismo perfil de impurezas en obleas SOI podemos obtener diversos dispositivos que cubren un amplio rango de tensiones de ruptura, al modificar la longitud de la placa de campo y/o el grosor de la capa activa.

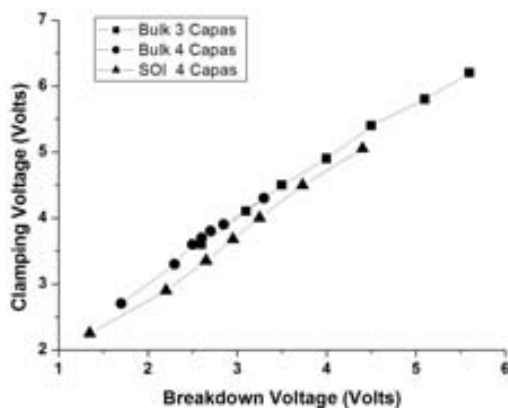


Figura 4.24: Relación entre la tensión clamping y la tensión de ruptura de las diferentes estructuras analizadas.

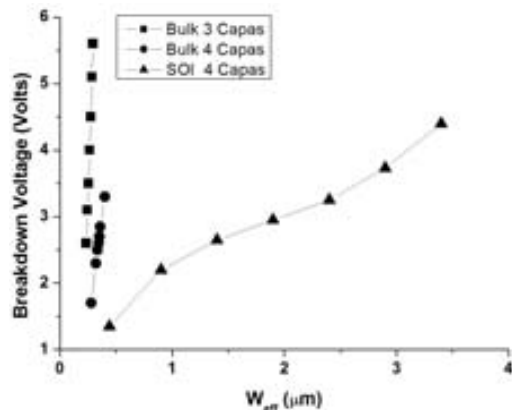


Figura 4.25: Relación entre la tensión de ruptura y la anchura de la base de las diferentes estructuras analizadas.

Las Figuras 4.24 y 4.25 muestran una comparación entre estructuras *Bulk* 3 y 4 capas y estructuras SOI 4 capas. De la misma forma que cuando analizamos las diferentes estructuras laterales en tecnología *Bulk* (Figuras 4.3 y 4.4), podemos ver que, aunque las diferentes estructuras exhiben una misma relación *Clamping*/Ruptura, los dispositivos SOI muestran una menor sensibilidad a W_{eff} , por lo que el proceso tecnológico en este caso no debe ser tan preciso como en el de las estructuras *Bulk*. Podemos observar como, al igual que ocurría con las estructuras laterales en tecnología *Bulk* (Figuras 4.3 y 4.4), los dispositivos realizados sobre SOI presentan una menor sensibilidad con W_{eff} , manteniendo una relación *clamping*/ruptura similar. Esta menor sensibilidad con W_{eff} nos permite pensar que su proceso tecnológico de fabricación no requerirá del grado de precisión que requiere el *Bulk*, simplificando la tecnología requerida para su integración.

Capítulo 5

Diseño y fabricación de TVS laterales

5.1. Definición del proceso tecnológico

Como se comentó en el capítulo anterior, los dispositivos TVS laterales están pensados para su integración monolítica junto con la circuitería a la que protege. Por esta razón, es necesario que el proceso tecnológico utilizado para su fabricación sea compatible con los procesos que se utilizan para la integración de esta circuitería, normalmente tecnología CMOS. Por tanto, en la fabricación de los dispositivos TVS laterales, se ha optado por utilizar los procesos estándar CMOS de la sala blanca del CNM. Para ello, se han escogido obleas tipo P de Boro, típicas en la integración de circuitos con tecnología CMOS, con una resistividad comprendida entre $20 - 10 \Omega \cdot cm$, lo que equivale a una concentración de impurezas de $7 \cdot 10^{14}$ a $10^{15} cm^{-3}$.

Con el fin de ajustar adecuadamente todos los pasos de la fabricación, se ha simulado la totalidad del proceso tecnológico para escoger los parámetros necesarios, tales como: dosis y energía de implantación, tiempos y temperaturas de difusión, etc., y así obtener un dispositivo lateral con una baja tensión de ruptura.

La secuencia de etapas del proceso tecnológico, que se explicará en detalle en el apartado de Fabricación del dispositivo, es en esencia similar al utilizado para la fabricación de TVS verticales, con la dificultad añadida de tener que definir el emisor en la superficie y la de incluir una placa de campo. La secuencia total consiste en los siguientes 14 pasos:

1. Oxidación de Campo
2. Depósito de Nitruro (Si_3N_4)
3. Fotolitografía: Definición del pozo P^+ de colector
4. Implantación de Boro
5. Activación y difusión de Boro
6. Fotolitografía: Definición de colector y emisor
7. Implantación de Arsénico
8. Activación y difusión de Arsénico
9. Depósito de Polysilicio
10. Fotolitografía: Definición de la placa de campo
11. Depósito de óxido de campo
12. Fotolitografía: Apertura de contactos
13. Metalización: Depósito de Aluminio
14. Fotolitografía: Grabado del metal

La Figura 5.1 muestra el esquema del corte transversal de una celda básica del dispositivo tras el proceso tecnológico, donde el colector se sitúa en el centro y el emisor en la parte exterior. Una vez se han definido los pasos necesarios para su fabricación, se procede a diseñar el juego de máscaras que determinará la topología final del dispositivo.

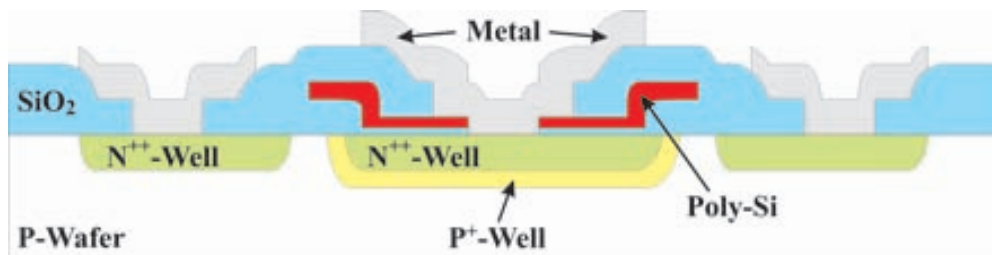


Figura 5.1: Esquema de un corte transversal del TVS 4 capas lateral obtenido mediante el proceso tecnológico propuesto.

5.2. Diseño de máscaras: definición Topológica

A diferencia de los dispositivos TVS verticales, el diseño de máscaras en los TVS laterales es una parte muy importante dentro de todo el proceso de fabricación del dispositivo. Si recordamos la fabricación de los TVS verticales, su proceso sólo requería de tres niveles de máscaras: Colector, Contacto y Metal. De ellas, sólo la definición de colector influía en alguna característica eléctrica del dispositivo, puesto que, a más área de colector, más corriente es capaz de fluir por el dispositivo. El resto de características (Tensión de ruptura, Tensión de *Clamplng...*) se definían, una vez escogidas las características de la oblea de partida, durante el proceso de fabricación fijando ciertos parámetros del mismo, como son la energía y dosis de implantación, el tiempo y la temperatura de difusión, etc. Sin embargo, en el caso de los TVS laterales, las máscaras definirán, entre otras cosas, la distancia entre colector-emisor y la longitud de la placa de campo, por lo que, además de su capacidad en corriente, influirá directamente en la tensión de ruptura del dispositivo.

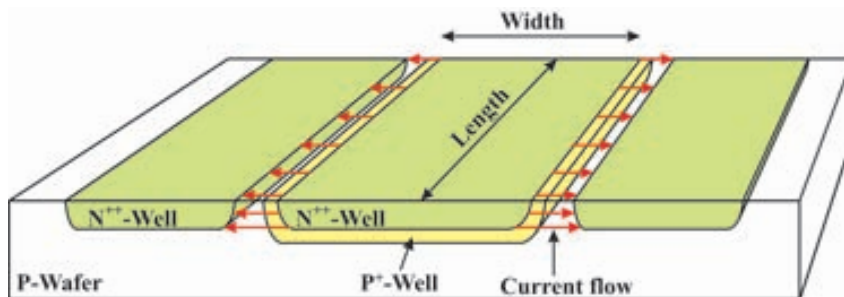


Figura 5.2: Esquema de un TVS 4 capas lateral, donde se indica la zona por la que circula la corriente y se define la amplitud y longitud de colector.

En el diseño de máscaras debemos tener en cuenta dos factores, por un lado, definir la topología final del dispositivo y, por otro, ajustarnos a las reglas de diseño que nos marca la tecnología que vamos a utilizar. Cuando tratábamos los TVS verticales, definir la topología final era un paso sencillo; la topología del dispositivo consistía en un área más o menos grande en función de la corriente que el dispositivo debía soportar. Pero, en el caso de conducción lateral, la corriente que circula por el dispositivo no depende del área de colector de la misma forma que en el caso de los dispositivos verticales. Es importante recordar que, en los dispositivos verticales, la corriente aumentaba proporcionalmente con el área de colector, puesto que ésta dependía del área de la unión colector-base vertical, que es, en esencia, igual al

área de colector. Sin embargo, la conducción lateral depende del área de la unión colector-base lateral, que depende de la profundidad de esta unión y de la longitud de colector, entendiendo como longitud de colector (ver Figura 5.2) la extensión de la difusión que forma la unión colector-base y que está más próxima a la unión base-emisor, es decir, por donde circula la corriente.

Así, debemos maximizar este área lateral de unión, minimizando el área de silicio total consumido. La forma más sencilla de cumplir esta condición es maximizando las longitudes de colector y emisor, minimizando su amplitud; de esta forma, se obtiene una serie de tiras, o *fingers*, de colector y emisor paralelas entre si. Si tenemos limitada la longitud, para que soporte mayor corriente podemos añadir tantas tiras como deseemos, conectándolas, finalmente, todas a un electrodo común (uno para los *fingers* de emisor y otro para los de colector). La Figura 5.3 muestra la distribución topológica o *layout* de las pistas de metal del dispositivo diseñado de esta forma.

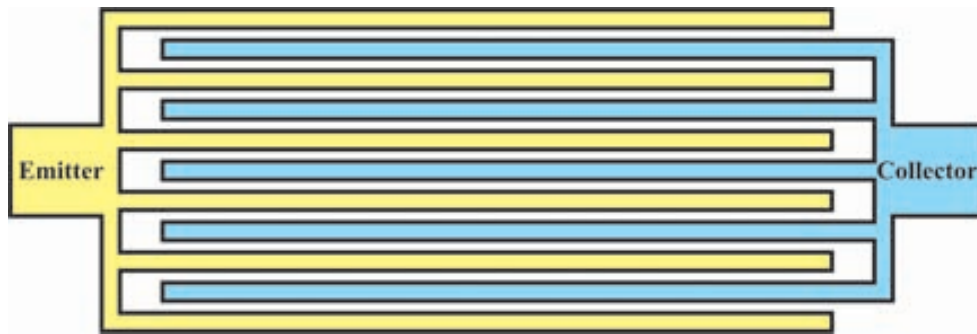


Figura 5.3: Layout de las pistas de metal de un TVS lateral.

Como se indicó en el apartado anterior, el proceso para la fabricación de TVS laterales consta de 5 niveles de máscaras: Definición del pozo P^+ de colector, definición de colector y emisor, definición de la placa de campo, apertura de contactos y grabado de metal. A la izquierda de la Tabla 5.1 podemos ver el corte transversal del dispositivo junto con las zonas opacas de la máscara para cada nivel, también se muestran los parámetros más importantes de las tres primeras máscaras: $WPOUP$ Amplitud del pozo P^+ , $WPOUN$ Amplitud del pozo N^{++} de emisor, $WPOLY$ Amplitud total de la placa de campo, $PPOUP$ Amplitud de Polysilicio dentro del colector, $OPOLY = WPOLY - PPOUP$ Overlap de la placa de campo. Los parámetros de las máscaras 4 y 5 vienen determinados por parámetros de máscaras anteriores y por las reglas de diseño de la tecnología utilizada. En la parte derecha de la tabla se muestran detalles de cada máscara.

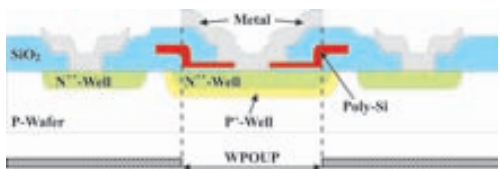

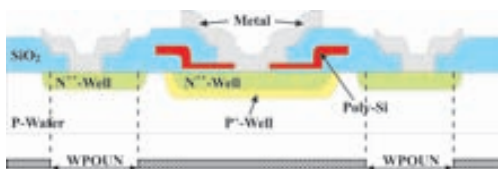

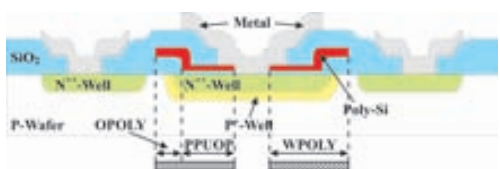
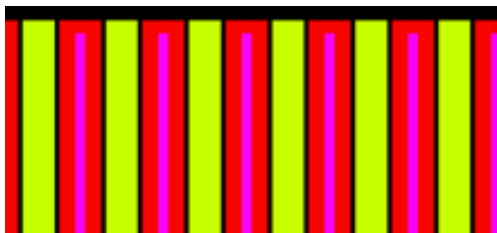
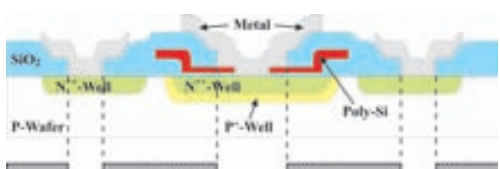
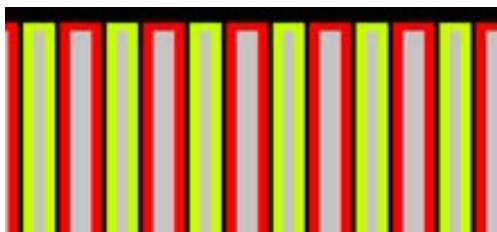
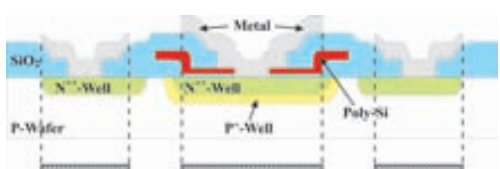
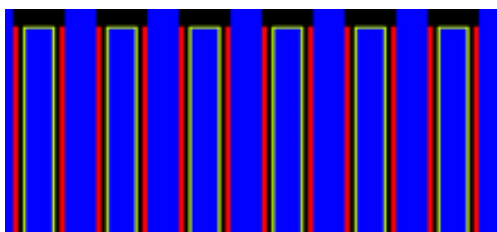
Corte transversal y parámetros de máscara	Detalle de máscara
 <p>Máscara 1: Definición del pozo P⁺ de Colector</p>	
 <p>Máscara 2: Definición de Colector y Emisor</p>	
 <p>Máscara 3: Definición de la placa de campo</p>	
 <p>Máscara 4: Apertura de Contactos</p>	
 <p>Máscara 5: Grabado de Metal</p>	

Tabla 5.1: Niveles de máscaras empleados en la fabricación de TVS laterales.

Aunque existen diversos parámetros de máscara, únicamente se han considerado como variables la distancia entre uniones (SDF) y el *overlap* de la placa de campo ($OPOLY$), estos dos parámetros nos fijarán la tensión de ruptura en cada caso. Así, hemos diseñado dispositivos con SDF de 1, 1.2, 1.4, 1.6 y $2 \mu m$, mientras que los valores de $OPOLY$ están comprendidos entre 0 y $2.5 \mu m$, dependiendo del valor de SDF . La Figura 5.4 muestra los resultados de las simulaciones realizadas con una dosis de Boro de $5 \cdot 10^{13} cm^{-3}$ y $SDF = 2 \mu m$, para diferentes valores de $OPOLY$.

Con el fin de simplificar la caracterización eléctrica, mantenemos constantes el resto de parámetros en la máscara. Así, fijamos la longitud del dispositivo en $1800 \mu m$ y la amplitud del pozo P ($WPOUP$) en $8 \mu m$. Este valor es el mínimo que se puede escoger teniendo en cuenta que la longitud de la placa de campo sobre el pozo P, $PPOUP$, es de $3 \mu m$ y que la mínima anchura de contacto, fijada por la tecnología, es de $3 \mu m$. Finalmente hemos escogido $6 \mu m$ como valor de la amplitud del pozo de emisor y 20 como el número de tiras paralelas del dispositivo. De esta forma todos los dispositivos deberían mostrar una misma capacidad en corriente.

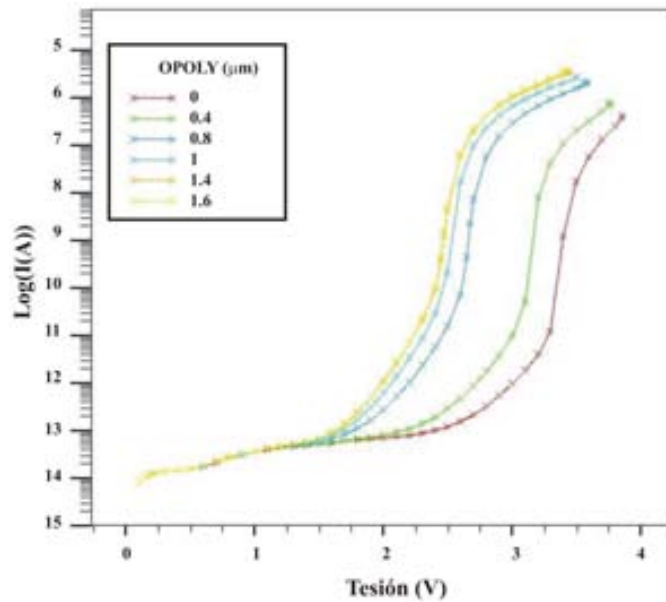


Figura 5.4: Resultados de las simulaciones realizadas siguiendo el proceso tecnológico con una dosis de Boro de $5 \cdot 10^{13} cm^{-3}$ y $SDF = 2 \mu m$, para diferentes valores de la longitud de la placa de campo.

5.3. Fabricación de los dispositivos

Como hemos comentado en el apartado anterior, la capacidad en tensión de este tipo de dispositivos vendrá determinada, principalmente, por el valor de los parámetros geométricos del dispositivo que se hayan fijado en cada uno de los niveles de máscara utilizadas en su proceso de fabricación. Sin embargo, una vez fijados estos valores, todavía es posible actuar sobre de la tensión de ruptura, esto se consigue variando la dosis y/o energía de implantación del pozo P. De esta forma se obtienen dispositivos con idéntico *layout* y diferente capacidad en tensión.

La secuencia de etapas tecnológicas seguidas para la fabricación de los dispositivos TVS 4 capas laterales es la siguiente:

- I. Como se indicó al comienzo del presente capítulo, se parte de sustratos tipo P , con una resistividad comprendida entre 20 y $10 \Omega \cdot cm$ (lo que equivale a una concentración comprendida entre $7 \cdot 10^{14}$ y $1 \cdot 10^{15} cm^{-3}$). Inicialmente se realiza una oxidación de campo de 4000 Å (paso 1. Oxidación de campo) y un depósito de 1175 Å de nitruro de silicio (Paso 2. Depósito de Nitruro, Si_3N_4). Esta oxidación cumplirá una doble función, por un lado es la que hará de máscara para definir los pozos de colector y emisor y, por otro, será el óxido sobre el cual definiremos la placa de campo. Así, en la Figura 5.5 se muestra la dependencia de la tensión de ruptura con el espesor del óxido bajo la placa de campo. Esta Figura muestra como la tensión de ruptura disminuye al aumentar el espesor de óxido, pudiendo diferenciar en ella dos zonas: La primera, que va desde los 6000 Å, en la que la tensión disminuye muy rápidamente, y una segunda, a partir de este valor, en la que la disminución no es tan acusada. Por este motivo se ha escogido un valor de 4000 Å, ya que nos permitirá obtener una tensión de ruptura baja, y al mismo tiempo sin inducir problemas con el depósito de Polysilicio, ya que un espesor de óxido mayor podría provocar una ruptura del Polysilicio en las zonas donde se ha de eliminar este óxido produciendo un cambio brusco de nivel. Por otra parte, el nitruro servirá como máscara para eliminar el óxido de puerta sobrante.
- II. A continuación se realiza la primera etapa fotolitográfica (paso 3. Fotolitografía: Definición del pozo P^+ de colector) donde se elimina el nitruro y el óxido para abrir la ventana donde se implantará el Boro primero y el Arsénico más adelante. Seguidamente, se crece un óxido de pantalla (200 Å) para proteger la superficie del Silicio y evitar la exodifusión.

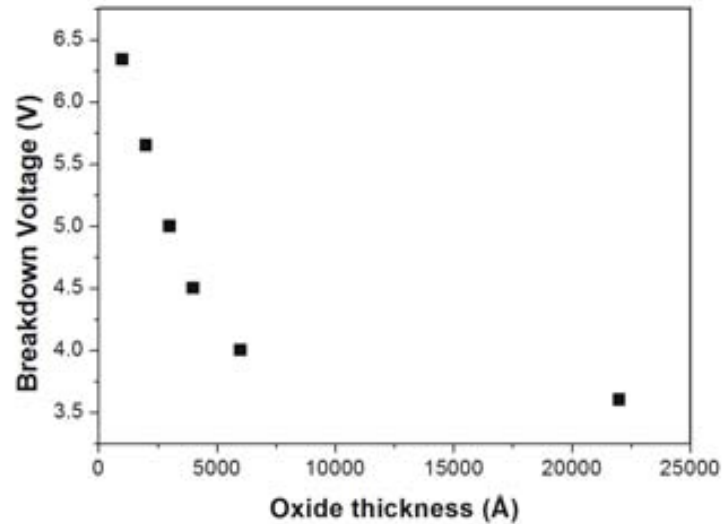


Figura 5.5: Influencia del espesor de óxido de la placa de campo en la tensión de ruptura.

- III. La siguiente etapa es la implantación de Boro (paso 4. Implantación de Boro). En ella se ha utilizado dos valores para la dosis de implantación con el fin de variar la capacidad en tensión. Así, para las obleas 1 y 3 se ha utilizado una dosis de $5 \cdot 10^{13} \text{cm}^{-2}$, mientras que para las obleas 2 y 4 la dosis es de $7 \cdot 10^{13} \text{cm}^{-2}$. En ambos casos la energía de implantación ha sido de 30 keV.
- IV. La activación y difusión de Boro (paso 5) se ha realizado en todas las obleas en un horno con ambiente de Nitrógeno, a 1100°C , durante 20 minutos (Figura 5.6).

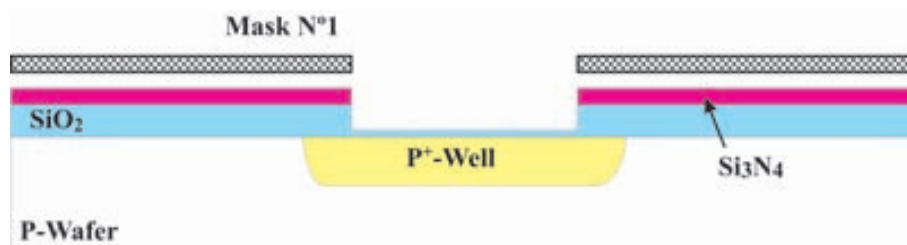


Figura 5.6: Esquema de un corte transversal del TVS 4 capas lateral después de la activación y difusión de Boro.

- V. Seguidamente se realiza la segunda etapa fotolitográfica (paso 6. Fotolitografía: Definición de colector y emisor), donde se obtienen las ventanas que definirán los pozos de Arsénico que formarán el colector y el emisor. Esta apertura se realiza en diferentes pasos. Primero se abre la ventana en la resina fotosensible y se graba en ella el nitruro y el óxido hasta llegar al silicio; a continuación, se retira la resina restante, se realiza un pequeño grabado para eliminar el óxido que previamente se había crecido como pantalla en el colector y finalmente se retira la totalidad del nitruro y se vuelve a hacer crecer un óxido de pantalla. Posteriormente se realiza la implantación de Arsénico con una dosis de $3 \cdot 10^{15} \text{cm}^{-2}$ y a una energía de 80 Kev.
- VI. La activación y difusión de Arsénico (paso 8) se ha realizado en todas las obleas en un horno con ambiente de Nitrógeno a 1000°C durante 60 minutos (Figura 5.7).

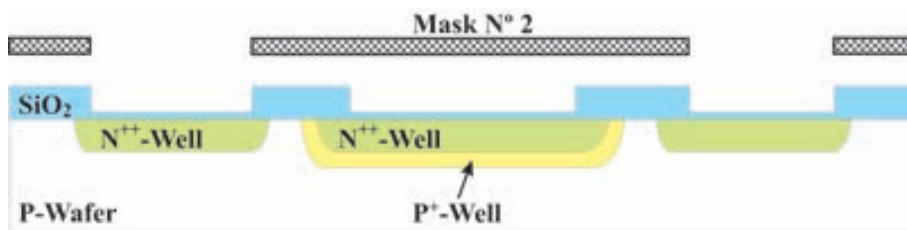


Figura 5.7: Esquema de un corte transversal del TVS 4 capas lateral después de la activación y difusión de Arsénico.

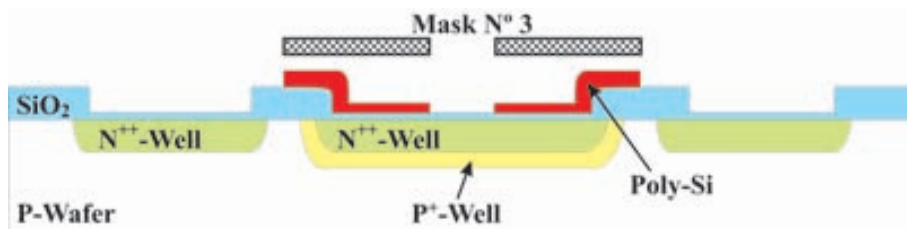


Figura 5.8: Esquema de un corte transversal del TVS 4 capas lateral después de la definición de la placa de campo.

- VII. Seguidamente se procede a definir la placa de campo. Primero se deposita una capa de Polysilicio de 3500 \AA , a continuación se realiza su dopado (para obtener una mejor conductividad) mediante POCl_3 y, finalmente, se realiza la tercera etapa fotolitográfica (paso 10. Fotolitografía: Definición de la placa de campo) (Figura 5.8).

VIII. Las últimas etapas del proceso están destinadas a la definición de los contactos. Primero se deposita una capa de óxido TEOS de 3000 Å y posteriormente otra capa BPTEOS de 7000 Å seguido de un proceso térmico de fluidificación a 950 °C durante 50 minutos. Estas capas harán el papel de aislante. Después se realiza la cuarta etapa fotolitográfica (paso 12. Apertura de contactos), seguidamente se deposita una capa de 1 μm de Aluminio y finalmente se graba este metal mediante la quinta y última etapa fotolitográfica (paso 14. Fotolitografía: Grabado de metal). El resultado final se puede observar en la Figura 5.9.

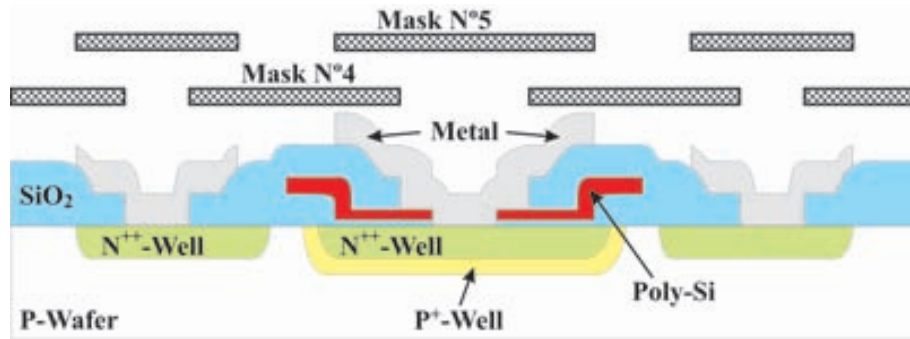


Figura 5.9: Esquema de un corte transversal del TVS 4 capas lateral después de seguir todo el proceso tecnológico.

5.4. Caracterización del dispositivo

5.4.1. Caracterización tecnológica

Después de la fabricación de los dispositivos, es necesario corroborar que éstos se ajustan a lo esperado, tanto tecnológica como eléctricamente. En este apartado se comprobará la calidad de la tecnología utilizada para su fabricación y si el proceso tecnológico se ha realizado satisfactoriamente, comparando los parámetros obtenidos en esta caracterización con los obtenidos previamente mediante simulación. Para ello se han utilizado técnicas de Ingeniería inversa con la finalidad de obtener una visión del dispositivo en sus diferentes niveles, tanto en vista horizontal como en corte transversal.

Se han realizado decapajes sucesivos de las diferentes capas que lo forman (Metal, Polysilicio) hasta llegar a la superficie, siguiendo la metodología descrita en [42] y [43]. De esta manera podemos observar el *layout* y evaluar la calidad del proceso de fabricación.



Figura 5.10: *Dispositivos TVS laterales en tiras paralelas. Vista nivel metal.*

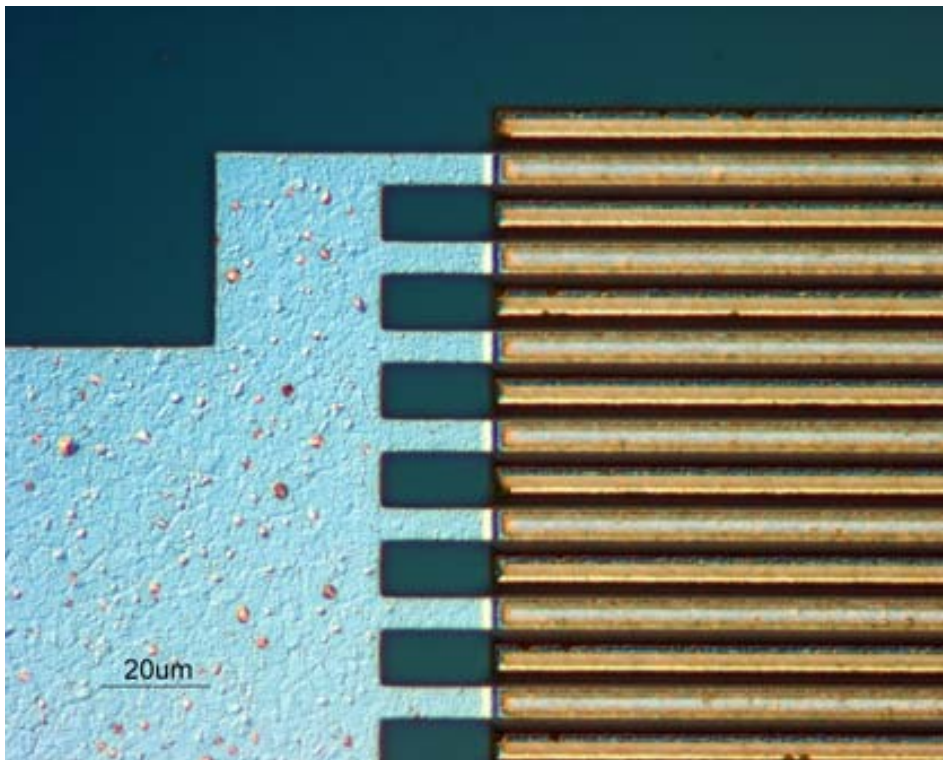


Figura 5.11: *Detalle a nivel metal de un pad de contacto.*

Las figuras 5.10, 5.11 y 5.12 muestran diversos detalles de los dispositivos fabricados a nivel de metal. Tras eliminar la capa de Aluminio de $1 \mu m$ de espesor, obtenemos una visión general de la capa de Polysilicio localizada bajo ella, dado que la capa de óxido de aislamiento es transparente.

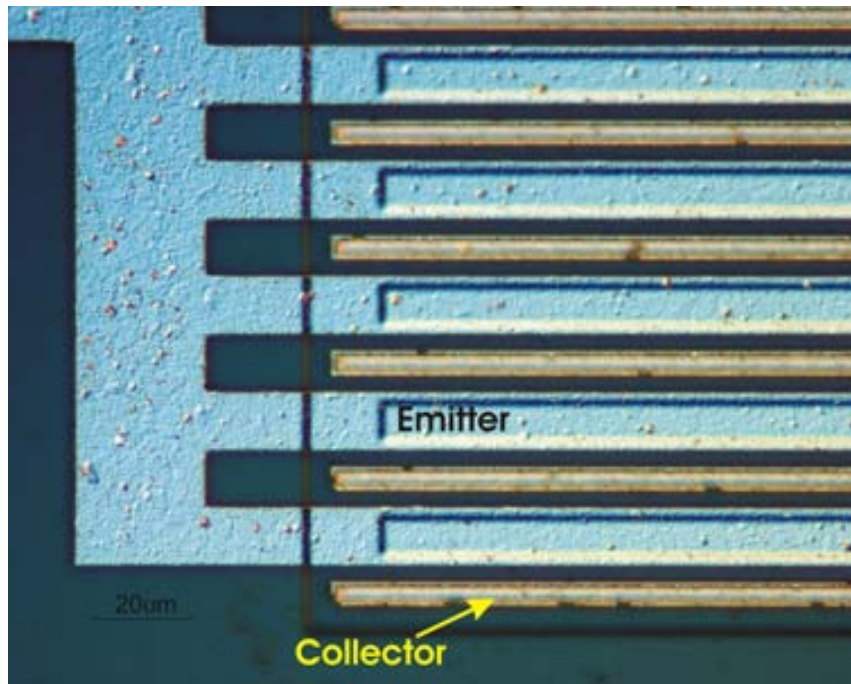


Figura 5.12: Detalle a nivel metal de las tiras de aluminio en la zona de contacto con los pozos de emisor y colector.

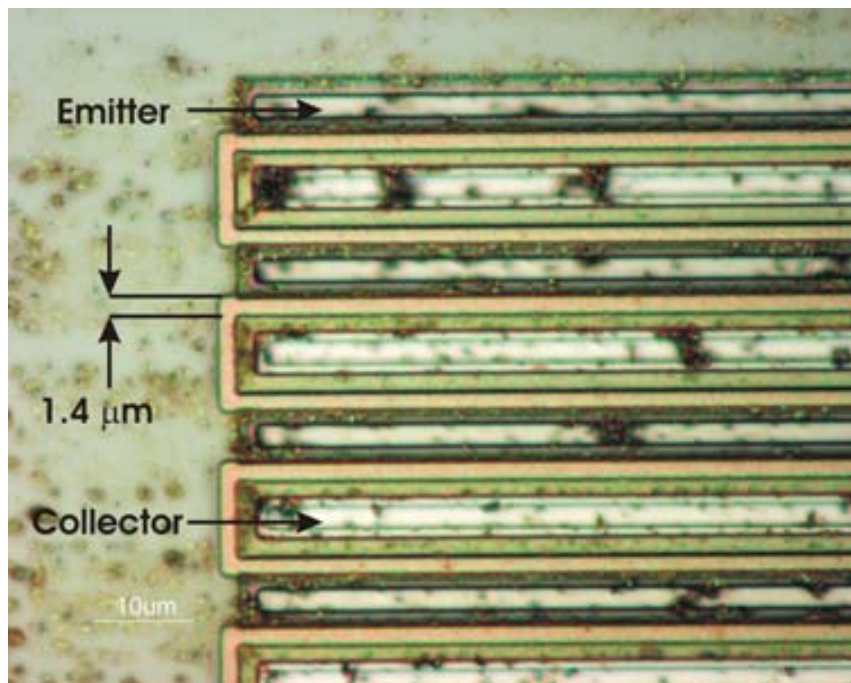


Figura 5.13: Detalle a nivel Polysilicio del dispositivo en la zona de contacto. Longitud de la placa de campo: 1.4 μm .

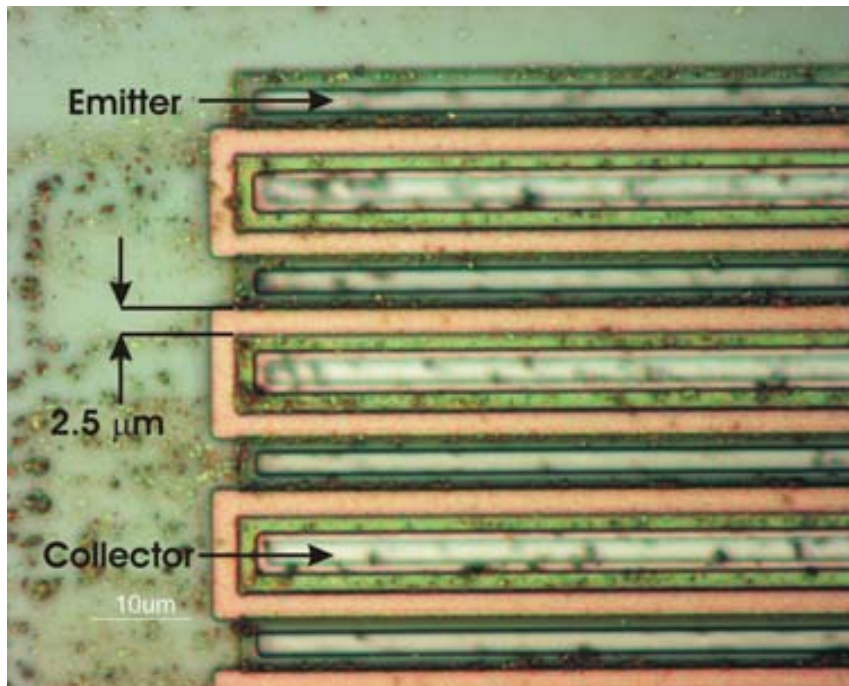


Figura 5.14: Detalle a nivel Polysilicio del dispositivo en la zona de contacto. Longitud de la placa de campo: $2.5 \mu\text{m}$.

En las figuras 5.13 y 5.14 se muestra el dispositivo después de retirar la capa de metal, podemos observar en ambas figuras como hay entre los *fingers* un anillo de color rosado que envuelve el colector. Este anillo es la placa de campo de Polysilicio que, como se comentó anteriormente, pretende ajustar la tensión de ruptura del dispositivo. En el dispositivo de la figura 5.13, el *overlap* (*OPOLY*) del Polysilicio es de unas $1.4 \mu\text{m}$, mientras que la figura 5.14 se observa un *overlap* mayor, de unas $2.5 \mu\text{m}$.

A continuación, se retiran las capas de Polysilicio y el óxido de aislamiento quedando al descubierto el silicio. Las figuras 5.15 y 5.16 muestran un detalle tras retirar las capas de metal y Polysilicio. A este nivel se puede comprobar si las amplitudes de las ventanas donde se implanta el Boro y el Fósforo, donde se definen el colector y el emisor, son las esperadas, así como la distancia entre éstas (*SDF*). La figura 5.15 es de un dispositivo diseñado con una distancia entre implantaciones de colector y emisor de $1 \mu\text{m}$, mientras que la figura 5.16 es de $2 \mu\text{m}$. En ambos casos se puede comprobar como éstos parámetros son los correctos, lo cual nos indica que, en principio, el proceso se ha realizado correctamente y sin desalineamientos significativos en los niveles fotolitográficos que definen los pozos.

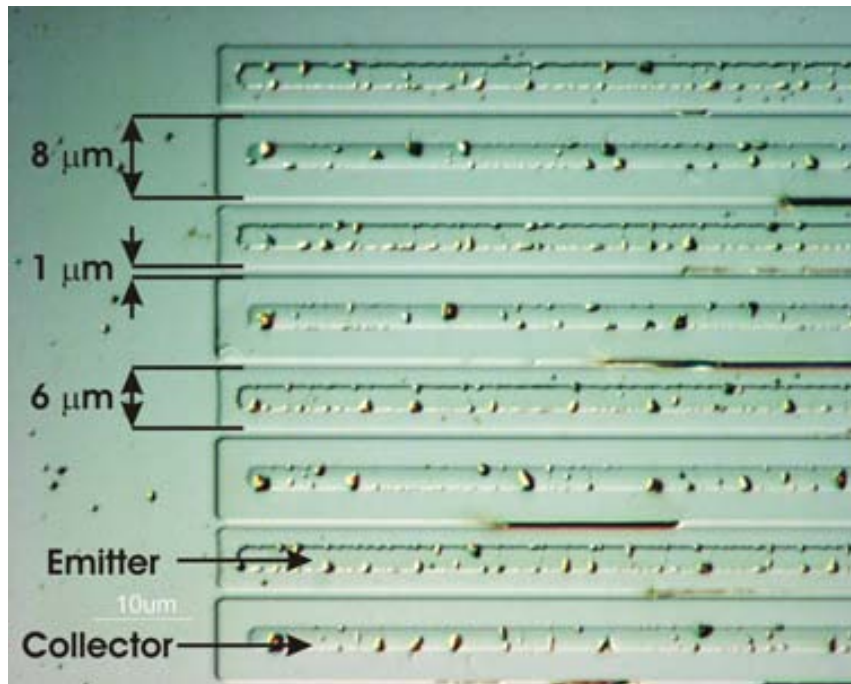


Figura 5.15: Detalle a nivel Silicio de un dispositivo con $SDF=1 \mu\text{m}$.

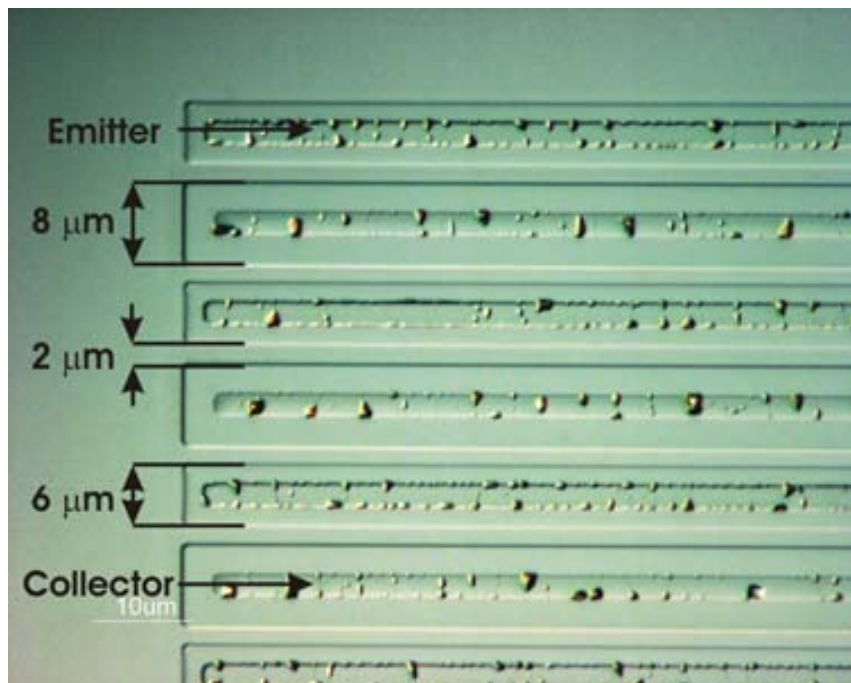


Figura 5.16: Detalle a nivel Silicio de un dispositivo con $SDF=2 \mu\text{m}$.

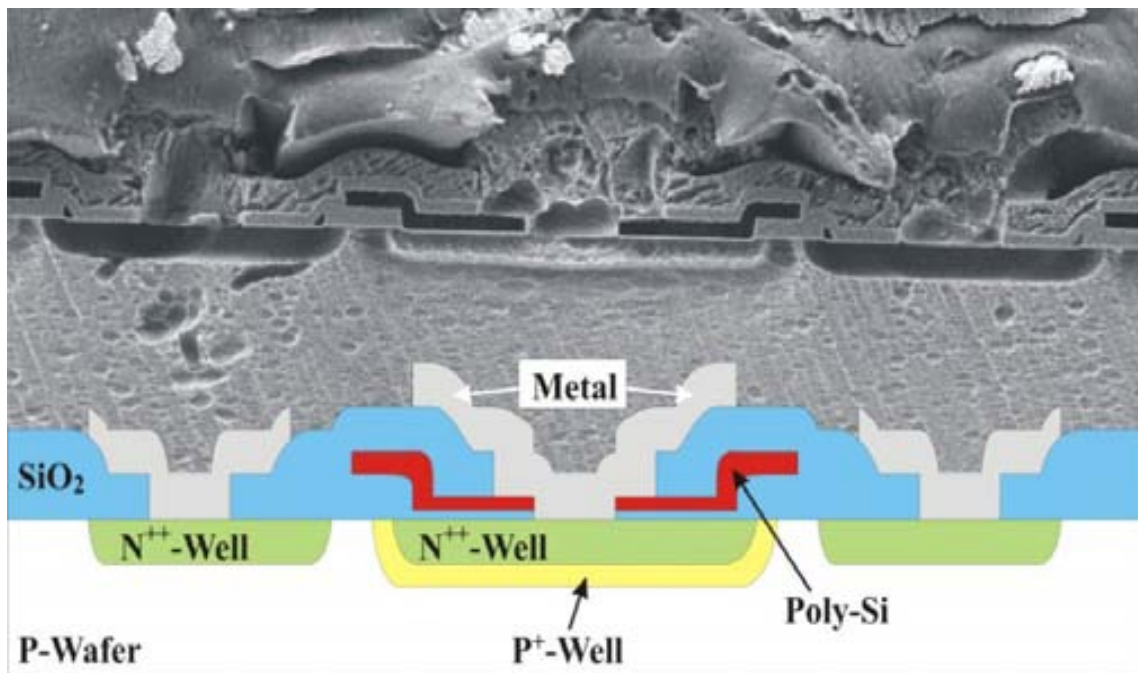


Figura 5.17: Comparativa entre una microsección de un dispositivo real y el esquema propuesto inicialmente.

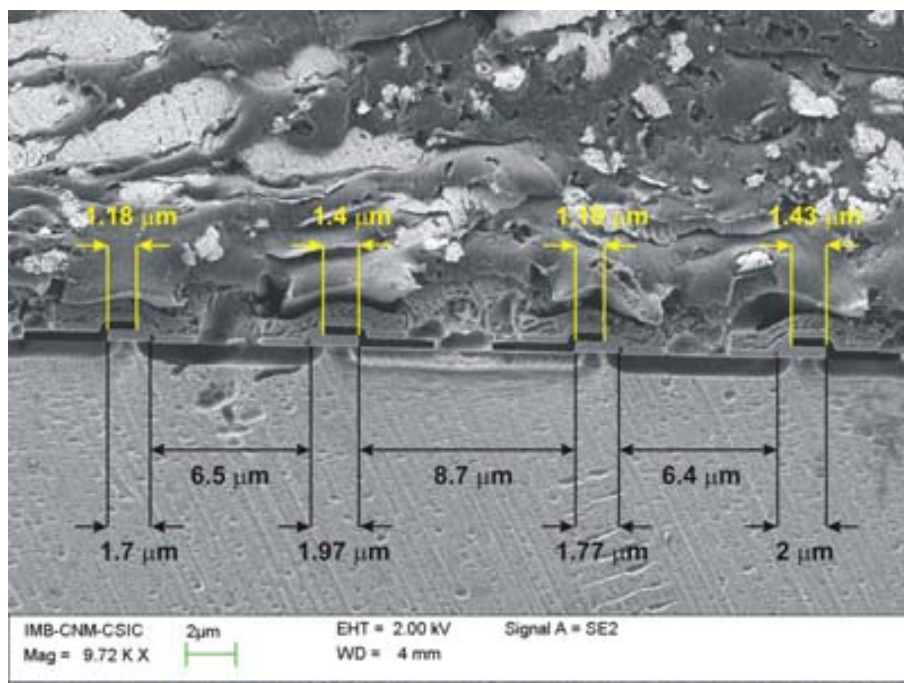


Figura 5.18: Microsección de un dispositivo fabricado: Medida de parámetros tecnológicos.

Seguidamente, y para finalizar la caracterización tecnológica, se realiza un estudio, mediante microsecciones, del dispositivo para visualizar las dimensiones reales de los parámetros tecnológicos más relevantes.

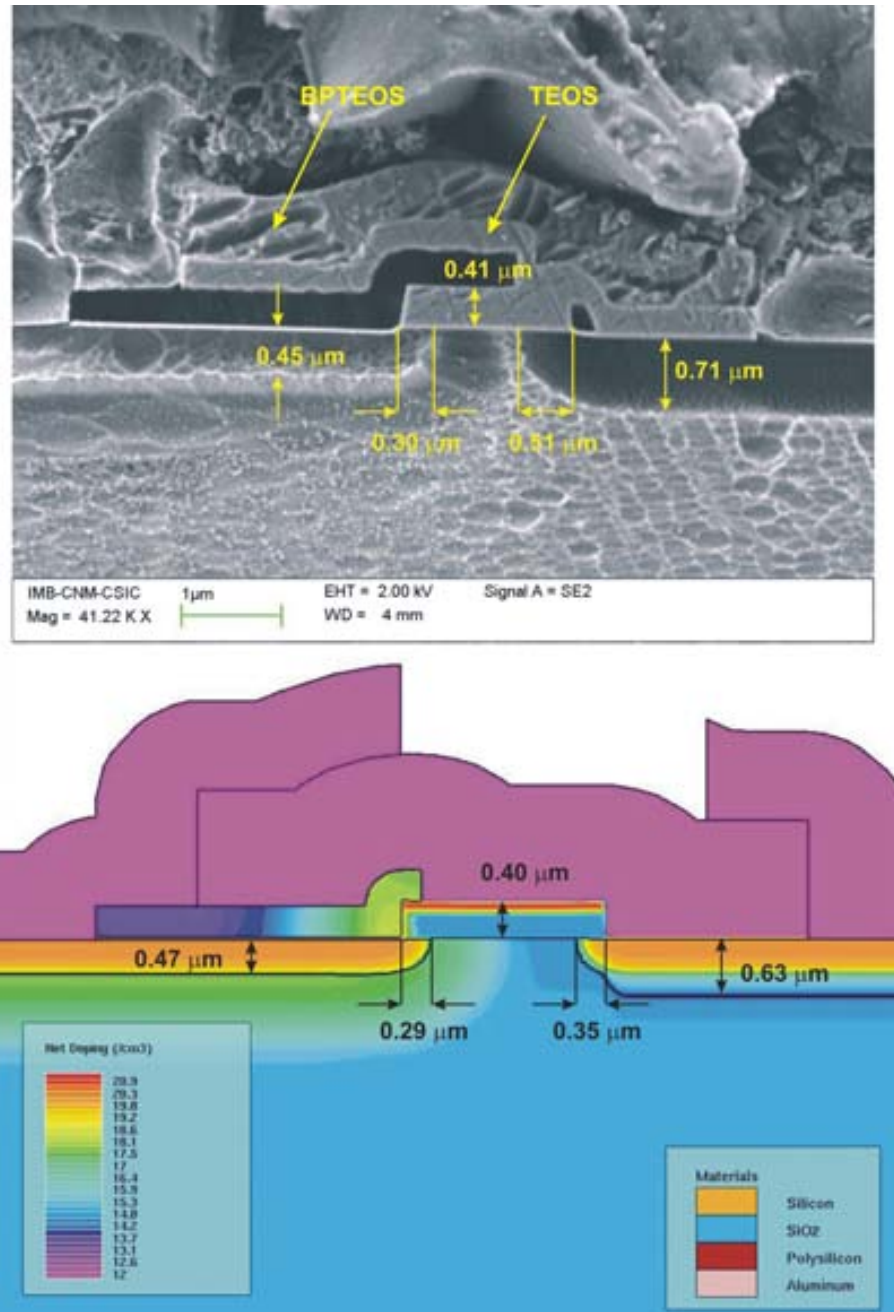


Figura 5.19: Comparativa de las medidas de profundidad de uniones y espesores de óxido. Microsección real y simulada.

La figura 5.17 muestra una comparación entre una microsección de un dispositivo real y el esquema que se ideó en el proceso de diseño. Se observa como, a primera vista, el proceso tecnológico se ha realizado correctamente. Se ve claramente la doble difusión del colector y la difusión simple del emisor, así como el Polysilicio, el óxido depositado y las aperturas de contacto.

Las dimensiones de los parámetros tecnológicos más relevantes de su fabricación se muestran en la figura 5.18, donde, se pone de manifiesto que las dimensiones dentro de un mismo dispositivo, a nivel Polysilicio, no son repetitivas (y es de suponer que ocurra lo mismo entre dispositivos de una misma oblea). En concreto, el dispositivo de la figura 5.18 es de un TVS con $SDF = 2 \mu\text{m}$ y $OPOLY = 1.4 \mu\text{m}$, en el que se observa una diferencia máxima de $0.3 \mu\text{m}$ entre diferentes SDF ($2 \mu\text{m}$ las más grande y $1.7 \mu\text{m}$ la más pequeña observadas) del mismo dispositivo y de $0.25 \mu\text{m}$ si miramos OPOLY ($2 \mu\text{m}$ y $1.7 \mu\text{m}$). Esto implica que, dentro de la misma oblea, posiblemente aparezcan variaciones entre los diferentes dispositivos integrados en la oblea, por lo que las curvas I-V y las tensiones de ruptura de los dispositivos sufran una dispersión. La causa de esta variación en los parámetros puede deberse a dos causas: Un pequeño desalineamiento de máscaras o una desuniformidad en el proceso de grabado. Aunque no ha sido posible detectar con certeza la causa del error, es muy posible que sea una combinación de ambos. Por un lado el proceso fotolitográfico se ha realizado mediante un *Stepper* (alineadora automática) con un margen de error de $0.25 \mu\text{m}$, valor que está dentro del error que encontramos en las microsecciones. Por otro lado, es posible que en el proceso de grabado se produzca un fenómeno de sobreataque que puede hacer variar el grabado en determinadas condiciones.

Valiéndonos de las microsecciones, se ha medido también la profundidad de las difusiones y su extensión lateral, con el fin de compararlas con los datos obtenidos mediante el simulador. Hay que remarcar que estas medidas son aproximadas dado que, aunque las muestras se preparan para que haya un buen contraste a la hora de hacer la microsección y su posterior fotografía, la posición de la unión dependerá de lo abrupto de la misma. Así pues, en la figura 5.19 se observa que, mientras en el colector con la doble difusión, las profundidad y la difusión lateral de la unión se asemejan mucho a la simulación, en el emisor existe una discrepancia con ésta. De la misma forma, podemos observar como el espesor del óxido, sobre el que se haya la placa de campo, tiene un valor cercano a los 4000 \AA en ambos casos. De todas formas, hemos de recordar que, en la capacidad en tensión del dispositivo, el efecto de la difusión de emisor no era lo más significativo (No así la doble difusión en el colector y el espesor d óxido bajo la placa de campo).

Una vez finalizada la caracterización tecnológica procedemos a caracterizar el dispositivo electricamente.

5.4.2. Caracterización eléctrica

Como ya se dijo anteriormente, se han procesado 4 obleas. En la siguiente tabla se muestran las dosis de implantación de Boro para cada una de ellas:

Número de oblea	Dosis implantación de Boro (cm^{-2})
1 y 3	$5 \cdot 10^{13}$
2 y 4	$7 \cdot 10^{13}$

Tabla 5.2: Características de las obleas procesadas.

En cada oblea (a parte de otros dispositivos que se realizaron para otros propósitos) integramos 11 dispositivos con el fin de estudiar sus características eléctricas en función de la variación de dos parámetros: *SDF* y *OPOLY*. La tabla 5.3 muestra los valores de estos parámetros para cada dispositivo integrado.

Número de dispositivo	SDF (μm)	OPOLY (μm)
1	1	0
2	1.2	0
3	1.4	0
4	1.6	0
5	2	0
6	2	0.4
7	2	0.8
8	2	1
9	2	1.4
10	2	1.6
11	2	2.5

Tabla 5.3: Características de los dispositivos integrados.

La caracterización eléctrica se ha realizado mediante una cartografía en cada oblea, midiendo en cada dispositivo su curva I-V. Y se ha medido en cada uno de los dispositivos la tensión que cae al pasar una corriente de 0.05A para definir su tensión de ruptura.

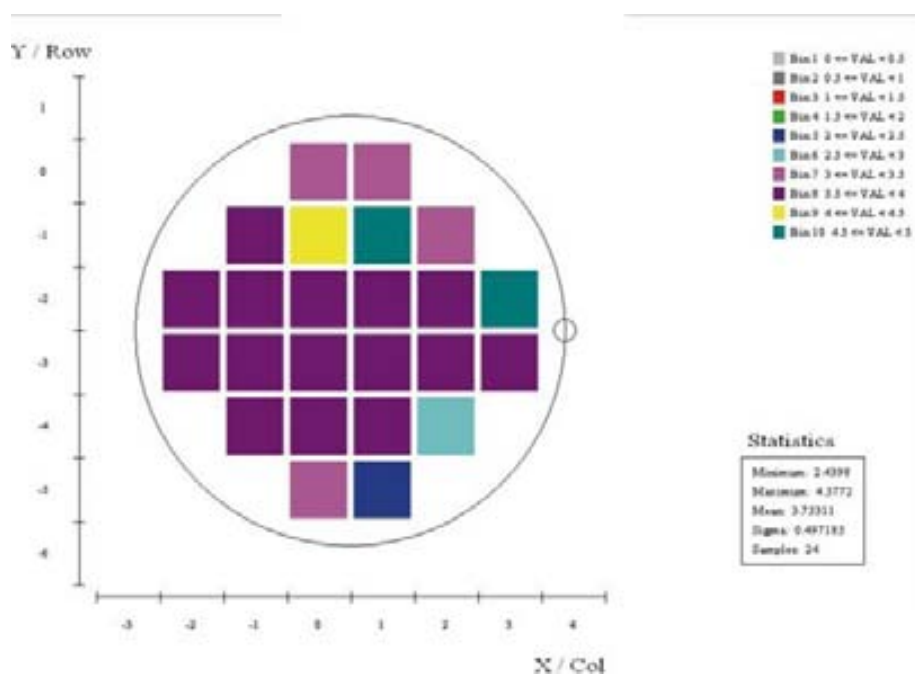


Figura 5.20: Cartografía de la tensión de ruptura de la oblea 4, dispositivo 3.

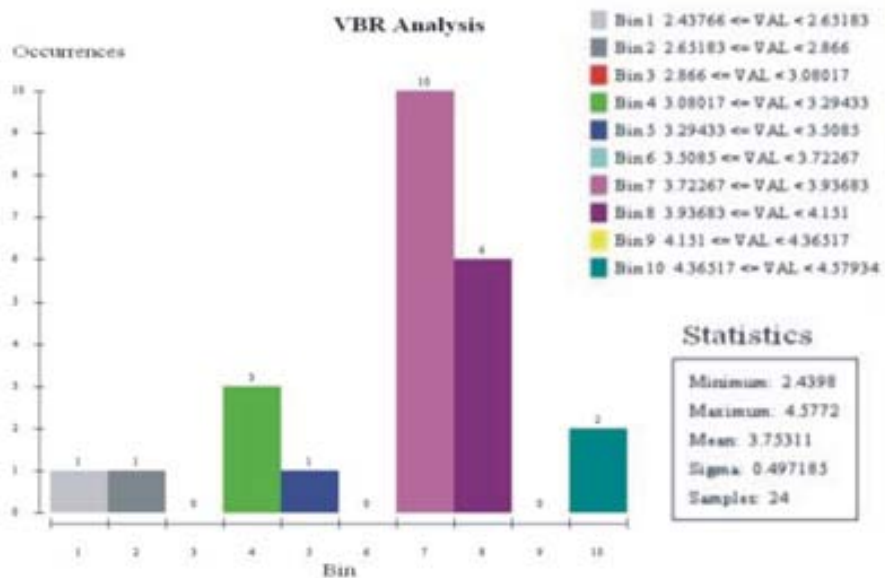


Figura 5.21: Histograma de la tensión de ruptura de la oblea 4, dispositivo 3.

Las Figuras 5.20 y 5.21 muestran los resultados de la cartografía realizada al dispositivo número 3 de la oblea número 4 y el histograma del mismo. Los valores mostrados son la tensión de ruptura medido cuando por el dispositivo circula un corriente de 0.05A. Las siguientes tablas muestran los valores de tensión de ruptura (valor medio de cada dispositivo) para cada oblea de los dispositivos del 1 al 5.

Número de dispositivo	Oblea 1 V@0.05A (V)	Oblea 3 V@0.05A (V)
1	0.73	0.66
2	3.4	3.26
3	3.99	3.91
4	4.08	4.06
5	4.07	3.99

Tabla 5.4: Tensiones medias de cada dispositivo, resultados de las cartografías. Obleas 1 y 3.

Número de dispositivo	Oblea 2 V@0.05A (V)	Oblea 4 V@0.05A (V)
1	3.06	1.39
2	3.96	3.99
3	3.88	3.92
4	3.91	4.02
5	3.97	3.98

Tabla 5.5: Tensiones medias de cada dispositivo, resultados de las cartografías. Obleas 2 y 4.

Se puede observar de las tablas 5.4 y 5.5 como las obleas que han seguido un mismo proceso tecnológico (1-3 y 2-4) muestran una tensión de ruptura similar. La figura 5.22 muestra como la tensión de ruptura aumenta al aumentar SDF . Hay que remarcar el aumento súbito de la tensión de ruptura para SDF pequeñas, esto se debe, principalmente, a que para valores de SDF pequeños la distancia entre contactos es mínima (puesto que hay que restarle la difusión lateral) por lo que la base se compone de silicio altamente dopado P^+ de la difusión de colector, y como ya se indicó en capítulos anteriores, si el valor del dopaje es alto en la base, un pequeño aumento de la distancia entre contactos aumenta de manera significativa su tensión de ruptura. En cambio para valores mayores de SDF , la base se compone del perfil gaussiano P^+ de colector más el dopaje de la oblea de partida (muy inferior), por lo que ahora un aumento de SDF no cambia significativamente la tensión de ruptura. En cualquier caso, todas las obleas se comportan, cualitativamente,

de una manera esperada, es decir, aumentan su tensión de ruptura al aumentar la distancia entre uniones. La figura 5.23 muestra el acuerdo de los resultados experimentales con las simulaciones realizadas. En este caso, las simulaciones se ajustan a los resultados obtenidos experimentalmente dentro de un rango de error asumible en el pico del *buffer P⁺*.

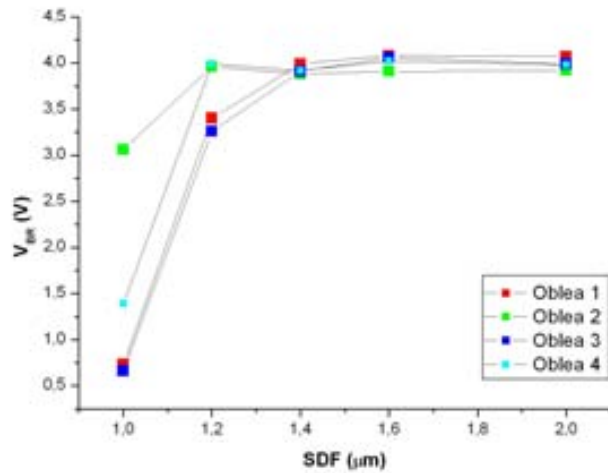


Figura 5.22: Tensión de ruptura de cada dispositivo para cada oblea en función de SDF.

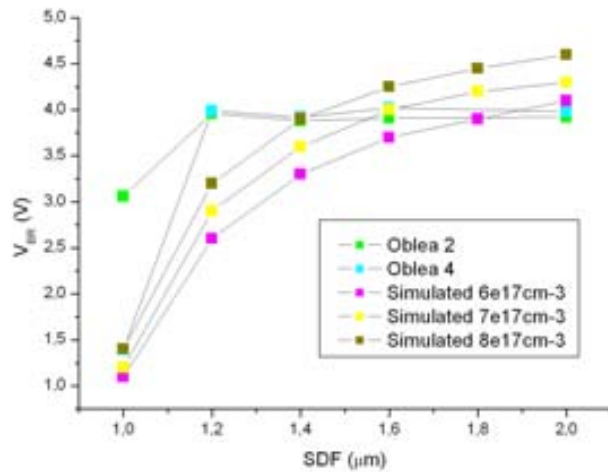


Figura 5.23: Tensión de ruptura de dispositivos experimentales (obleas 2 y 4) y simulados con diferentes valores de pico de dopaje del *buffer P⁺*.

También podemos observar de la figura 5.22 que, aun cuando la dosis de boro implantada en las obleas 1 y 3 es menor que la implantada en las obleas 2 y 4, la diferencia de tensión de ruptura es apenas apreciable. Para valores de SDF pequeños, que es cuando más importancia tiene el valor del pico de dopaje, se puede apreciar como los valores de la tensión de ruptura sí son inferiores en las obleas impares (como era de esperar), sin embargo, a medida que se aumenta la distancia entre uniones, ambos pares de obleas presentan una tensión de ruptura similar. Este resultado se puede explicar de lo observado en la figura 5.24, como se aprecia en las curvas de la oblea 4, éstas presenta un fuerte *snapback* por lo que, dado que medimos la tensión de ruptura a un valor de corriente de 0.05 A, la tensión a la que los dispositivos rompen es mayor que la calculada.

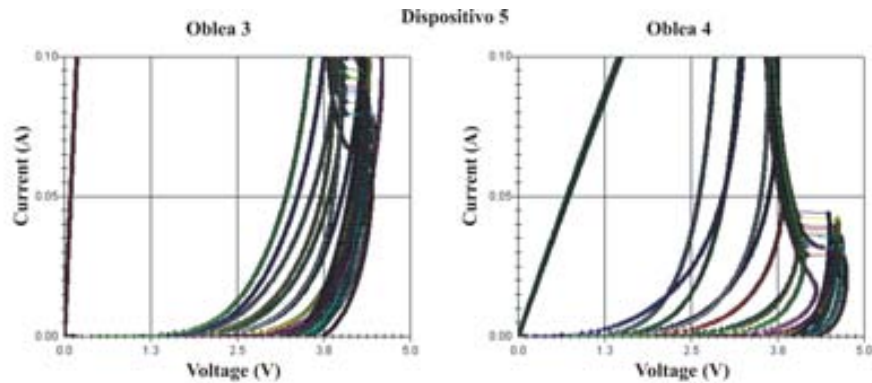


Figura 5.24: Características I-V de los dispositivos nº 5 de las obleas 3 y 4 realizado mediante cartografía.

También se ha analizado la variación de la tensión de ruptura con la longitud de la placa de campo. En teoría (como ya se explicó en el capítulo anterior) un aumento de la longitud de la placa de campo debe disminuir capacidad en tensión del dispositivo, debido a que las zonas de vaciamiento se extienden más y el *punch-through* se alcanza a menor tensión.

La Figura 5.25 muestra la variación de la tensión de ruptura con la longitud de la placa de campo de los dispositivos de las obleas 2 y 4, así como los valores de las simulaciones realizadas. Se observa como estos dispositivos manifiestan un ligero descenso de la tensión de ruptura, aunque no tan acusado como muestran las simulaciones. También se observa como, a partir de un cierto valor de la placa de campo, el cual se ajusta al de las simulaciones realizadas, la tensión de ruptura no disminuye más, debido, como ya se explicó en el capítulo 4, a que la longitud placa de campo alcanza la unión base-emisor. Así, aunque la distancia entre las ventanas sobre las que

se definieron los colectores y emisores es de $2 \mu\text{m}$, hay que tener en cuenta la difusión de las implantaciones, que como se mostró en el apartado anterior (figura 5.19) es del orden de $0.5 \mu\text{m}$ (en el emisor), por lo tanto es de esperar que la saturación de la tensión de ruptura aparezca cuando la longitud de la placa de campo sea más o menos de $1.5 \mu\text{m}$.

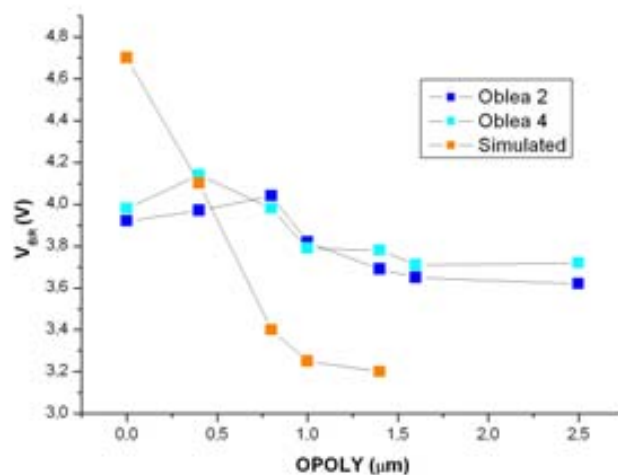


Figura 5.25: Tensión de ruptura de dispositivos experimentales (oblas 2 y 4) y valores obtenidos mediante simulación.

Los principales resultados obtenidos en la fabricación del TVS laterales 4 capas son:

1. Se ha conseguido fabricar por primera vez dispositivos TVS laterales, su finalidad es poder integrar monolíticamente junto con la circuitería a la que protegen, con valores de tensión de ruptura comprendidos entre 1 y 4 voltios.
2. La caracterización tecnológica muestra la dificultad que entraña fabricar este tipo de dispositivos, puesto que, aunque el proceso en si es sencillo, se han observado que dentro del mismo proceso existe una dispersión apreciable en las dimensiones de Polisilicio, es implica que para poder fabricar correctamente estos dispositivos es necesario un nivel de precisión en todas las etapas tecnológicas muy elevado,
3. Los resultados obtenidos muestran algunas discrepancias cuantitativas respecto a las simulaciones realizadas, pero en todos los casos y asumiendo los errores tecnológicos entrar dentro del error previsible.

4. Se ha comprobado como la placa de campo es capaz de disminuir la tensión de ruptura de los dispositivos.

Conclusiones

Las principales conclusiones y resultados de este trabajo son las siguientes,

- Se ha realizado un estudio, mediante simulación numérica, de las características eléctricas de los dispositivos TVS verticales, en sus configuraciones de 3 y 4 capas, analizando su dependencia con los parámetros tecnológicos y geométricos característicos.
- Este estudio ha permitido definir un modelo quasi-analítico para determinar la tensión de ruptura en función de dichos parámetros. El modelo presenta un buen ajuste tanto con las simulaciones realizadas como con los datos experimentales.
- Se han optimizado los dispositivos TVS verticales de 3 y 4 capas con capacidades de tensión inferiores a 3 V.
- Se han definido dos tecnologías para la integración de los dispositivos verticales de 3 capas tanto en la sala blanca del CNM (mediante implantación iónica) como en la de Fagor Electrónica (mediante fuente líquida). Los dispositivos fabricados mediante implantación iónica presentan menor corriente de fuga en inversa, tensión de *clamping* y dispersión en el valor de la tensión de ruptura.
- También se ha definido una tecnología para la integración de dispositivos verticales de 4 capas en la sala blanca del CNM (mediante implantación iónica). Los dispositivos fabricados presentan mejores prestaciones eléctricas que los equivalentes en formato 3 capas y los diodos zener tradicionales.
- Se ha concebido una nueva arquitectura lateral para las estructuras TVS-4 capas, de concepción propia, en la que los dos electrodos se encuentran en la superficie del dado, con el fin de facilitar su integración monolítica con el circuito a proteger.

- Mediante simulación numérica se han optimizado sus características y se ha definido la tecnología necesaria para su integración en la sala blanca del CNM.
- Con el fin de permitir la integración de TVS mediante tecnologías con poca precisión fotolitográfica, se ha propuesto por primera vez la utilización del efecto de Placa de Campo para controlar su capacidad en tensión, manteniendo constante la separación entre los pozos de emisor y colector. Así, cambiando únicamente la extensión de esta placa se obtienen dispositivos con tensiones de ruptura diferentes. Los resultados experimentales han corroborado la validez del concepto.
- En todos los dispositivos fabricados se ha realizado un extenso trabajo de caracterización eléctrica y tecnológica, con el fin de comprobar la calidad del proceso de fabricación.
- Como extensión futura de los trabajos realizados sobre obleas de silicio homogéneo, mediante simulaciones numéricas se ha estudiado la viabilidad de la integración de este tipo de estructuras sobre sustratos SOI. Los resultados de este estudio muestran la viabilidad de los TVS en SOI así como una mejora de las características eléctricas en comparación con los TVS integrados sobre sustrato homogéneo.

Artículos publicados

Durante la realización de este trabajo se han publicado varios artículos, tanto en congresos como en revistas internacionales. A continuación se exponen los artículos de mayor relevancia.

El primer artículo, titulado “*Optimisation of Very Low Voltage TVS Protection Devices*” (Microelectronic Journal. ISSN: 0026-2692. Vol. 34, n^o 9, pp. 809-813, 2003), refleja los resultados del análisis del efecto de la variación de los parámetros características de una estructura TVS de 4 capas en configuración vertical, su optimización para asegurar las capacidades en tensión deseadas y su corroboración experimental tras la fabricación. Los resultados presentados ponen de manifiesto que las estructuras TVS fabricadas presentan mejores características eléctricas que las tradicionales a tensiones de bloqueo inferiores a 3 V.

En el segundo artículo, titulado “*A Quasi-Analytical Breakdown Voltage Model in Four-Layer Punch-Through TVS Diodes*” (Solid-State Electronics. ISSN: 0038-1101. Vol. 49, n^o 8, pp. 1309-1313, 2005), presentamos la modelización matemática desarrollada con el fin de predecir la capacidad en tensión de una estructura TVS de 4 capas en configuración vertical. La validez del modelo desarrollado se corroboró mediante simulaciones numéricas junto con estructuras reales fabricadas al efecto.

El tercer artículo, titulado “*Lateral punch-through TVS devices for on-chip protection in low-voltage*” (Microelectronics Reliability. ISSN: 0026-2714. Vol:45 Issues:7-8, pp 1181-1186), se presentan las características principales de una estructura TVS 4 capas de concepción propia, caracterizada por una arquitectura lateral con el fin de permitir su integración monolítica con el sistema a proteger. La optimización de sus parámetros característicos nos permitió demostrar que su comportamiento era similar a los verticales (que no se pueden integrar de forma monolítica).



ELSEVIER

Microelectronics Journal 34 (2003) 809–813

Microelectronics
Journal

www.elsevier.com/locate/mejo

Optimisation of very low voltage TVS protection devices

J. Urresti^{a,*}, S. Hidalgo^a, D. Flores^a, J. Roig^a, J. Rebollo^a, I. Mazarredo^b

^aCentro Nacional de Microelectrónica (CNM-CSIC), Campus UAB, 08193 Bellaterra, Barcelona, Spain

^bFagor Electrónica S.Coop., B° San Andrés, s/n-Aptdo, 33 20500, Mondragón, Guipúzcoa, Spain

Received 7 February 2003; revised 7 April 2003; accepted 16 April 2003

Abstract

This paper is aimed at the design and optimisation of advanced Transient Voltage Suppressors (TVS) devices for IC protection against ESD. A four-layer N⁺P⁺PN⁺ structure has been used to achieve breakdown voltages lower than 3 V. The effect of the critical geometrical and technological parameters on the TVS electrical characteristics is analysed with the aid of technological and electrical simulations. In this sense, the trade-off between voltage capability, leakage current and clamping voltage has been optimised. Fabricated TVS devices exhibit better electrical performances than those of the equivalent three-layer TVS device counterparts.

© 2003 Elsevier Science Ltd. All rights reserved.

Keywords: TVS; Protection devices; Punchthrough and clamping voltage; Voltage suppressor

1. Introduction

The IC feature size, gate oxide thickness and supply voltage are continuously decreased to improve the package density, the electronics speed and the dissipated energy. However, the ICs sensitivity to external disturbances, i.e. lightning, capacitive coupling and electrostatic discharges (ESD), increases every new technological generation due to the small tolerance to the supply voltage fluctuations of nanoscale gate oxides. Although several semiconductor devices for ICs protecting purposes are already available in the market, the continuous reduction of the supply voltage value and the increase of the operating frequency have brought to a significant research effort to develop ultra fast protecting semiconductor devices with low parasitic capacitance and high surge current capability values [1].

Today, more than 60% of electronic system failures are related to over voltage and electrostatic discharge phenomena. Over voltage transient processes usually range from 100 ns (ESD) to several ms (lightning), with voltage peak values up to 10 kV. A large amount of money is lost every year, thus justifying the continuous market growth for high performance, low cost surge protection semiconductor devices. The choice of the suitable device to protect an

electronic system depends on the device effectiveness, and it cannot interfere with the normal operation of the system to be protected. The electrical characteristics of the selected protection device should ideally be: a fast response, a suitable withstand voltage and a very low on-state voltage drop, a high surge current capability, to be operative after a large number of surge disturbances, a minimum area, the minimum leakage current value and the lowest cost.

The Transient Voltage Suppressor (TVS) is an over voltage suppressor device based on the avalanche breakdown voltage of a PN junction. The TVS surge current capability depends on the silicon area, and a thick metallization layer is needed for the sake of energy dissipation during the disturbance absorption. TVS devices can be connected either in series or in parallel to increase their protection capability, with a standard rise time lower than 1 ns and a clamping factor (ratio between clamping and breakdown voltage values) about 1.33. Although, there is a large number of applications requiring protecting devices with high breakdown voltage capability, ICs and communication cards have to be protected against ESD with devices having a low clamping voltage and very low leakage current level [2].

As stated before, the conventional TVS device consists of a PN junction designed to breakdown by an avalanche process [3]. Unfortunately, low breakdown voltage values (3.3 V or even lower) require high doping concentration

* Corresponding author. Tel.: +34-93-594-77-00; fax: +34-93-580-14-96.

E-mail address: jesus.urresti@cnm.es (J. Urresti).

levels, yielding a significant increase of the leakage current and capacitance values. These drawbacks have favoured the development of a new four-layer TVS device generation [4, 5] with high electrical performance based on the punch-through diode structure, which may be thought as an open base bipolar transistor with a lightly doped base and a highly doped buffer layer so that punchthrough takes place at a voltage value lower than that of the avalanche breakdown with a lower leakage current level.

This paper is addressed to the optimisation of very low voltage (<3 V) four-layer TVS structures by means of electrical and technological simulations and the simulation results are compared with the experimental electrical characteristics of the fabricated TVS devices.

2. Device optimisation

The cross-section of the analysed four layer TVS structure and the doping concentration profile across the structure are drawn in Fig. 1. The TVS structure consists of an $N^+P^+PN^+$ open base bipolar transistor integrated on an N^+ -substrate with a P-type epilayer. The critical process steps are the formation of the deep N^+ -diffusion used to electrically isolate the die periphery and the definition of the collector/buffer double N^+P^+ diffusion, which determines the device breakdown voltage. The relevant geometrical and technological parameters taken into account during optimisation of the TVS structure are the substrate resistivity, the P-type epilayer doping concentration and thickness (N_{epi} and D_{epi}), the peak concentration of the P^+ -buffer diffusion below the N^+ -collector diffusion (N_b), the effective thickness of the P^+ -buffer diffusion (D_b) and the peak concentration, the depth and the width of the N^+ -collector diffusion (N_c , D_c and W_c).

The critical parameters of a TVS device designed to protect against ESD are the clamping voltage, the punchthrough voltage and the leakage current level. Among them, the clamping voltage is crucial to ensure a safe absorption of a high voltage transient. The clamping voltage has to be higher than but as close as possible to the breakdown value in order to minimise the dissipated energy once the TVS is activated by an incoming over voltage.

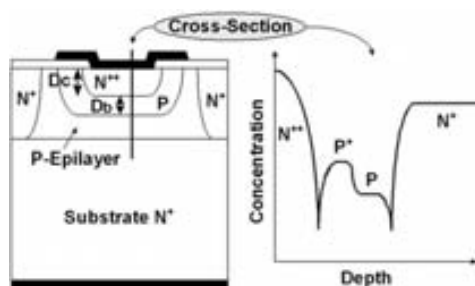


Fig. 1. Cross-section of the analysed four-layer TVS structure.

In the case of a clamping voltage lower than the breakdown value, the over voltage could eventually damage the protected equipment due to the decrease of the TVS voltage capability when the current increases. Although the inherent leakage current level of the four layer TVS structure is one order of magnitude lower than that of the conventional TVS structure, the trade-off between voltage capability, the leakage current and the clamping factor has to be optimised for a given application. The analysis and optimisation of the electrical characteristics of the four layer TVS structure have been carried out with the aid of 2D technological and electrical simulations performed with Athena and Atlas CAD software [6], respectively.

The voltage capability of the four-layer TVS structure is determined by the depletion process of the N^+ -cathode/ P^+ -buffer junction when a positive voltage is applied to the collector electrode. Once the P^+ -buffer is fully depleted, the depletion region expands into the P-type epilayer. Then, the P-type epilayer becomes also completely depleted when the applied voltage is high enough (V_{pt} value) and the punchthrough takes place [7]. Therefore, the dependence of the breakdown voltage on the effective thickness of the P-type layers below the cathode diffusion ($D_{\text{eff}} = D_{\text{epi}} - D_c$) has been extensively analysed. The effective thickness of the P^+ -buffer diffusion has been kept constant at $0.5 \mu\text{m}$ in all the performed simulations.

The impact of the effective thickness of the P-type epilayer on the punchthrough voltage is shown in Fig. 2 and 3 corresponding to N_{epi} values of $1\text{e}15$ and $3\text{e}15 \text{ cm}^{-3}$, respectively. As it can be expected, the V_{pt} value increases with D_{eff} since the voltage sustained by the P-type epilayer exhibits a quadratic dependency with its thickness. Moreover, the voltage capability increases with doping concentration of the P-type epilayer at a given D_{eff} value whereas the leakage current value (I_0) decreases when increasing N_{epi} . Therefore, a reduction of the voltage capability and a significantly increase of the leakage current level is

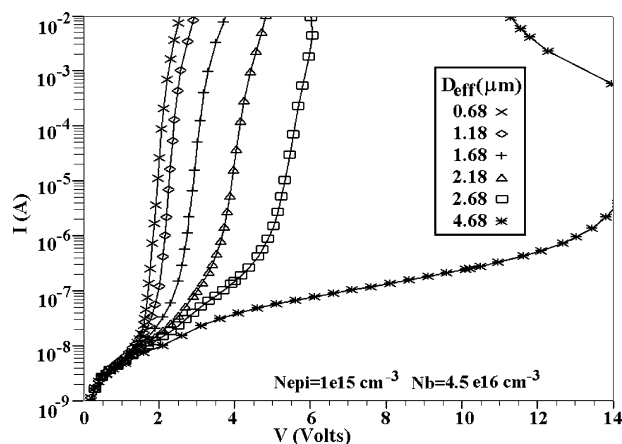


Fig. 2. $I_c(V_c)$ characteristics. $N_{\text{epi}} = 1\text{e}15 \text{ cm}^{-3}$, $N_b = 4.5\text{e}16 \text{ cm}^{-3}$, $D_b = 0.5 \mu\text{m}$.

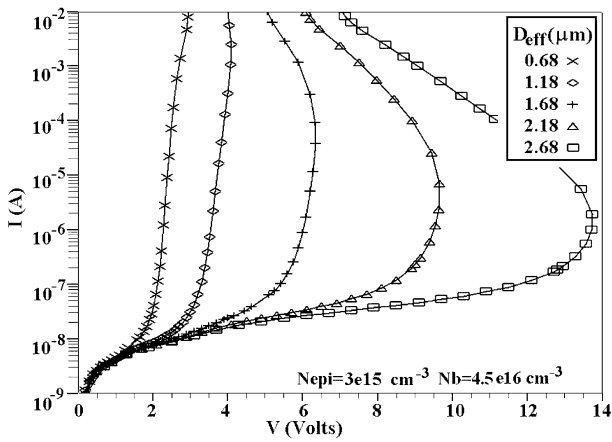


Fig. 3. $I_c(V_c)$ characteristics. $N_{epi} = 3e15 \text{ cm}^{-3}$, $N_b = 4.5e16 \text{ cm}^{-3}$, $D_b = 0.5 \text{ }\mu\text{m}$.

observed when decreasing N_{epi} , for a given D_{eff} value. In addition, it is also remarkable that in spite of the leakage current increase, the punchthrough voltage value is less sensible to variations of the D_{eff} value as far as N_{epi} value is decreased.

The influence of the P-buffer doping concentration on the punchthrough voltage value is shown in Fig. 4 where the snapback effect, crucial to control the clamping voltage value (V_c), is clearly seen. It is also worth to point out that the snapback in the $I(V)$ characteristics is also observed when increasing D_{eff} for a given N_{epi} value. A four-layer TVS structure with the minimum clamping voltage (highest slope of the $I(V)$ characteristic) and leakage current values can be obtained by controlling the P-buffer parameters, as shown in Fig. 5. In relation with the choice of the optimum P-buffer doping concentration, the trade-off between the clamping and the punchthrough voltage values has to be taken into account since the V_c value decreases when increasing N_b which, in turns, increases the V_{pt} value.

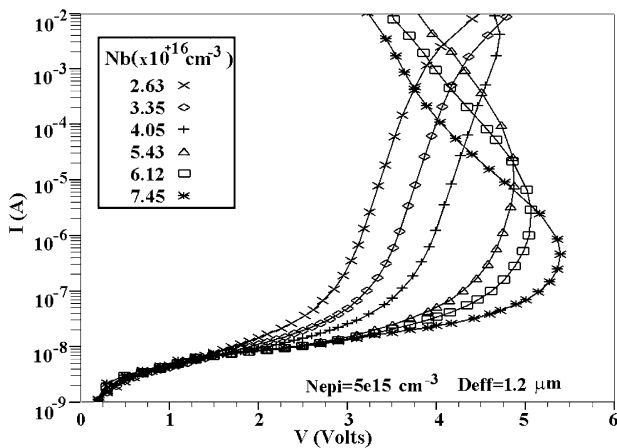


Fig. 4. $I_c(V_c)$ characteristics. $N_{epi} = 5e15 \text{ cm}^{-3}$, $D_b = 0.5 \text{ }\mu\text{m}$, $D_{eff} = 1.2 \text{ }\mu\text{m}$.

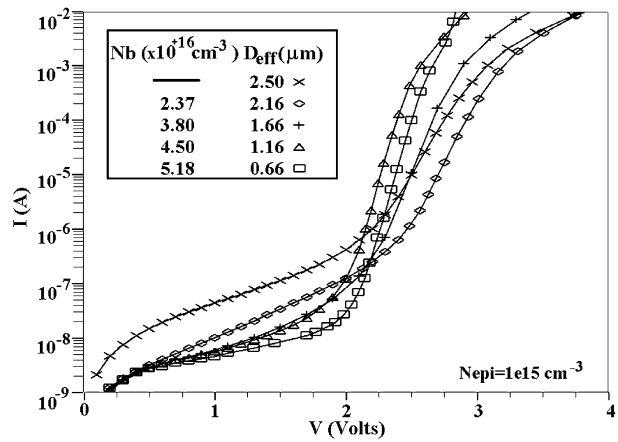


Fig. 5. $I_c(V_c)$ characteristics. $N_{epi} = 1e15 \text{ cm}^{-3}$.

Performed simulations have shown that an optimal 2 V four-layer TVS structure requires a D_{eff} value of $0.66 \text{ }\mu\text{m}$ for $N_b = 5.2 \times 10^{16} \text{ cm}^{-3}$ and $N_{epi} = 10^{15} \text{ cm}^{-3}$. Moreover, the optimised four-layer TVS structure exhibits better electrical performances in comparison with the equivalent three-layer TVS structure (without the P-buffer layer), as it can be inferred from Fig. 5.

Finally, the simulated impact of the collector diffusion width (W_c) on the leakage current level is plotted in Fig. 6. The leakage current increases with W_c without a breakdown voltage shift, being the leakage current path mainly located at the plane region of the collector diffusion. This is a direct consequence of the linear dependence of the leakage current level with the collector area.

3. Experimental results

Four-layer TVS devices with an active area of $1.5 \times 1.5 \text{ mm}^2$ have been integrated on different starting

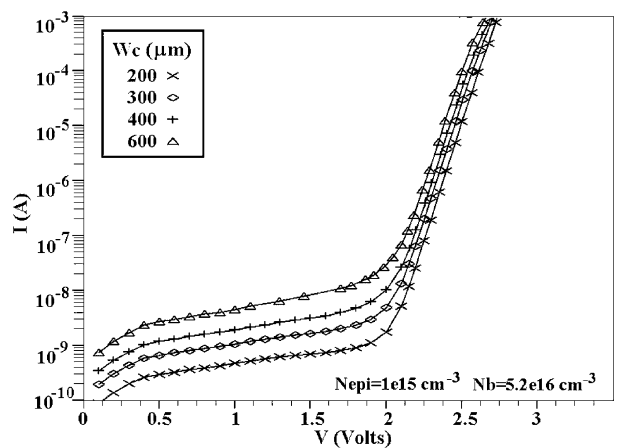


Fig. 6. $I_c(V_c)$ characteristics. $N_{epi} = 1e15 \text{ cm}^{-3}$, $N_b = 5.2e16 \text{ cm}^{-3}$, $D_{eff} = 0.7 \text{ }\mu\text{m}$.

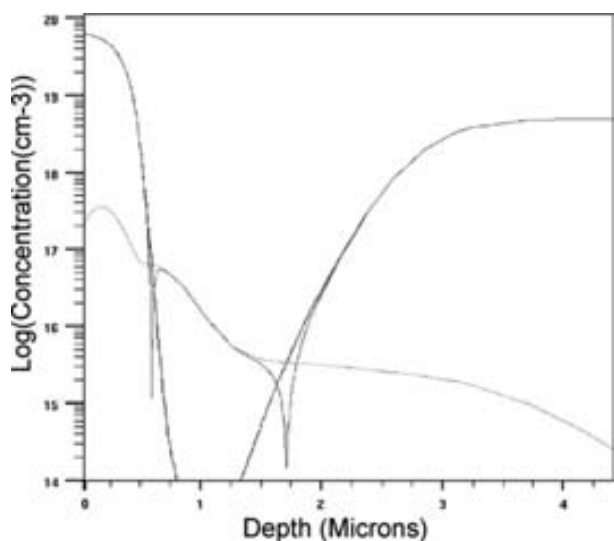


Fig. 7. Optimised impurity profile of the four-layer TVS structure.

Silicon wafers. In order to corroborate the optimisation of the TVS structure, previously carried out with the aid of numerical simulations, P-type epilayers of $1e15$ and $5e15 \text{ cm}^{-3}$ with a thickness of 4.5 and 3 μm , respectively, were grown on a $\langle 111 \rangle$, 10 $\text{m}\Omega \text{ cm}$ N-type substrate. According to the optimised doping profile drawn in Fig. 7, obtained from simulation results, a double Boron/Phosphorous implantation has been used to define the P-type buffer layer and the N^+ -collector, respectively. Three Boron implantation doses have been used to obtain TVS devices with different N_b and D_b values.

The experimental $I(V)$ curve of a 1.2 V four-layer TVS device with a leakage current level in the range of 1 μA , is shown in Fig. 8. The influence of the Boron implantation dose used to define the P-type buffer layer on the experimental $I(V)$ characteristic is plotted in Fig. 9. TVS devices with punchthrough values from 1 to 3 V have been fabricated, being the leakage current level in the range of 1 μA in all the measured devices.

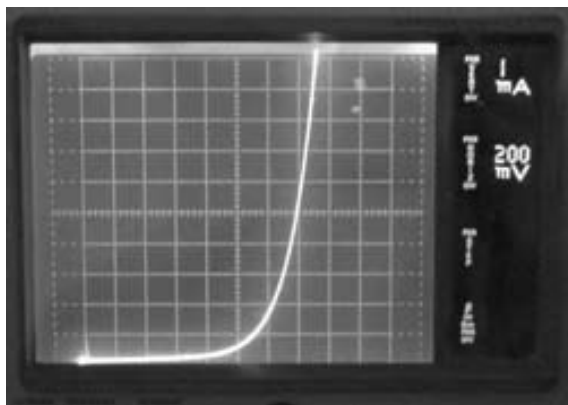


Fig. 8. Experimental $I_c(V_c)$ characteristics. $N_{\text{epi}} = 5e15 \text{ cm}^{-3}$.

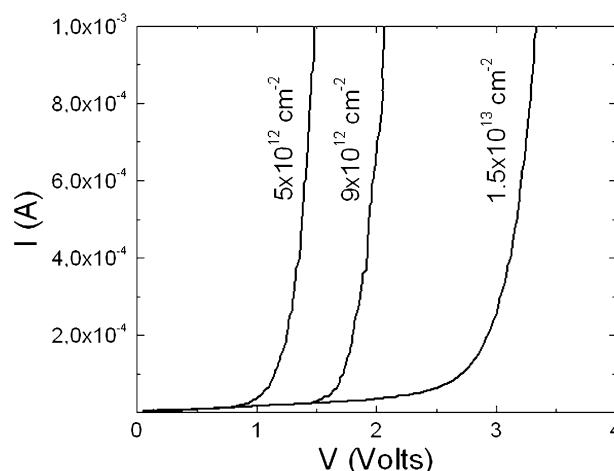


Fig. 9. Experimental $I_c(V_c)$ characteristics. $N_{\text{epi}} = 1e15 \text{ cm}^{-3}$.

Three-layer TVS devices have also been fabricated in order to compare their electrical performances with those measured on the four-layer counterparts. Experimental results have shown that the leakage current levels and the clamping voltage values of the four-layer TVS devices are lower than those of the equivalent three-layer devices. Moreover, the dependence of the punchthrough voltage on the relevant geometrical and technological parameters of the four-layer TVS structure is less critical than that observed in the three-layer counterparts. This improvement is mainly due to the presence of the P-type buffer layer, which allows the use of a thinner epilayer. Finally, axial packaged four-layer TVS devices have been stressed under hard test conditions (1000 W pulses in accordance to the 10/1000 μs standard) without destroying them, thus proving the device roughness.

4. Conclusions

Optimised four-layer TVS devices for low voltage ICs protection ($< 3 \text{ V}$) are presented in this paper based on the punchthrough breakdown of a four-layer $\text{N}^+\text{P}^+\text{PN}^+$ structure. Extensive numerical simulations have been carried out to analyse the dependence of the breakdown and clamping voltage values and the leakage current level on the relevant geometrical and technological parameters. It has been demonstrated that the leakage current level decreases when increasing the epilayer doping. Moreover, the punchthrough voltage is controlled by the effective epilayer thickness under de P-type buffer, for a given epilayer doping; and by the buffer doping level, for a given epilayer doping and thickness. Fabricated TVS devices exhibit lower clamping voltage and leakage current values than those of the equivalent three-layer structure.

Acknowledgements

This work was supported by the FEDER European Programme and by the Comisión Interministerial de Ciencia y Tecnología (CICYT) (ref. 2FD1997-1131).

References

- [1] SEMTECH, TVS Product Catalog, 1994
- [2] O.M. Clark, Transient voltage suppressor types and application, *IEEE Trans. Electron. Devices* 5 (11) (1990) 20–26.
- [3] D. de Cogan, The punchthrough diode, *Microelectronics* 8 (2) (1977) 20–23.
- [4] Y. King, B. Yu, J. Pohlman, C. Hu, Punchthrough diode as the transient voltage suppressor for low-voltage electronics, *IEEE Trans. Electron. Devices* 43 (11) (1996) 2037–2040.
- [5] Y. King, B. Yu, J. Pohlman, C. Hu, Punchthrough transient voltage suppressor for low-voltage electronics, *IEEE Electron. Device Lett.* 16 (7) (1995) 303–305.
- [6] Athena and Atlas, from Silvaco TCAD Software, are provided by Synopsis Inc..
- [7] J.B. Gunn, Avalanche injection in semiconductors, *Proc. Phys. Soc. B-* 69 (1956) 781–790.



A quasi-analytical breakdown voltage model in four-layer punch-through TVS devices

Jesus Urresti ^{a,*}, Salvador Hidalgo ^a, David Flores ^a, Jaume Roig ^a,
José Rebollo ^a, Imanol Mazarredo ^b

^a *Centro Nacional de Microelectrónica (IMB-CSIC), Campus UAB, 08193 Cerdanyola del Vallès, Barcelona, Spain*

^b *FAGOR Electronica S.Coop., Bo. San Andrés, 20500 Mondragón, Spain*

Received 21 September 2004; received in revised form 7 June 2005; accepted 11 June 2005

The review of this paper was arranged by Prof. S. Cristoloveanu

Abstract

A quasi-analytical model addressed to predict the breakdown voltage in four-layer transient voltage suppressor (TVS) diodes based on the punch-through effect is reported in this paper. For breakdown voltage in excess of 1 V, a closed form expression is derived. In addition, the three-layer TVS diode can also be described with the developed model. Finally, results obtained from the model are in good agreement with simulation and experimental data.

© 2005 Elsevier Ltd. All rights reserved.

Keywords: Electrostatic discharge; Transient voltage suppressors; Analytical models; Semiconductor devices

1. Introduction

The continuous reduction of operating voltage and gate oxide thickness in very large scale integrated circuits (VLSI) has increased their sensitivity to electrostatic discharges (ESD) [1] and external disturbances, i.e., lightning and capacitive coupling. Zener diodes and thyristors [2] are the most widely used semiconductor devices for ESD protection, either on-chip or as discrete devices. The choice of the right device depends on several parameters and cannot interfere with the normal operation of the system to be protected [3]. The ideal protection device has to exhibit a fast response, a low on-state voltage drop, a high surge current capability, a low cost and has to be operative after a large number

of surge disturbances. In this sense, the efficiency of Zener diodes with breakdown voltage lower than 5 V is strongly reduced due to the high leakage current and the parasitic capacitance. However, the increase of the operating frequency has brought to a research effort to develop ultra fast protection devices with low parasitic capacitance and high surge current capability values [4].

Power semiconductor devices based on the punch-through of an open base bipolar transistor are a good alternative to replace Zener diodes in very low voltage applications, thus providing the required electrical performance in VLSI protection standards. Two approaches have been contemplated up to now: three- and four-layer transient voltage suppressor (TVS) structures [5–9].

Although three-layer TVS structures [10] exhibit better electrical performances than Zener diodes, their leakage current is still high for very low voltage applications. The four-layer TVS structure includes an additional

* Corresponding author. Tel.: +34 935 947700; fax: +34 935 801496.
E-mail address: jesus.urresti@cnm.es (J. Urresti).

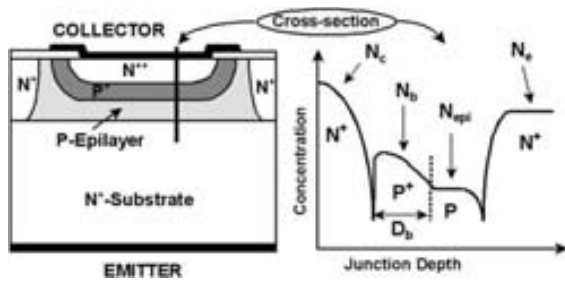


Fig. 1. Cross-section of a four-layer TVS structure.

P⁺-buffer into the bipolar transistor base, as shown in Fig. 1. The breakdown occurs at an applied collector voltage value lower than the corresponding avalanche one, and the leakage current is reduced one order of magnitude due to the buffer effect.

To reduce the electrical simulation process and the design computational cost, it is recommendable to have an analytical or quasi-analytical model to describe the voltage capability of TVS structures. An analytical model describing the breakdown behaviour of a conventional three-layer TVS structure [11] was reported long time ago, that model though, cannot be applied to the four-layer TVS structure due to the constant base doping concentration assumption. Hence, this paper addresses the development of a suitable model for an N⁺P⁺PN⁺ TVS structure. The proposed model will help in the design and optimization of four-layer TVS structures due to strong dependence of the basic electric properties on the technological parameters.

2. Punch-through model

The punch-through breakdown voltage is defined as the collector voltage value which provides complete depletion of the P-base region. The depletion region of the reverse-biased N⁺P⁺ collector junction touches the inherent depletion region of the forward biased N⁺P emitter junction. Collector voltages above the punch-through value cause shrinkage of the potential barrier of the emitter–base junction as drawn in Fig. 2. As a consequence, electrons diffused from the emitter can be driven towards the collector, and the TVS enters the low resistance on-state conduction regime [11].

The one-dimensional cross-section of the four-layer TVS structure, including the relevant geometrical parameters, is drawn in Fig. 3. Collector and emitter doping concentration (N_c and N_e , respectively) are assumed to have constant values. The total boron concentration (N_{tot}) inside the epilayer, including the P⁺ buffer, is given by

$$N_{tot}(x) = N_b \exp\left(-\frac{x^2}{\lambda^2}\right) + N_{epi} \quad (1)$$

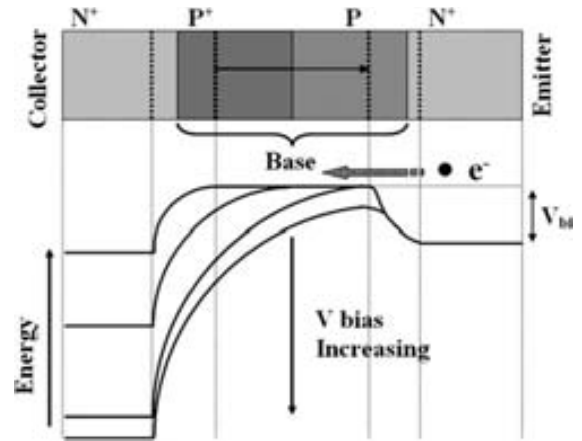


Fig. 2. Conduction band profile of a four-layer TVS structure as a function of collector bias.

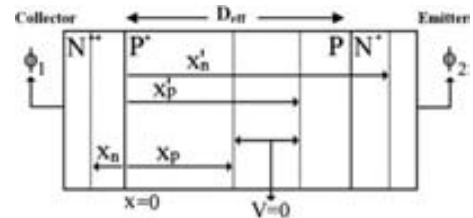


Fig. 3. Relevant geometric parameters of a N⁺P⁺PN⁺ four-layer TVS structure under study, where $x = -x_n$, $x = x_p$, $x = x_p'$ and $x = x_n'$ are the depletion region boundaries of the collector–base junction and the emitter–base junction, respectively and D_{eff} is the total base width.

where N_b is the peak doping concentration of the P⁺ buffer, x is the distance from the collector–base junction to any point inside the base region (Fig. 3) and λ is the penetration depth of impurities. The P⁺ buffer amplitude (D_b) is defined as the distance from the collector–base junction to the point where the Gaussian doping profile reaches the N_{epi} value. Hence, $\lambda = D_b / (\ln(N_b / N_{epi}))^{1/2}$.

The depletion approach of an exponential graded PN junction [12] is used to calculate the potential and electric field distributions from the one-dimensional Poisson equation. This has been solved by taking into account the continuity of the electric field in each junction, by setting $x = 0$ at the collector N⁺P⁺ junction and by assuming the $V = 0$ to be located in the P-base region between the two depletion regions. The solution provides

$$\begin{aligned} \phi_1(x_p) = \frac{q}{2\epsilon_{si}} \left[\left(\frac{N_b \lambda \sqrt{\pi}}{2\sqrt{N_c}} \operatorname{erf}\left(\frac{x_p}{\lambda}\right) + \frac{N_{epi}}{\sqrt{N_c}} x_p \right)^2 \right. \\ \left. + N_{epi} x_p^2 + N_b \lambda^2 \left(1 - \exp\left(-\frac{x_p^2}{\lambda^2}\right) \right) \right] \quad (2) \end{aligned}$$

Moreover, the potential at the emitter side (ϕ_2), which is fixed by the corresponding V_{bi} value of the PN⁺ emitter

junction, also depends on the geometrical parameters and is expressed as

$$\begin{aligned} \phi_2 = \frac{q}{2\epsilon_{si}} \left\{ \left[\frac{N_{epi}}{\sqrt{N_c}} (D_{eff} - x'_p) + \frac{N_b \lambda \sqrt{\pi}}{2\sqrt{N_c}} \left(\operatorname{erf} \left(\frac{D_{eff}}{\lambda} \right) - \operatorname{erf} \left(\frac{x'_p}{\lambda} \right) \right) \right]^2 + N_{epi} (D_{eff} - x'_p)^2 + N_b \lambda \sqrt{\pi} \left[D_{eff} \left(\operatorname{erf} \left(\frac{D_{eff}}{\lambda} \right) - \operatorname{erf} \left(-\frac{x'_p}{\lambda} \right) \right) + \frac{\lambda}{\sqrt{\pi}} \left(\exp \left(-\frac{D_{eff}^2}{\lambda^2} \right) - \exp \left(-\frac{x_p'^2}{\lambda^2} \right) \right) \right] \right\} = V_{bi} \end{aligned} \quad (3)$$

Note that x'_p cannot be analytically obtained from (3). Therefore, we have numerically calculated x'_p by means of mathematical software tools, leading to a quasi-analytical solution. The punch-through takes place when the two depletion regions merge and $x_p = x'_p$. The punch-through voltage (V_{PT}) is derived from (2) by introducing the x'_p value obtained in (3).

$$\begin{aligned} V_{PT} = \frac{q}{2\epsilon_{si}} \left[\left(\frac{N_b \lambda \sqrt{\pi}}{2\sqrt{N_c}} \operatorname{erf} \left(\frac{x'_p}{\lambda} \right) + \frac{N_{epi}}{\sqrt{N_c}} x'_p \right)^2 + N_{epi} x_p'^2 + N_b \lambda^2 \left(1 - \exp \left(-\frac{x_p'^2}{\lambda^2} \right) \right) \right] - V_{bi} \end{aligned} \quad (4)$$

From the quasi-analytical solution of (3), plotted in Fig. 4, we conclude that there exist a linear relation between x'_p and the effective base width (D_{eff}), except for D_{eff} values short enough to lead the x'_p value inside the P⁺-buffer; i.e., when $x'_p < D_b$. In this sense, an analytical solution of (3) yielding a linear relation between x'_p and D_{eff} has been derived by assuming

$$\begin{aligned} \operatorname{erf} \left(\frac{x'_p}{\lambda} \right) \approx 1, \quad \operatorname{erf} \left(\frac{D_{eff}}{\lambda} \right) \approx 1, \\ \exp \left(-\frac{x_p'^2}{\lambda^2} \right) \approx 0, \quad \exp \left(-\frac{D_{eff}^2}{\lambda^2} \right) \approx 0 \end{aligned} \quad (5)$$

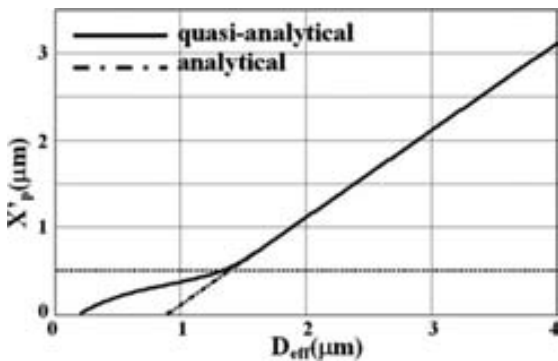


Fig. 4. x'_p versus D_{eff} for $D_b = 0.5$, $N_b = 2.37 \times 10^{16} \text{ cm}^{-3}$ and $N_{epi} = 10^{15} \text{ cm}^{-3}$.

$$x'_p = D_{eff} - \sqrt{\frac{2\epsilon_{si} V_{bi}}{q \left(\frac{N_{epi}^2}{N_c} - N_{epi} \right)}} \quad (6)$$

The punch-through voltage, in this case, is finally obtained by substituting (6) into (4) and performing the necessary simplifications

$$\begin{aligned} V_{PT} = \frac{q}{2\epsilon_{si}} \left[\left(A + \frac{N_{epi}}{\sqrt{N_c}} \left(D_{eff} - \sqrt{\frac{2\epsilon_{si} V_{bi}}{qB}} \right) \right)^2 + N_{epi} \left(D_{eff} - \sqrt{\frac{2\epsilon_{si} V_{bi}}{qB}} \right)^2 + N_b \lambda^2 \right] - V_{bi} \end{aligned} \quad (7)$$

where $A = N_b \cdot \lambda \cdot (\pi/4N_c)^{1/2}$, and $B = (N_{epi}^2/N_c) - N_{epi}$.

The breakdown voltage related with the punch-through effect, in the case of $x'_p > D_b$, is directly extracted from the closed form (7). The dependence of the V_{PT} value of a four-layer TVS structure on the effective base width is shown in Fig. 5. The comparison between the V_{PT} values obtained from the analytical and quasi-analytical forms (4) and (7) is provided for $D_b = 0.5 \mu\text{m}$, $N_b = 2.37 \times 10^{16} \text{ cm}^{-3}$ and $N_{epi} = 10^{15} \text{ cm}^{-3}$ as fixed parameters.

Significant divergence between analytical and quasi-analytical calculation of V_{PT} can be inferred from Fig. 5 for $D_{eff} < 1.5 \mu\text{m}$. On the contrary, a good match is achieved at larger D_{eff} values, corresponding to the $x'_p > D_b$ case. As a consequence, the use of the quasi-analytical solution is mandatory when dealing with four-layer TVS structures with very low breakdown voltage capability. On the other hand, the analytical approach greatly simplifies the study of structures with $V_{PT} > 1 \text{ V}$.

The breakdown mechanism of a three-layer TVS structure, also based on the punch-through phenomenon, has intensively been analyzed in previous works [8,11]. The punch-through voltage of the three-layer TVS structures is given by

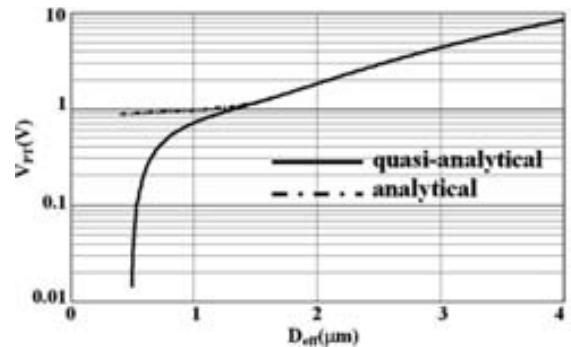


Fig. 5. V_{PT} versus D_{eff} for $D_b = 0.5 \mu\text{m}$, $N_b = 2.37 \times 10^{16} \text{ cm}^{-3}$ and $N_{epi} = 10^{15} \text{ cm}^{-3}$.

$$V_{PT} = \frac{qN_b}{2\epsilon_{si}} - W \sqrt{\frac{2qN_b V_{bi}}{\epsilon_{si}}} \quad (8)$$

where N_b and W are the base doping and thickness, respectively. The three-layer TVS structure can be considered as a particular case of the four-layer TVS structure when the P^+ buffer is not included ($\lambda \rightarrow 0$). Then, (4) becomes

$$V_{PT} = \frac{qN_b D_{eff}^2}{2\epsilon_{si}} - D_{eff} \sqrt{\frac{2qN_{epi} V_{bi}}{\epsilon_{si}}} \quad (9)$$

Likewise, if the P^+ buffer thickness is large enough to consider a constant base doping concentration $N_b + N_{epi}$ ($\lambda \rightarrow \infty$), the following limits can be applied:

$$\lim_{x \rightarrow \infty} x \cdot \operatorname{erf}\left(\frac{a}{x}\right) = \frac{2a}{\sqrt{\pi}} \quad (10)$$

$$\lim_{x \rightarrow \infty} x^2 \left(1 - \exp\left(-\frac{a^2}{x^2}\right)\right) = a^2$$

and (4) is finally expressed as

$$V_{PT} = \frac{q(N_b + N_{epi}) D_{eff}^2}{2\epsilon_{si}} - D_{eff} \sqrt{\frac{2q(N_b + N_{epi}) V_{bi}}{\epsilon_{si}}} \quad (11)$$

As stated before, the V_{PT} value of a four-layer TVS structures with thick enough P^+ -buffer is expressed identically as in the case of the three-layer TVS counterparts. Hence, we can conclude that the developed model (4) also accounts for the solution at the three-layer TVS case (11).

3. Experimental results

A first validation of the proposed punch-through model was done on commercial four-layer TVS devices from SEMTECH Corp. The implemented N_b , N_c and D_{eff} values and the corresponding punch-through voltages were extracted from [13]. The D_b value was estimated according to the simulation results of the described fabrication process technology. The model fits the experimental data as inferred from Fig. 6, for N_b values ranging from 2 to $12 \times 10^{16} \text{ cm}^{-3}$, leading to V_{PT} values from 0.6 to 4.2 V, depending on the N_c , D_{eff} values. The P^+ buffer amplitude is a fixed parameter in all the reported devices (0.4 m), value large enough to use the reported model.

A second validation of the model was performed on four-layer TVS diodes fabricated at FAGOR Electronica S. Coop. The impurity profiles of TVS diodes with V_{PT} values ranging from 1 to 3 V were optimized with the aid of the proposed model. The simulation results [14] of the TVS optimization work are shown in Fig. 7. The model fits the simulation results in the whole range of practical V_{PT} values.

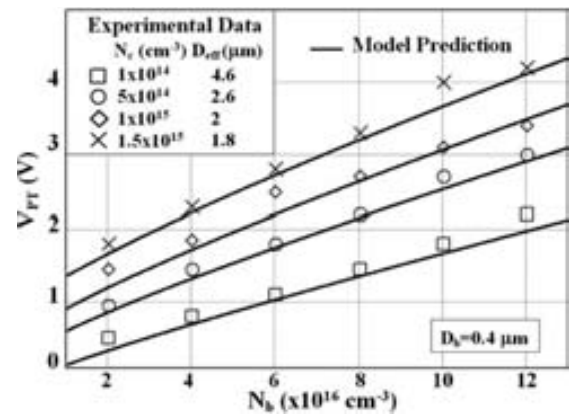


Fig. 6. Comparison between SEMTECH TVS devices and the proposed model. Technological parameters extracted from [15].

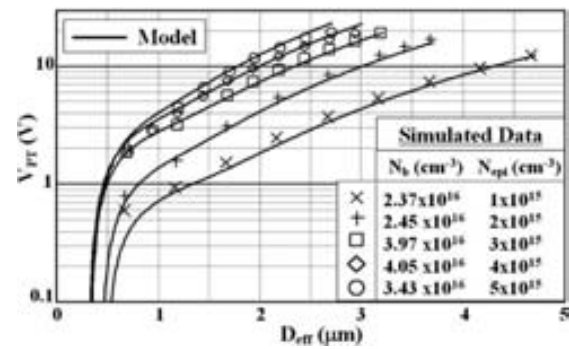


Fig. 7. Variation of the V_{PT} with D_{eff} for $D_b = 0.5 \mu\text{m}$.

Devices with an active area of 2.25 mm^2 were integrated on $10 \text{ m}\Omega \text{ cm}$ $(111)N^+$ silicon substrates with epilayer doping concentrations of 10^{15} and $5 \times 10^{15} \text{ cm}^{-3}$. A boron/phosphorous implantation was used to define the P^+ -buffer and the N^+ -collector. Three boron implantation doses were used to fabricate TVS diodes with different N_b and D_b values. The whole fabrication process and the final metallization, packaging and reliability characterization, including protection standards, were carried out at FAGOR.

The experimental $I(V)$ characteristics of a FAGOR TVS diode with $V_{PT} = 1.2 \text{ V}$ and a leakage current of $1 \mu\text{A}$ is shown in Fig. 8. The experimental variation of the punch-through voltage with the P^+ -buffer implantation dose can be seen in Fig. 9, the leakage current being lower than $1 \mu\text{A}$ in all the fabricated TVS diodes. The agreement between the experimental and theoretical breakdown voltage can be also inferred from Fig. 9. The simulation results correspond to the technological values obtained with the aid of the reported model. As expected, the simulation leakage current is lower than the experimental value, particularly close to the punch-through voltage.

Three-layer TVS diodes were also fabricated and compared with four-layer counterparts. The sensitivity

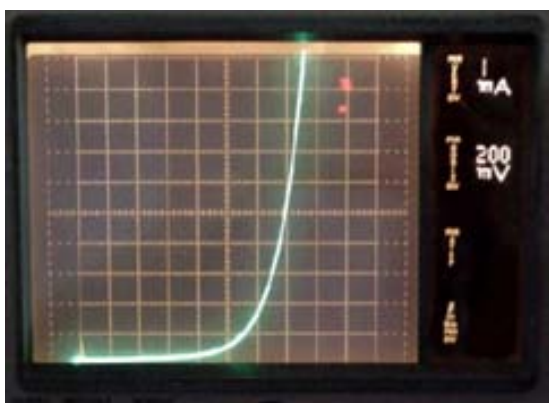


Fig. 8. Experimental $I(V)$ characteristics for $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$.

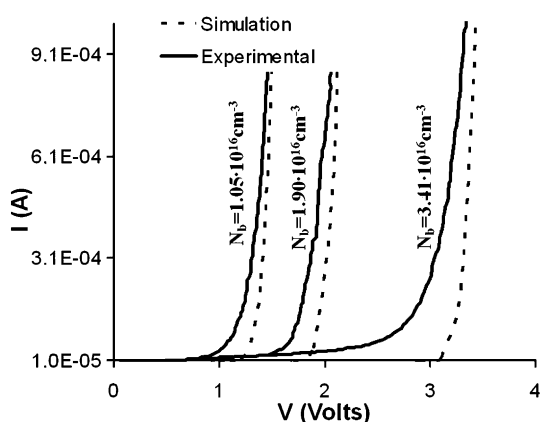


Fig. 9. Experimental $I(V)$ for different boron implantation doses characteristics for $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$.

of the V_{PT} value with geometrical and technological parameters is much higher than in the four-layer case due to the absence of the P^+ -buffer layer.

4. Conclusion

Theoretical model for the punch-through breakdown voltage calculation of four-layer $N^+P^+PN^+$ TVS diodes for low voltage ICs protection ($<3 \text{ V}$) is reported in this paper. The derived quasi-analytical formulation accounts for breakdown voltage values lower than 1 V , and provides an analytical solution for higher breakdown voltages. In addition, the formulation also accounts for the three-layer TVS breakdown voltage description since this structure can be considered as a particular case of the four-layer TVS analysis. The

model has been validated with reported results from SEMTECH TVS diodes and with devices fabricated at FAGOR Electronica S. Coop. A good agreement among simulation, proposed model and experimental results is achieved.

Acknowledgements

This work was supported by the Comisión Interministerial de Ciencia y Tecnología (CICYT) under Grant TIC2002-02564 and by the Generalitat de Catalunya (CIRIT) under Grant SGR2001-00359.

References

- [1] Voldman SH. A review of electrostatic discharge (ESD) in advanced semiconductor technology. *Microelectron Reliab* 2004;44:33–46.
- [2] Notermans G, Kuper F, Luchies JM. Using an SCR as ESD protection without latch-up danger. *Microelectron Reliab* 1997;37:1450–7.
- [3] Clark OM. Transient voltage suppressor types and application. *IEEE Trans Electron Dev* 1990;ED-37:20–6.
- [4] TVS product catalog, SEMTECH Corporation, Camarillo, CA, 1994.
- [5] Goodenough F. Novel diode protects low-voltage lines from ESD. *Electron Des* 1995;13:15–64.
- [6] King YC, Yu B, Pohlman J, Hu C. Punchthrough diode as the transient voltage suppressor for low-voltage electronics. *IEEE Trans Electron Dev* 1996;ED-43:2037–40.
- [7] King YC, Yu B, Pohlman J, Hu C. Punchthrough transient voltage suppressor for low-voltage electronics. *IEEE Electron Dev Lett* 1995;EDL-16:303–5.
- [8] Urresti J, Hidalgo S, Flores D, Roig J, Rebollo J, Mazarredo I. Optimization of very low voltage TVS protection devices. *Microelectron J* 2003;34:809–13.
- [9] Van Dalen R, Hurkx GAM, in't Zandt MAA, Hijzen EA, Weijts PJW, den Dekker A. Using thin emitters to control BV_{ce0} effects in punch-through diodes for ESD protection. *J Electrostat* 2002;56: 311–26.
- [10] de Cogan D. The punchthrough diode. *Microelectronics* 1977;8: 20–3.
- [11] Lohstroh L, Koomen JJM, Van Zanten AT, Salters RHW. Punch-through currents in P^+NP^+ and N^+PN^+ sandwich structures-I: introduction and calculations. *Solid-State Electron* 1981;24:805–14.
- [12] Pimbley JM. Depletion approximation analysis of an exponential graded semiconductor p–n junction. *IEEE Trans Electron Dev* 1998;ED-35:1957–62.
- [13] Yu B, Hu C, King YC, Pohlman JT, Trivedi R. Low voltage punch-through transient voltage suppressors employing a dual-base structure, US Patent 5,880,511, March 9, 1999.
- [14] Athena and Atlas, from Silvaco TCAD Software.



ELSEVIER

Available online at www.sciencedirect.com

SCIENCE @ DIRECT®

Microelectronics Reliability 45 (2005) 1181–1186

MICROELECTRONICS
RELIABILITY

www.elsevier.com/locate/microrel

Lateral punch-through TVS devices for on-chip protection in low-voltage applications

J. Urresti, S. Hidalgo, D. Flores^{*}, J. Roig, I. Cortés, J. Rebollo

Centro Nacional de Microelectrónica (IMB-CNM-CSIC), Campus de la UAB, Bellaterra, 08193 Barcelona, Spain

Received 28 June 2004; received in revised form 15 September 2004

Available online 29 December 2004

Abstract

A novel lateral punch-through TVS (Transient Voltage Suppressor) structure addressed to on-chip protection in very low voltage applications is reported in this paper. Different lateral TVS structures have been studied in order to optimize the electrical performances related with the surge protection capability. Lateral TVS structures with a four-layer doping profile exhibit the best electrical performances, as in the case of vertical TVS devices. The dependence of the basic electrical characteristics on the technological and geometrical parameters is also analysed. Finally, the electrical performances of lateral TVS structures are compared with those of vertical punch-through TVS devices and conventional Zener diodes, being the leakage current level reduced two orders of magnitude in the case of the lateral architecture. Lateral TVS structures exhibits similar performance than vertical counterparts with the advantage of easiest on-chip integration.

© 2004 Elsevier Ltd. All rights reserved.

1. Introduction

The continuous reduction of the size and operating voltage in VLSI circuits increases the probability of being destroyed by an ESD (Electro-Static Discharge) event. As it is well known, in very low voltage applications, i.e. less than 5 V, Zener diodes do not provide the required protection capability. This is mainly due to the significant increase of the leakage current level [1] when the Zener breakdown voltage is reduced. Punch-through devices are a good alternative to Zener diodes for low voltage protection [2,3] in very low volt-

age applications due to the much lower leakage current levels, and the inherent reduction of the power consumption, in comparison with the equivalent Zener device.

The punch-through TVS structure is based on NPN or PNP open-base bipolar transistors. The punch-through effect takes place when the two existent depletion regions of the PN junctions touch each other. Beyond this point, a small increase of the applied bias reduces the emitter-base potential barrier and the electrons diffused from the emitter can be driven towards the collector. The decrease of the leakage current and the parasitic capacitance levels in punch-through TVS structures has been proven in previous works [3,4]. Moreover, punch-through based TVS structures can be implemented as conventional three-layer architecture or by adding a buffer to reduce the sensitivity of the basic electrical parameters with process technology related events. Therefore, four-layer TVS structures

^{*} Corresponding author. Tel.: +34 93 594 7700x1303; fax: +34 93 580 1496.

E-mail addresses: jesus.urresti@cnm.es (J. Urresti), david.flores@cnm.es (D. Flores).

exhibit the highest protection performance in very low voltage applications.

Up to now, commercially available punch-through TVS devices are implemented in a vertical architecture and packaged as single die. Although the surge protection capability of vertical TVS devices is higher than that of the Zener counterparts, it would be of great interest to integrate these devices together with the circuitry to be protected on a single chip in smart power technologies on Bulk or SOI (Silicon-on-Insulator) substrates. As a consequence, with the monolithic integration of the protection devices within the IC systems, the packaging costs and the parasitic connections will be further reduced. Moreover, the protection capability of lateral TVS devices will be even higher than that exhibit by discrete vertical TVS devices since they can be placed closer to the circuitry to be protected. Finally, the process technology for the fabrication of lateral TVS devices is fully compatible with a standard CMOS technology.

2. Device description

The cross-section of a lateral four-layer punch-through TVS device implemented in Bulk technology is shown in Fig. 1. The lateral TVS consists of an $N^+P^+PN^+$ open base bipolar transistor integrated on a N^+ or P^+ type substrates with a P-type epilayer, the doping concentration of the collector, emitter and substrate is the range of $1e19\text{ cm}^{-3}$. Three and four layer TVS structures were analysed by means of numerical simulations carried out with Athena and Atlas CAD software [5] using cylindrical coordinates with W_c and W_e (collector and emitter width) of $20\text{ }\mu\text{m}$. The sensitivity of the breakdown voltage value with possible variations of the effective base width (W_{eff} , the distance between the junctions) is significantly lower in four-layer in comparison with the three-layer counterparts, as it will be dem-

onstrated in the last section. According to these benefits, the four-layer lateral TVS structure is the best candidate for the integration of a protection device in lateral architectures.

Three different lateral TVS structures have been simulated, two of them in a three-layer configuration and one in a four-layer configuration. Type ‘‘a’’ and ‘‘b’’ structures are plotted in Fig. 2. The three-layer TVS type ‘‘a’’ structure is implemented on a highly doped P-type epilayer, the base of the N^+PN^+ bipolar transistor, with a uniform concentration of $1e17\text{ cm}^{-3}$ to achieve low clamping voltage values (voltage at peak surge current [3]). This structure is the simplest punch-through TVS

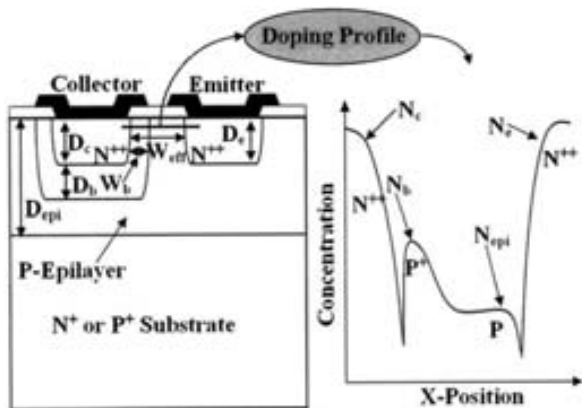


Fig. 1. Cross-section of the type ‘‘c’’ lateral four-layer TVS structure.

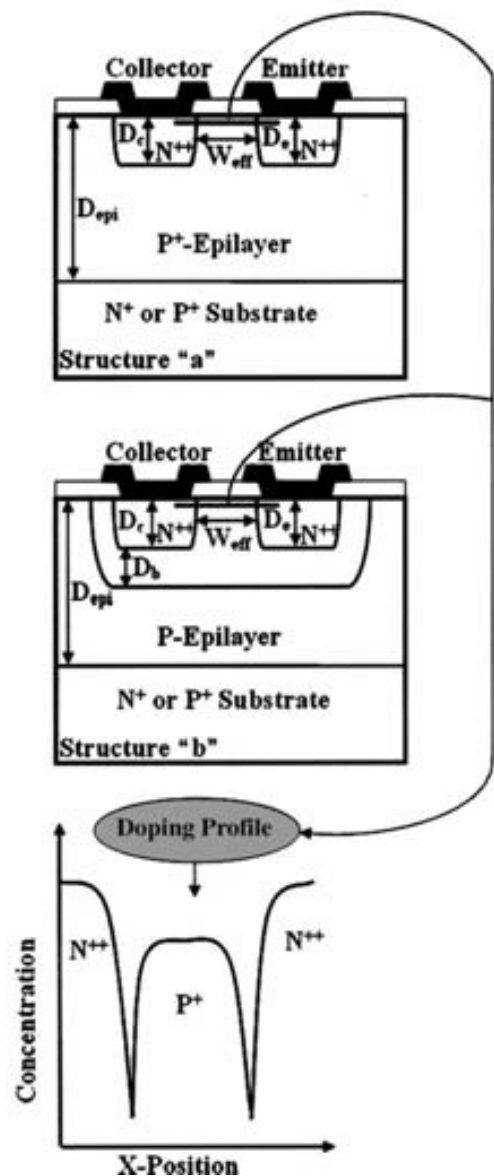


Fig. 2. Architecture of type ‘‘a’’ and ‘‘b’’ three-layer TVS structures, including the superficial doping concentration profile.

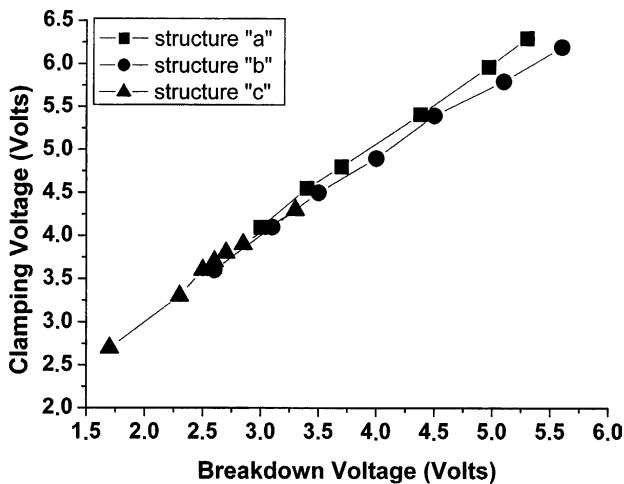


Fig. 3. Clamping voltage versus breakdown voltage in the three structures under study.

concept and it is used as a reference for the comparison with the other two simulated TVS structures. Usually, the doping concentration of the P-type substrates in conventional CMOS technologies is lower than $1e17 \text{ cm}^{-3}$. Hence, basic structures with epilayer doping concentrations in the range of $1e15 \text{ cm}^{-3}$ have also been simulated. However, with high epilayer resistivity very low clamping voltage values cannot be achieved. The type “b” structure, also plotted in Fig. 2, is a three-layer TVS concept adding a deep P-type diffusion with a peak concentration in the range of $1e17 \text{ cm}^{-3}$, maintaining a high resistivity epilayer. As a consequence, the structure is compatible with a CMOS standard P-type substrates and very low clamping voltage can now be easily achieved. Finally, the doping concentration close to the surface of type “a” and “b” structures is almost identical as shown in Fig. 2.

The four-layer TVS structure (named as type “c”) corresponds to the cross-section drawn in Fig. 1 with a low doped P-type epilayer ($1e15 \text{ cm}^{-3}$) and a deep P⁺-buffer under the collector electrode with a peak doping concentration of $5e16 \text{ cm}^{-3}$. The doping concentrations of the different diffusions in each structure type have been chosen to obtain equal clamping voltage values to provide a realistic comparison of the protection capability of all the analysed lateral TVS structures. The almost identical relation with the clamping and breakdown voltage values in the three simulated structures is shown in Fig. 3.

3. Analysis of lateral TVS structures

As stated before, the dependence of the breakdown voltage on the effective base width (W_{eff}) plotted in Fig. 4 reveals that type “a” and “b” structures exhibit higher sensitivity of the breakdown voltage with W_{eff}

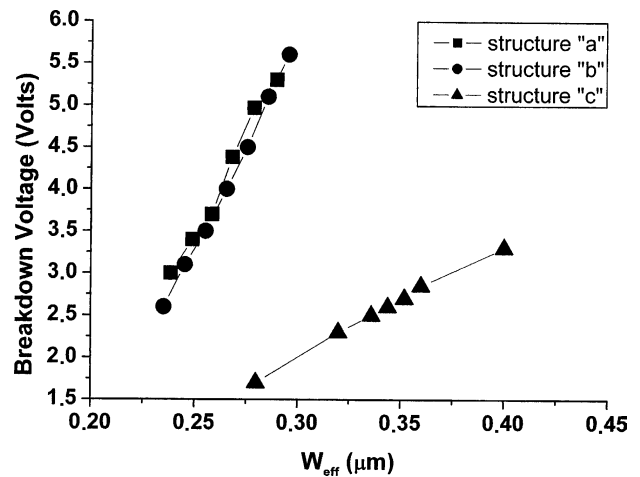


Fig. 4. Variation of the breakdown voltage with the effective base width in the three structures under study.

than that observed in the four-layer TVS structure. Moreover, it can be inferred from Fig. 4 that type “c” structures can reach smaller breakdown voltage values (given at $1e-10 \text{ A}$) with higher W_{eff} values than those obtained in three-layer ones (type “a” and “b”) with similar clamping voltage (measured at $1e-5 \text{ A}$) values and leakage current levels (I_L), as reported in the last section of this paper.

The influence of the main geometrical and technological parameters of the four-layer lateral TVS structure on the breakdown voltage and the leakage current (I_L) level has been analysed. The performed simulations show a similar electrical behaviour than that obtained in the equivalent four-layer vertical TVS structures [4]. The breakdown voltage increases with W_{eff} , exhibiting a quadratic dependence with this parameter, as derived from Fig. 5. However, any significant influence of the W_{eff} on the leakage current has been observed. Nevertheless, at a given W_{eff} value, the simulation results show

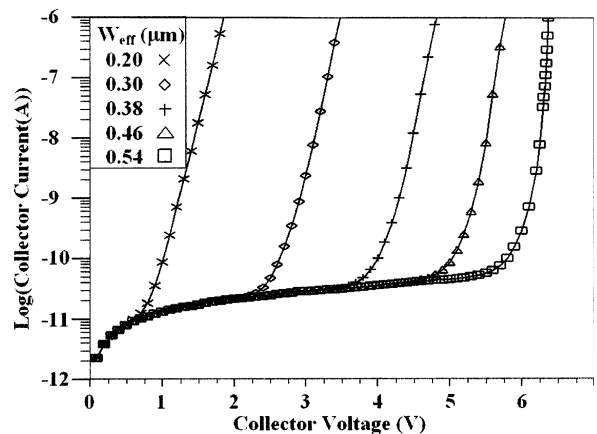


Fig. 5. $I_c(V_c)$ characteristics. $N_{\text{epi}} = 1e15 \text{ cm}^{-3}$, $N_b = 6.7e16 \text{ cm}^{-3}$.

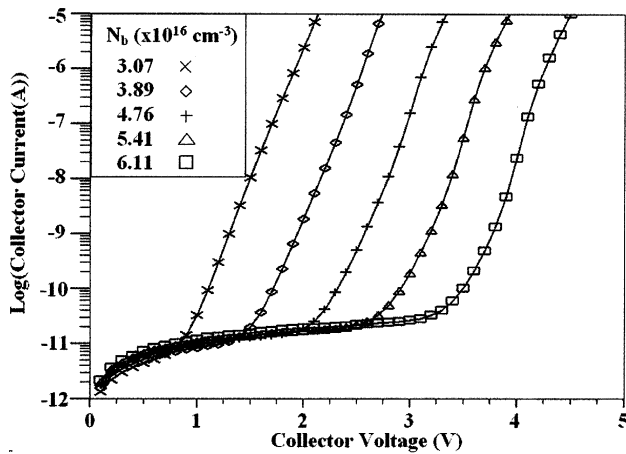


Fig. 6. $I_c(V_c)$ characteristics. $N_{epi} = 1e15 \text{ cm}^{-3}$, $W_{eff} = 0.36 \mu\text{m}$.

a slight leakage current decrease and a breakdown voltage increase when the doping concentration of the P-type epilayer is increased. Finally, of the punch-through voltage is less sensible with the effective width of the epilayer when reducing the doping concentration of the selected epilayer. The dependence of the breakdown voltage with the peak concentration of the P⁺-buffer is plotted in Fig. 6. As expected from the results obtained in the vertical four-layer TVS devices, an increase of the breakdown voltage with the concentration peak of the buffer can be inferred from this figure.

The clamping voltage in type “c” structures can be controlled with the peak doping concentration of the P⁺-buffer, in a similar way than in the case of vertical TVS devices. A reduction of the clamping voltage when N_b increases has been observed. Moreover, the breakdown voltage increases and the leakage current level do not exhibit a significant variation when N_b increases. The influence of the collector diffusion width (W_c) on the leakage current level is plotted in Fig. 7. From this figure, a quadratic dependence of the leakage current on the W_c value can be inferred.

The strong dependence of the leakage current on the collector diffusion width can be explained according to

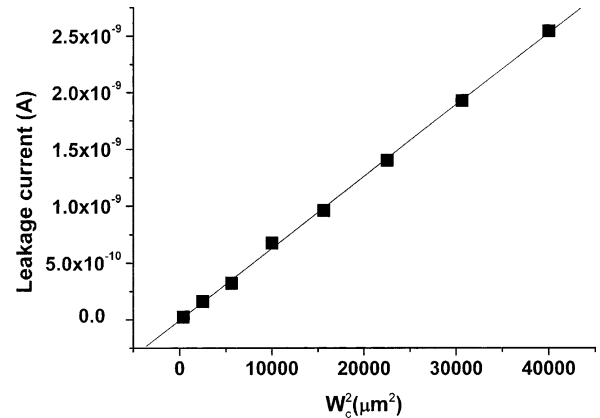


Fig. 7. $I_L(W_c^2)$, $N_{epi} = 4.8e15 \text{ cm}^{-3}$, $W_b = 0.5 \mu\text{m}$, $W_{eff} = 1.4 \mu\text{m}$.

the current flowlines plotted in Fig. 8. The leakage current flows through different paths before and after the punch-through breakdown. Before the breakdown takes place, the current path is mainly vertical through the collector N⁺P⁺ junction down to the P-type epilayer. Once the punch-through is reached, the current flows laterally close to the Silicon surface through the low resistance path created along the depleted region and the low potential wall.

We have observed that the breakdown voltage values obtained in lateral TVS devices are higher than those corresponding to the vertical counterparts when equal doping profiles are implemented. Assuming that the punch-through breakdown takes place when the two depletion regions merge, identical breakdown voltage values should be expected. The observed discrepancy can be attributed to the different shape of the PN junctions. In the case of vertical TVS structures, PN junctions are almost one-dimensional, leading to a punch-through breakdown starting at the same time in the entire region below the collector-base junction. On the contrary, the punch-through breakdown takes place in the curvature of the N⁺P junctions in lateral TVS structures [6]. As it can be inferred from Fig. 9, the depletion regions start merging near the Silicon surface

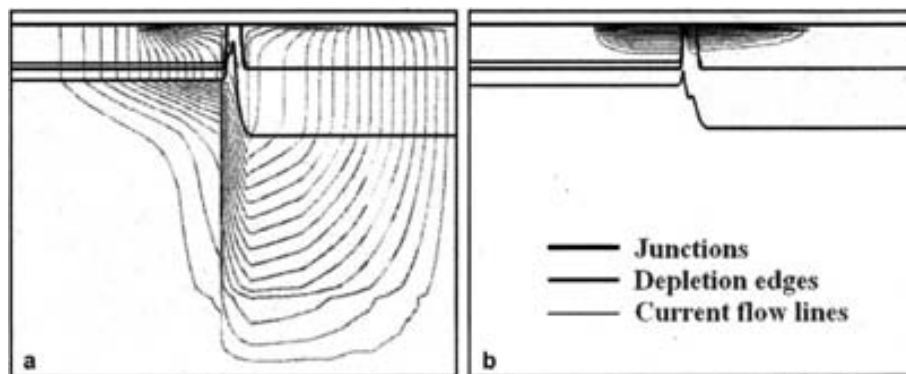


Fig. 8. Current flow lines, (a) before breakdown, (b) after breakdown.

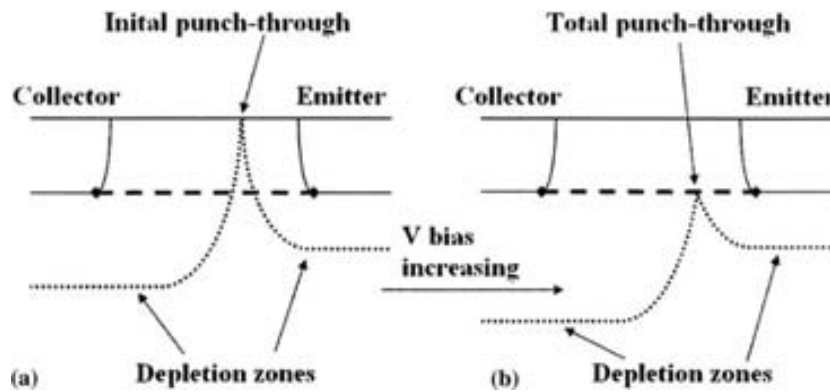


Fig. 9. Initial (a) and total (b) punch-through effect in lateral TVS architectures.

(initial punch-through) in lateral TVS structures. Later on, the punch-through spreads into the Silicon volume.

The punch-through breakdown starts when the depth of the punch-through region is close to the depth of the collector and emitter N^+ diffusion (total punch-through). As a consequence, the breakdown voltage of lateral TVS structures is slightly higher than that obtained in vertical TVS structures. Therefore, identical voltage capability can be achieved in both vertical and lateral TVS structures if the base width is properly reduced in the lateral TVS architecture.

Two new geometrical parameters have to be taken into account when optimising a four-layer lateral TVS structure: the nature of substrate doping impurities and the P-type epilayer thickness (D_{epi}). The substrate type is usually fixed by the circuitry to be protected since the TVS will be integrated within the same chip. Breakdown voltage values of a four-layer lateral TVS structure integrated in N and P substrates are plotted in Fig. 10. As it can be observed, the breakdown voltage value is not significantly modified in the case of P-type

substrates. However, in the case of N-type substrates with an epitaxial layer thin enough, the breakdown voltage value is strongly reduced. The reason is the existence of a vertical breakdown; a PN junction is created by the N-type substrate and the P-type epilayer and, as a consequence, a parasitic NPPN vertical structure that can eventually breakdown before the punch-through of the lateral junction. This parasitic breakdown has to be taken into account when designing lateral punch-through TVS structures integrated on N-type substrates.

In order to compare the $I(V)$ characteristics of all the analysed structures, both in lateral and vertical architectures (three and four layer TVS and Zener structures) with a breakdown voltage values in the range of 2 V, numerical simulations have been carried out. The electrical characteristics of all the simulated structures are plotted in Fig. 11. The optimised lateral four-layer TVS structure exhibits better electrical performance than that of the equivalent Zener diode, either vertical

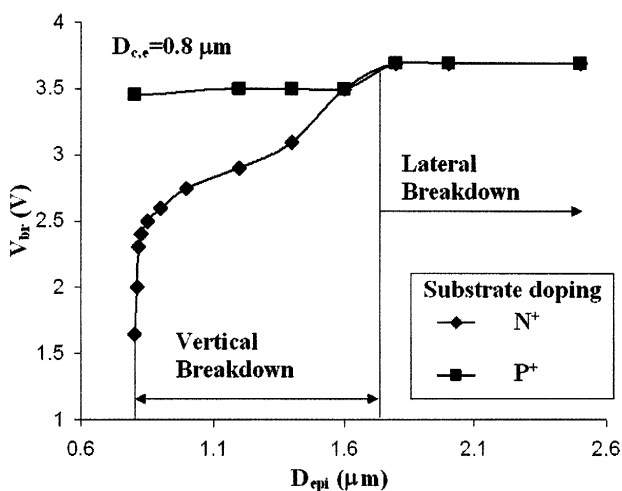


Fig. 10. V_{br} versus D_{epi} . $N_b = 2.81e16 \text{ cm}^{-3}$, $W_{eff} = 1.16 \text{ } \mu\text{m}$, $N_{epi} = 1e15 \text{ cm}^{-3}$.

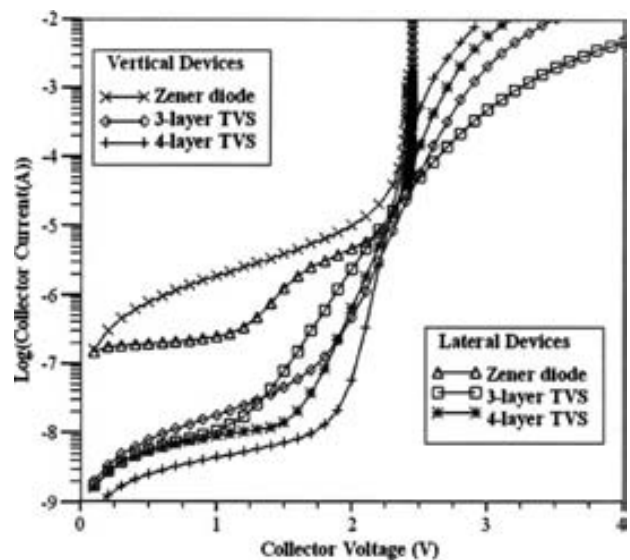


Fig. 11. Comparison between vertical and lateral TVS devices and Zener diodes.

or lateral, thus improving the leakage current level three orders of magnitude. Moreover, after the punch-through breakdown the on-resistance is higher in any of the simulated punch-through TVS structures, compared to that of the Zener counterparts, basically due to the different breakdown mechanism. As a conclusion, the electrical performances of lateral four-layer TVS structures are comparable to those of the vertical TVS counterparts, with a slight degradation of the leakage current level and the clamping voltage. Therefore, the protection capability of the lateral TVS architecture will be almost the same than that already checked in vertical TVS diodes.

Finally, optimised lateral punch-through TVS structures inherently force the reduction of the W_{eff} value to the submicron range in order to obtain the required very low breakdown voltages values. Hence, implantation and anneal steps have to be carefully characterised when these devices are fabricated in a CMOS process line in order to avoid undesired fluctuations of the relevant electrical parameters.

4. Conclusions

A lateral four-layer TVS structure addressed to on-chip protection in low voltage applications is presented in this work. The lower sensitivity of the breakdown voltage value in the four-layer structure with the possible fluctuations of W_{eff} parameter is explained. The dependence of the punch-through voltage and the leak-

age current on the main geometrical and technological parameters is also provided. A comparison of electrical performances of vertical and lateral Zener diodes, three-layer and four-layer TVS structures is shown, proving the protection capability of the new lateral architecture for on-chip protection purposes.

Acknowledgments

This work was supported by the Comisión Interministerial de Ciencia y Tecnología (CICYT) under Grant TIC2002-02564 and by the Generalitat de Catalunya (CIRIT) under Grant SGR2001-00359.

References

- [1] de Cogan D. The punchthrough diode. *Microelectronics* 1997;8(2):20–3.
- [2] King Y, Yu B, Pohlman J, Hu C. Punchthrough transient voltage suppressor for low-voltage electronics. *IEEE Electron Dev Lett* 1995;16(7):303–5.
- [3] King Y, Yu B, Pohlman J, Hu C. Punchthrough diode as the transient voltage suppressor for low voltage electronics. *IEEE Trans Electron Dev* 1996;43(11):2037–40.
- [4] Urresti J, Hidalgo S, Flores D, Roig J, Rebollo J, Mazarredo I. Optimisation of very low voltage TVS protection devices. *Microelectron J* 2003;34(9):809–13.
- [5] Athena and Atlas, from Silvaco TCAD Software.
- [6] Baliga BJ. *Modern power devices*. John Wiley & sons; 1987.

Bibliografía

- [1] T. J. Green. “Review of EOS/ESD field failures in military equipment”. *Proceedings of 10th EOS/ESD Symposium*, pp. 17–14, 1988.
- [2] C. Diaz, C. Duvvury, S.M. Kang, and L. Wagner. “Electrical overstress (EOS) power profiles: A guideline to qualify EOS hardness of semiconductor devices”. *Proceedings of 14th EOS/ESD Symposium*, pp. 88–94, 1992.
- [3] Surge Control Products. “TVSs, Filtering and Protection. Introduction”. *Circuits Components, Inc.*, 2000.
- [4] F. Martzloff. “Protecting computer systems against power transients”. *IEEE Spectrum*, pp 37–40, April 1990.
- [5] http://science.nasa.gov/headlines/y2000/essd08mar_1.htm.
- [6] Electrostatic Discharge Association homepage, <http://www.esda.org>.
- [7] J. E. Vison and J. J. Liou. “Electrostatic Discharge in semiconductor Devices: An Overview”. *Proceedings of the IEEE*, Vol. 86, pp. 20–23, 1998.
- [8] Surge Control Products. “TVSs, Filtering and Protection. Application Guidelines”. *Circuits Components, Inc.*, 2000.
- [9] D. de Cogan. “Punch-through diode”. *Microelectronics*, Vol. 8 (No. 2), pp. 20–23, 1977.
- [10] Y.C. King, B. Yu, J. Pohlman, and C. Hu. “Punchthrough Diode as the Transient Voltage Suppressor for Low-Voltage Electronics”. *IEEE Transactions on Electron Devices*, Vol. 43 (No. 11), pp. 2037–2040, 1996.
- [11] P. J. Kannam. “Design Concepts on High Energy Punchthrough Structures”. *IEEE Transactions On Electron Devices*, Vol. 23 (No. 8), pp. 879–882, 1976.

- [12] J. H. King and J. Philips. “Power absorption capability of punch-through devices”. *Proceedings of the IEEE*, pp. 1361–1365, 1967.
- [13] G. W. Neudeck. *El transistor bipolar de unión*. Addison-Wesley Iberoamericana, 2^a edición, 1994.
- [14] R. S. C. Cobbold and F.N. Trofimenkoff. “Breakdown phenomena in double-gate field-effect transistors”. *Proceedings of the IEEE*, pp. 1375–1377, 1964.
- [15] R. Swanson and J. D. Meindl. “Fundamental performance limits of MOS integrated circuits”. *ISSCC Digest of Technical Papers*, pp. 110–111, 1975.
- [16] T. Nakamura, M. Yamamoto, H. Ishikawa, and M. Shinoda. “Submicron channel MOSFET’s logic under punchthrough”. *IEEE Journal of Solid-State Circuits*, Vol. 13 (No. 5), pp. 572–577, 1978.
- [17] S. M. Sze. *Physics of Semiconductor Devices*. Wesley-Interscience, 2nd edition, 1981.
- [18] J. Lohstroh, J. J. M. Koomen, A. T. Van Zanten, and R. H. W. Salters. “Punch-Through currents in P+NP+ and N+PN+ sandwich structures-I”. *Solid-State Electronics*, Vol. 24 (No. 9), pp. 805–814, 1981.
- [19] Athena and Atlas, from Silvaco TCAD Software.
- [20] R. S. Muller and T. I. Kamins. *Electrónica de los dispositivos para circuitos integrados*. Editorial Limusa S. A., 1^a edición, 1982.
- [21] J. Millán, S. Hidalgo, D. Flores, M. Bellvehi, and J. Rebollo. “Desarrollo de Dispositivos Semiconductores de Protección tipo TVS para Aplicación en Sistemas Electrónicos”. *Seminario del Programa Nacional de Tecnologías de la información y las Comunicaciones (TEDEA)*, Almagro, Septiembre 2000.
- [22] S. Hidalgo, D. Flores, J. Rebollo, X. Jordà, and P. Godignon. “Advanced Transient Voltage Suppressor (TVS) Devices for Electronic Systems” *Conferencia de Dispositivos Electrónicos CDE’01, Granada*, Febrero 2001.
- [23] F. Goodenough. “Novel diode protects low-voltage lines from ESD”. *Electronic Design*, Vol. 13, October 1995.
- [24] SEMTECH, TVS product catalog, 1994.

- [25] www.protekdevices.com.
- [26] R. van Dalen, M.A.A. in 't Zant, E.A. Hijzen, P.J.W. Weijs, and A. den Dekker. "Using thin emitters to control BV_{ce0} effects in punch-through diodes for ESD protection". *Journal of Electrostatics*, Vol. 56 (No. 3), pp. 311–326, October 2002.
- [27] J. Urresti, S. Hidalgo, D. Flores, J. Roig, J. Rebollo, and I. Mazarredo. "Optimisation of very low voltage TVS protection devices". *Microelectronics Journal*, Vol. 39 (No. 9), pp. 809–813, 2003.
- [28] B. Yu, Y.C. King, J. Pohlman, and C. Hu. "Punchthrough Transient Voltage Suppressor for EOS/ESD Protection of Low-Voltage IC's". *EOS/ESD Symposium*, 1995.
- [29] B. J. Baliga. *Modern Power Devices*. John Wiley & Sons, Inc., 1987.
- [30] S. M. Sze. *VLSI Technology*. McGraw-Hill Series in Electrical Engineering, 1983.
- [31] J. Urresti, S. Hidalgo, D. Flores, J. Roig, J. Rebollo, and I. Mazarredo. "A quasi-analytical breakdown voltage model in four-layer punch-through TVS devices". *Solid-State Electronics*, Vol. 49 (No. 8), pp. 1309–1313, 2005.
- [32] G. W. Neudeck. "El diodo PN de unión". Addison-Wesley Iberoamericana, 2^a edición, 1994.
- [33] J. Urresti, S. Hidalgo, D. Flores, J. Roig, J. Rebollo, and J. Millán. "Low Voltage TVS Devices: Design and Fabrication". *International Semiconductor Conference CAS'02. Sinaia (Rumania)*, October 2002.
- [34] B. Yu, C. Hu, Y. C. King, J. Pohlman, and R. Trivadi. "Low Voltage punch-through transient voltage suppressors employing a dual-base structure". *US Patent 5,880,511*, 1999.
- [35] J. Urresti, S. Hidalgo, D. Flores, J. Roig, J. Rebollo, and J. Millán. "Advanced Transient Voltage Suppressors (TVS). Design and fabrication for low voltage applications". *Conferencia de Dispositivos Electrónicos CDE'03. (Calella de la Costa)*, Febrero 2003.
- [36] A. S. Grove, O. Leistiko, and W. W. Hooper. "Effect of surface fields on the breakdown voltage of planar p-n junctions". *IEEE Transactions On Electron Devices*, Vol. 14 (No. 13), pp. 157–162, 1967.

-
- [37] J. S. Kilby. “Invention of integrated circuit”. *IEEE Transactions on Electron Devices*, Vol. ED-23 (No. 7), p. 648, Julio 1976.
- [38] Robert Noyce. “Microelectronics”. *Scientific American*, Vol. 23 (No. 3), p. 63, Septiembre 1977.
- [39] G. K. Celler and S. Cristoloveanu. “Frontiers of silicon-on-insulator”. *Journal Of Applied Physics*, Vol. 93 (No. 9), pp. 4955–4978, 2003.
- [40] K. Izumi, M. Doken, and H. Ariyoshi. “CMOS devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon”. *Electronics Letters*, Vol. 14, 1978.
- [41] M. Bruel. “Silicon on insulator material technology”. *Electronics Letters*, Vol. 31 (No. 14), pp. 1201–1202, 1995.
- [42] S. Hidalgo, A. Fauquet, J. Fernández, J. Paredes, F. Berta, J. Rebollo, and J. Millán. “Caracterización tecnológica del transistor VDMOS de puerta de aluminio”. *Nota técnica 15/89 CNM*, 1989.
- [43] J. Paredes. “Estudio del SIPMOS Power FET BUZ41A mediante técnicas de Reverse Engineering”. *Nota técnica 2/87 CNM*, 1987.