

Universitat de Barcelona
Facultat de Física
Departament de Física Aplicada i Electrònica

**DEVELOPPEMENT D'UNE TECHNOLOGIE DE
PUISSANCE INTELLIGENTE CMOS/DMOS
IMMUNE AU "LATCH-UP" BASÉE SUR UN
CONCEPT DE PUIS FLOTTANT**

Manuel PUIG i VIDAL

Memòria presentada per a optar
al grau de doctor en Ciències Físiques

Barcelona, juny de 1993

Chapitre IV

Retombées du Concept de Puits Flottant

Introduction

Nous avons montré dans les deux précédents chapitres qu'un concept de puits flottant associé à une méthodologie de conception définissant des règles de dessin précises permet de protéger une circuiterie CMOS hébergée sur un substrat d'une technologie de puissance intelligente CMOS/DMOS auto-isolée.

Ce concept peut également être mis à profit pour utiliser en toute sécurité le transistor bipolaire vertical parasite de la logique CMOS. Ce transistor parasite a déjà été utilisé dans les technologies VLSI au niveau des buffers de sortie en prenant certaines précautions: distance à la logique suffisante, anneaux de garde...

Nous avons montré dans les chapitres précédents que si ce transistor bipolaire parasite ne s'allumait que sur une durée limitée bien inférieure au temps de régénération de latch-up, les risques d'initialisation du phénomène destructif peuvent être considérés comme nuls. De ce fait, en tenant compte de cette contrainte, il peut être intéressant d'utiliser les bonnes caractéristiques transconductance / surface de silicium du bipolaire dans des circuits où elles sont nécessaires. C'est le cas, par exemple, du circuit de pompage de charges qui nécessite de charger rapidement une capacité de pompage pour ensuite charger la grille d'un interrupteur DMOS en configuration haute [IV.1]: le transistor bipolaire est évidemment le meilleur candidat. Il en est de même au niveau du circuit de décharge de grille, dans cette même configuration haute, où un dispositif de protection pouvant absorber rapidement l'énergie d'une inductance lors de la coupure de l'interrupteur de puissance est indispensable [IV.1].

Dans le chapitre qui va suivre, nous allons nous intéresser au transistor bipolaire vertical lui-même et montrer par l'intermédiaire de deux applications: celle de la détection de température excessive et celle de la photodétection, comment un transistor parasite peut être optimisé et rendu fiable pour jouer un rôle actif dans un circuit de puissance intelligente ou même VLSI.

4.1.- Utilisation du bipolaire vertical parasite de la technologie CMOS

La solution proposée ici et décrite aux chapitres précédents pour résoudre le problème de l'initialisation du latch-up, n'est pas, comme dans le cas de la VLSI, basée sur le fait que l'on "élimine" l'activité électrique du transistor bipolaire vertical parasite.

En effet, dans notre cas, on permet à celui-ci de se manifester, mais on limite son activité autant pour ce qui est de la durée que de l'intensité du courant permis.

Il est alors possible, grâce à un contrôle accru de ce transistor bipolaire parasite, de tirer avantageusement parti de son fonctionnement. Les deux applications discutées ci-après, de détection de température et de la lumière, en sont une bonne illustration. Dans les deux cas, on

utilise un transistor bipolaire vertical parasite autopolarisé soit par les courants thermiques soit par les courants photoniques.

Utiliser un élément parasite en tant que dispositif actif pose le problème de la reproductibilité de ses caractéristiques. Un premier travail que nous avons donc effectué est l'optimisation des paramètres de ce transistor bipolaire parasite grâce à des arrangements topologiques [IV.2] [IV.3].

Contrairement à l'objectif d'une protection d'une logique CMOS contre l'augmentation de la température ou des perturbations extérieures où on cherche à minimiser les courants inverses de jonction introduits, pour répondre aux deux applications précitées, nous allons plutôt chercher à les contrôler et même à les amplifier.

Le principe physique [IV.4] sur lequel est basé ce contrôle du courant inverse de jonction est le suivant (Fig. 4.1):

- Augmentation du courant inverse total grâce à l'introduction d'une grille MOS de contrôle polarisée correctement au dessus de la région collecteur.
- Amplification du courant inverse de jonction grâce à un transistor bipolaire vertical à base flottante, ce courant inverse étant le courant de base.

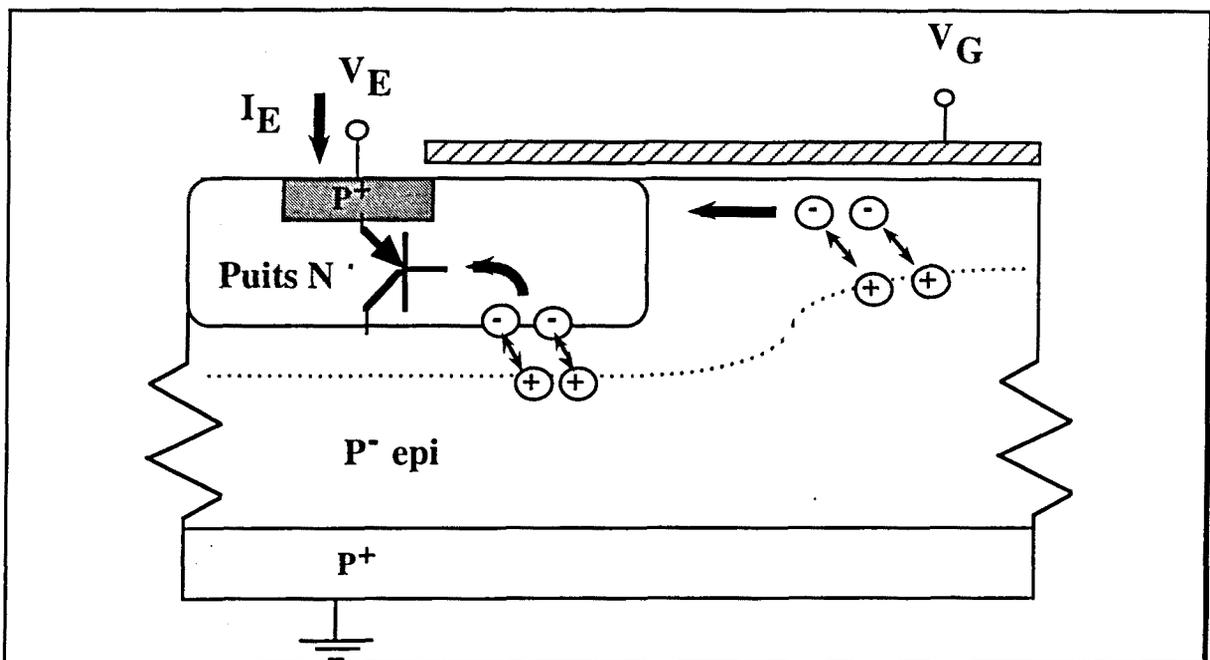


Fig.4.1: Principe physique.

Ces deux applications basées sur le bon contrôle du courant inverse de jonction sont la détection d'une augmentation excessive de la température dans un circuit intégré de puissance grâce aux propriétés de ce courant inverse en fonction de la température [IV.5], et la détection d'un courant photogénéré dans une surface de collecteur libre [IV.6].

4.1.1.- Optimisation des caractéristiques du transistor bipolaire parasite

Le bon fonctionnement des applications décrites ne pourra être garanti que si le transistor bipolaire parasite utilisé possède une valeur de gain maximum et surtout très reproductible sur une gamme de courants la plus étendue possible.

La valeur maximum de gain est obtenue lorsque le transistor travaille dans la zone active de plateau de gain correspondant à une région de valeur de gain maximum et constante [IV.7][IV.8]. La gamme de courants de base où le gain augmente progressivement jusqu'à la zone active du transistor correspond à la région de faible polarisation du transistor, et la gamme de courants de base où le gain diminue correspond à la région de quasi-saturation du transistor.

La valeur maximum du gain de la zone active du transistor (plateau de gain) est principalement fixée par la largeur de la base W_B . Par contre, la largeur de ce plateau de gain est essentiellement liée à la densité d'états superficiels difficilement contrôlés [IV.9].

La présence d'un transistor bipolaire latéral parasite peut aussi considérablement dégrader la reproductibilité du gain maximum du transistor bipolaire vertical.

Afin d'éliminer cet effet, il est d'usage de dessiner le transistor avec un espacement en surface jonction émetteur/base - jonction collecteur/base, que nous appellerons W_{BL} , bien supérieur à la largeur de base W_B .

Une autre cause de dégradation de la valeur et de la reproductibilité du gain du transistor est liée au courant de génération-recombinaison à l'interface Si-SiO₂ de la région de base intrinsèque ainsi qu'aux courants de fuite de surface en périphérie de la jonction émetteur-base [IV.10]. Ces deux courants peuvent être ramenés à une valeur minimum lorsque la surface de la région de base est fortement accumulée. Dans le cadre d'une technologie CMOS, cette situation est obtenue en utilisant de l'oxyde de champ au dessus de la région de base. En effet, l'implantation de champ, de type identique au substrat, qui lui est généralement associée garantit la situation d'accumulation désirée. On peut encore augmenter cet effet en introduisant une plaque de champ correctement polarisée au dessus de la région de base [IV.5].

Il y a donc plusieurs paramètres à optimiser dans la structure du transistor bipolaire:

- Reproductibilité maximum.
- Largeur de la zone active du transistor (plateau de gain) maximum.
- Valeur de gain maximum.
- Surface totale du transistor minimum.

Afin de valider ces idées de conception visant à améliorer la reproductibilité des caractéristiques du transistor bipolaire vertical parasite de la technologie CMOS, nous avons conçu un véhicule test sur la base de la technologie CMOS puits N 2 μ m de ES2 proposée dans le cadre du CMP (Circuit Multi Projet) français.

Deux types de structure ont pour cela été dessinées [IV.2] [IV.3]:

1) Transistor Bipolaire Normal (BN) équivalent à un transistor bipolaire vertical standard (Fig.4.2).

2) Transistor Bipolaire à Fort Gain (BFG) de géométrie similaire à BN avec une plaque de champ polysilicium au dessus de la région de base (Fig.4.2).

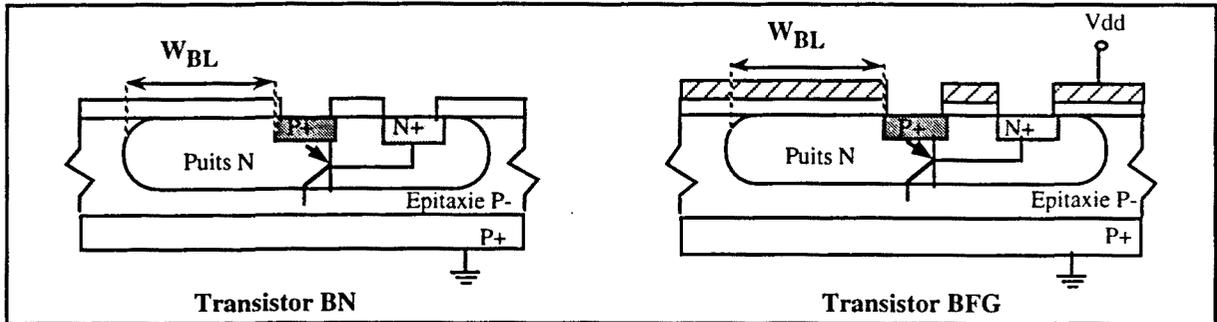


Fig.4.2: Structures bipolaires verticales parasites.

La base de ces deux transistors PNP bipolaires est donc réalisée à l'aide du puits N de la technologie CMOS, l'émetteur est une diffusion P⁺ source/drain et le collecteur est l'épitaxie P. Les principaux paramètres de cette technologie sont:

- Epitaxie de 10 μm d'épaisseur et $5,3 \cdot 10^{15} \text{ cm}^{-3}$ de concentration.
- Puits N⁻ de 4.5 μm de profondeur et $2 \cdot 10^{16} \text{ cm}^{-3}$ de concentration.
- Diffusions source/drain des transistors NMOS et PMOS de 0,5 μm de profondeur et $2,5 \cdot 10^{19} \text{ cm}^{-3}$ de concentration en surface.
- Oxyde de grille de 500 \AA d'épaisseur.
- Grille polysilicium et deux niveaux aluminium.

Afin de séparer les effets des différents paramètres contribuant à la valeur du gain, les structures suivantes ont été dessinées:

Bipolaire Normal (BN)

BN1	W_{BL} min oxyde mince
BN2	$W_{BL}=5\mu\text{m}$ oxyde mince
BN2g	$W_{BL}=5\mu\text{m}$ oxyde épais
BN3	$W_{BL}=10\mu\text{m}$ oxyde mince
BN3g	$W_{BL}=10\mu\text{m}$ oxyde épais
BN4	$W_{BL}=30\mu\text{m}$ oxyde mince

Bipolaire à Fort Gain (BFG)

BFG1	W_{BL} min oxyde mince
BFG2	$W_{BL}=5\mu\text{m}$ oxyde mince
BFG2g	$W_{BL}=5\mu\text{m}$ oxyde épais
BFG3	$W_{BL}=10\mu\text{m}$ oxyde mince
BFG3g	$W_{BL}=10\mu\text{m}$ oxyde épais
BFG4	$W_{BL}=30\mu\text{m}$ oxyde mince

La largeur latérale de base W_{BL} minimum a été obtenue en dessinant un masque identique pour réaliser les implantations de base et d'émetteur. Ainsi, la largeur latérale de base découle de la différence entre les diffusions latérales de base et d'émetteur. La diffusion latérale de la diffusion d'émetteur étant négligeable et celle du puits N étant environ égale à 0.8 fois la profondeur finale du puits, on devrait aboutir à $W_{BL\text{min}} \approx 3,2 \mu\text{m}$.

Les autres valeurs de largeur latérale de base précisées W_{BL} , sont en fait l'espacement dessiné entre masques de base et d'émetteur qui sur le silicium sera augmenté de la diffusion latérale du puits N.

Les structures BN1 et BFG1 ont été dessinées pour analyser l'influence du transistor bipolaire latéral parasite. Pour cela des mesures de gain (Fig. 4.3) dans toute la région de travail du transistor ont été réalisées, l'émetteur étant polarisé à une tension de 1V, le collecteur à la masse et la tension de base variant de 1V à 0V.

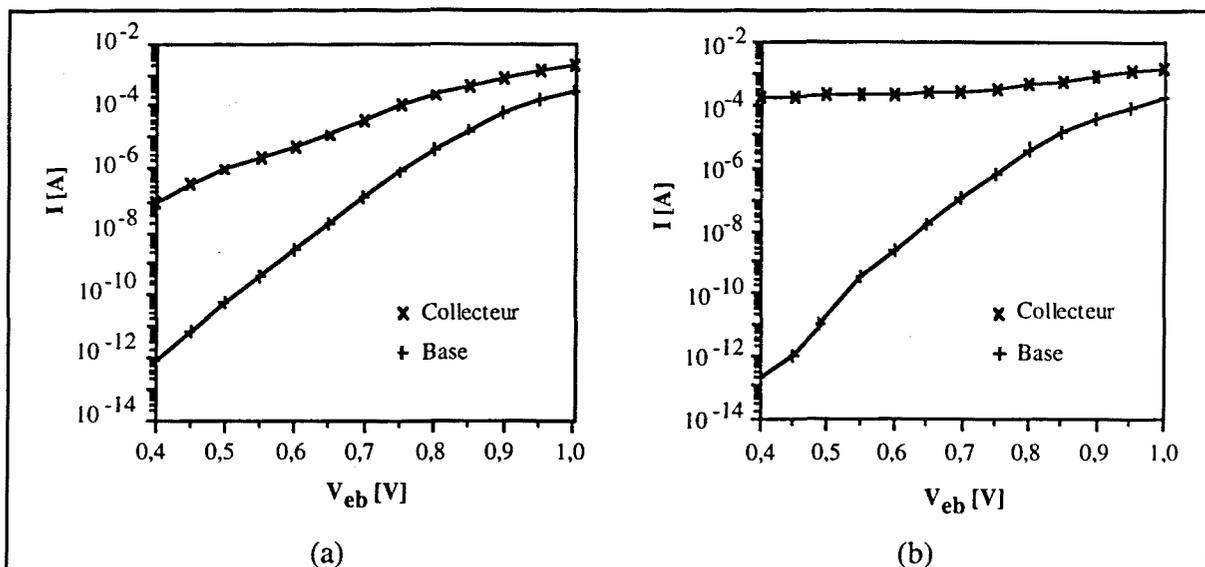


Fig.4.3: Courants $I_b I_c$ dans les structures (a) BN1 et (b) BFG1: influence du bipolaire latéral parasite.

On constate, comme prévu, que l'influence du transistor bipolaire latéral parasite est forte et non reproductible, ce qui permet d'éliminer la géométrie de cette structure bipolaire.

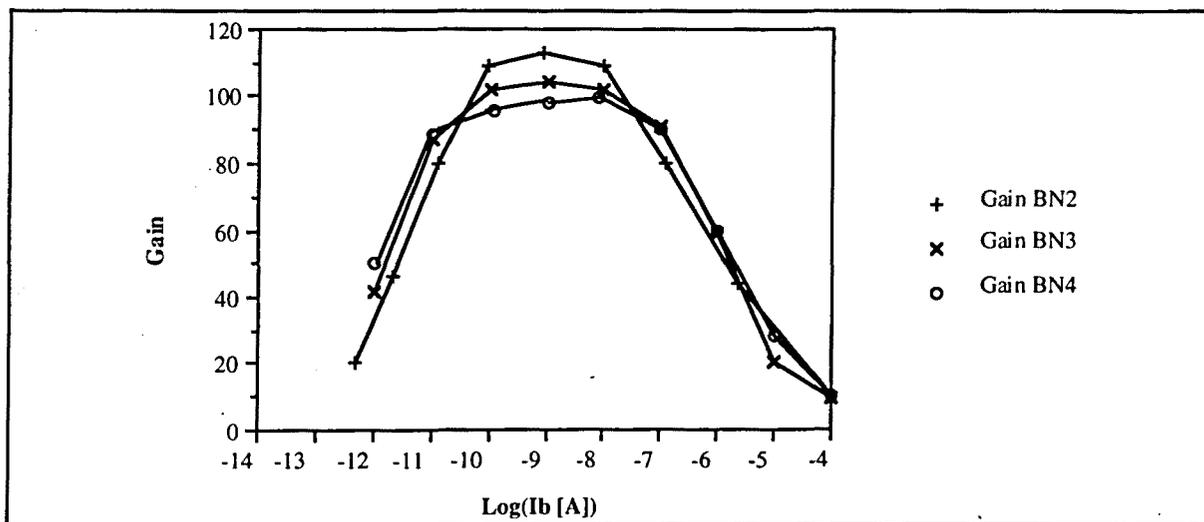


Fig.4.4: Valeur du gain dans les structures BN2, BN3 et BN4: influence de la largeur de base.

En augmentant la largeur latérale de base W_{BL} , l'effet du bipolaire latéral parasite diminue fortement (Fig.4.4). En effet, avec l'augmentation de W_{BL} , le gain devient plus reproductible, la largeur du plateau de gain s'accroît avec une légère diminution de la valeur du gain. L'influence du transistor bipolaire parasite est pratiquement éliminée.

D'après la Fig. 4.4, le transistor bipolaire BN4 présente la plus grande largeur du plateau de gain. Cette structure a l'inconvénient cependant d'une surface trop importante. En effet, pour les applications étudiées, nous cherchons à avoir un transistor bipolaire de taille minimum, le courant inverse utilisé comme courant de base étant généré et modulé dans la région de collecteur.

L'état de la surface de la base du bipolaire est aussi un facteur important pour améliorer les caractéristiques du gain. Les deux structures BN2 et BN3 ont été conçues avec des largeurs latérales de base W_{BL} différentes et deux types d'interface Si-SiO₂ en surface de la base: oxyde épais (BN2g et BN3g) et oxyde mince (BN2 et BN3). L'influence du type d'interface sur la courbe de gain est mise en évidence par les résultats de la Fig. 4.5.

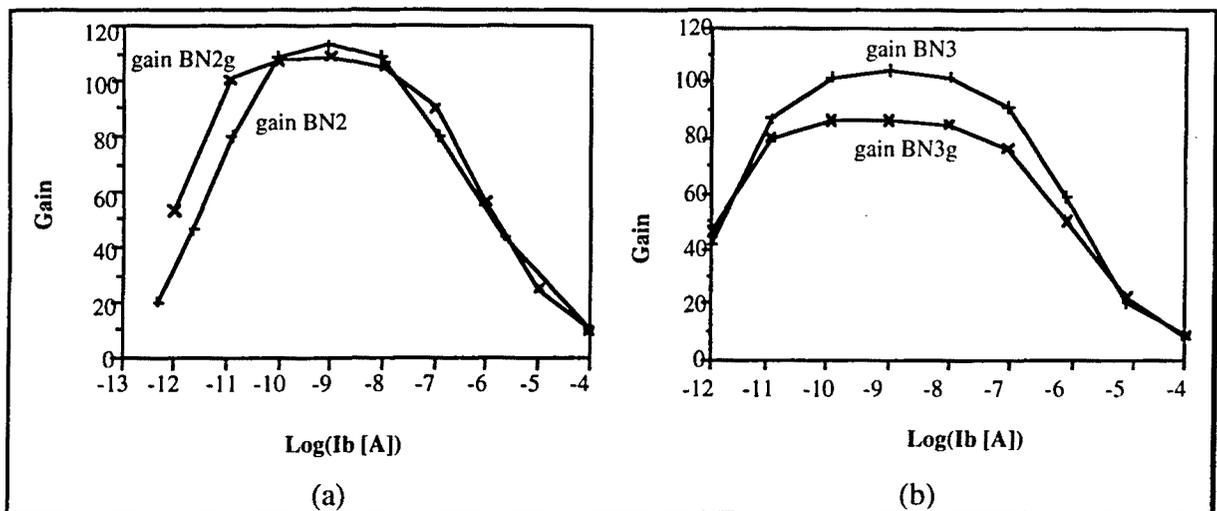


Fig.4.5: Valeur du gain dans les structures: BN2 et BN2g ($W_{BL}=5\mu\text{m}$) (a) et BN3 et BN3g ($W_{BL}=10\mu\text{m}$) (b): influence du type d'interface à la surface de base.

Pour les deux largeurs de base, on observe qu'un bipolaire ayant un oxyde épais en surface de la base présente un plus large plateau de gain malgré une légère diminution de la valeur du gain. Le dispositif de plus grande W_{BL} , BN3g, présente le plateau de gain le plus étendu.

Une autre façon d'aboutir à une situation d'accumulation en surface de base est d'introduire une grille MOS polarisée en surface de la base. Les différentes structures BFG ont été dessinées pour en analyser l'influence. Les résultats présentés à la Fig. 4.6 ont été obtenus sans polarisation de la grille.

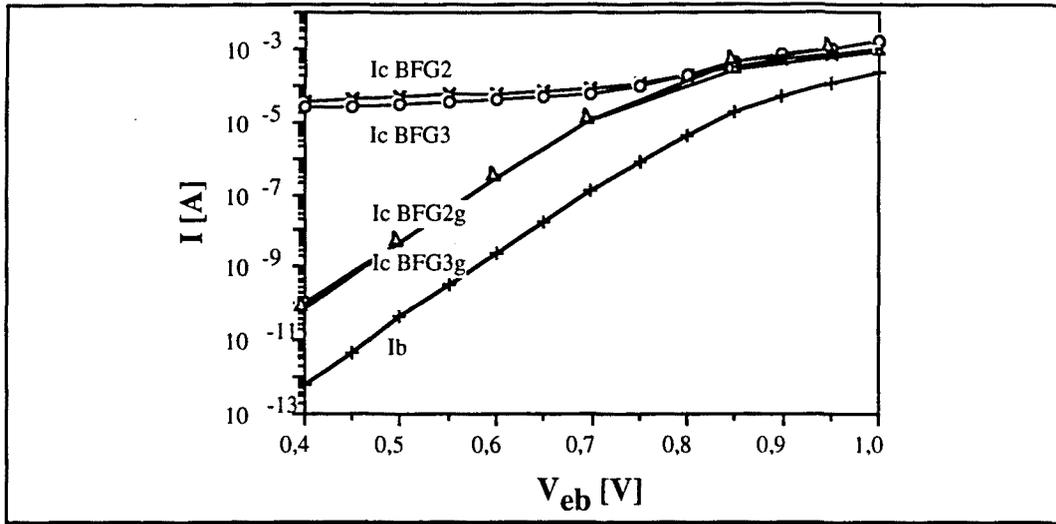


Fig.4.6: Courants I_b I_c structures BFG grille non polarisée.

On peut, tout d'abord remarquer que les structures BFG2 et BFG3 ayant la base recouverte d'oxyde mince, ont un gain excessivement élevé pour des faibles valeurs de tension base-émetteur V_{BE} . Cela peut être expliqué par le fait que ces structures ont un oxyde mince en surface de la base. En effet, cette zone a reçu une implantation P d'ajustement de seuil qui induit en surface de la base, une région intrinsèque. La polarisation positive de la base V_B , donne alors lieu en sa surface à la formation d'un canal d'inversion, qui permet le passage d'un fort courant émetteur-collecteur. Ce canal d'inversion n'est pas éliminé puisque la grille MOS n'est pas polarisée. A faible polarisation base-émetteur du transistor bipolaire, ce courant est dominant par rapport au courant obtenu par effet transistor. Par contre, à niveau de polarisation supérieur ($V_{BE}=0.75-1V$), le courant obtenu par effet transistor est dominant.

Les caractéristiques $I(V)$ obtenues par les structures BFG2g et BFG3g sont normales puisque, en surface de base, on a une forte concentration d'impuretés type N grâce à la présence d'oxyde épais qui empêche la formation du canal d'inversion.

En polarisant la grille MOS à une tension de 1V, le canal présent dans les structures BFG2 et BFG3 disparaît. Les caractéristiques obtenues dans ce dernier cas sont représentées dans la Fig.4.7.

La polarisation de la grille MOS d'une structure bipolaire avec oxyde épais en surface de la base a pour effet d'augmenter l'accumulation de porteurs déjà existante. Ces structures avec oxyde épais sur la base seront donc les plus adaptées pour former le transistor bipolaire d'amplification du détecteur de température ou de lumière.

Différentes mesures de gain ont été réalisées en faisant varier la polarisation de grille, et nous ont amené à la conclusion qu'à partir d'une tension de grille de 1V, les caractéristiques du gain ne varient plus.

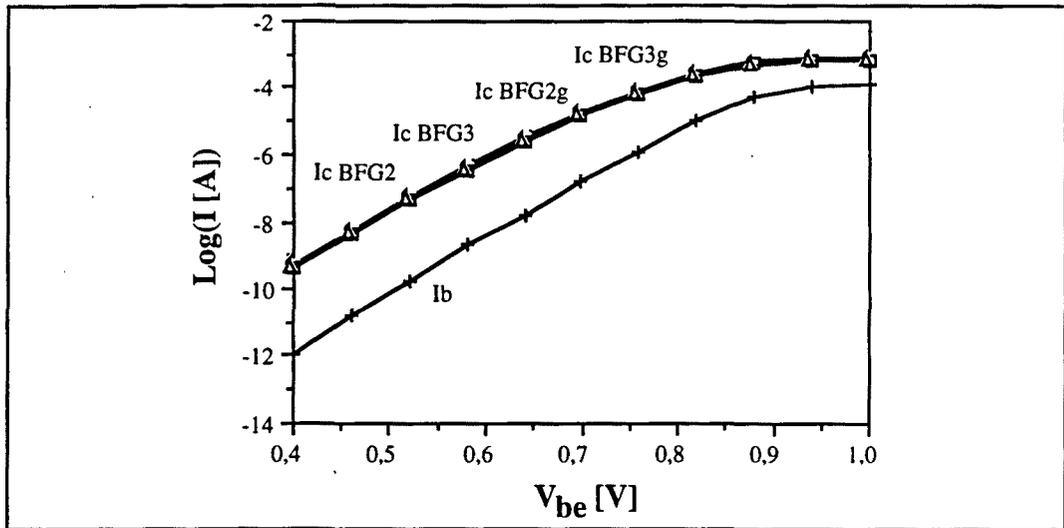


Fig.4.7: Courants I_b I_c structures BFG grille polarisée à 1V.

Dans la Fig. 4.8 sont représentées les courbes de gain en fonction du courant de base des structures BN2, BFG2 et BN3, BFG3, ayant un oxyde mince en surface de la base, la tension de grille de 1V.

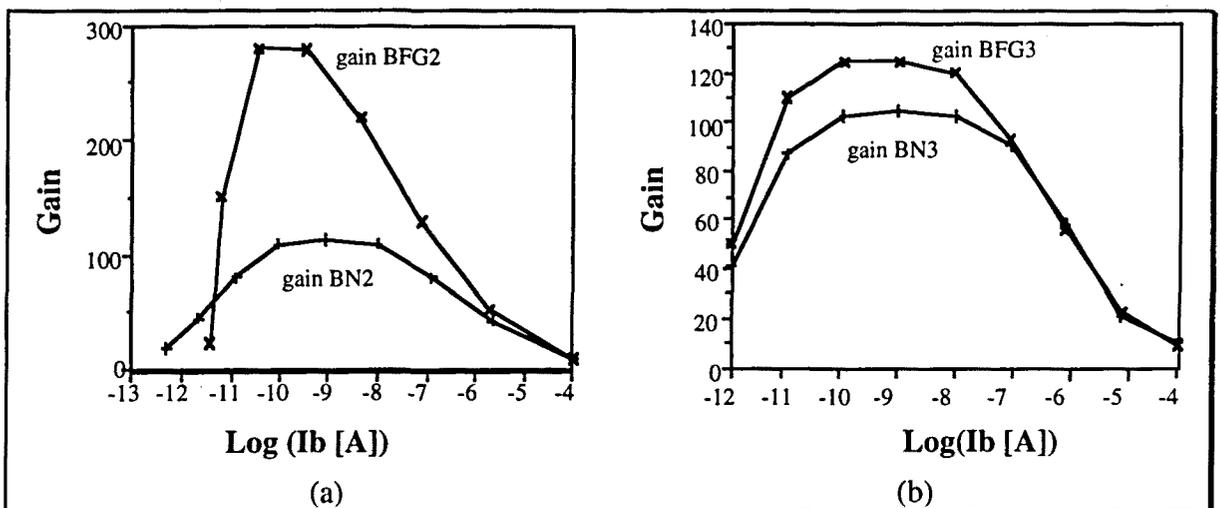


Fig.4.8: Valeur de gain dans les structures: (a) BN2, BFG2 et (b) BN3 et BFG3 avec oxyde mince.

On peut observer que la largeur du plateau de gain du transistor pour des structures disposant d'une grille MOS (BFG2 et BFG3) diminue considérablement par rapport aux structures sans grille. Cela est probablement la conséquence de la différence de nature de l'interface au niveau de la surface de la base N du transistor. La recombinaison en surface est inférieure dans le cas d'une interface oxyde épais-base N.

Sur la Fig.4.9, les courbes de gain représentées correspondent aux structures disposant d'une base recouverte d'oxyde épais BN2g, BFG2g et BN3g et BFG3g, la tension de grille étant de 1V.

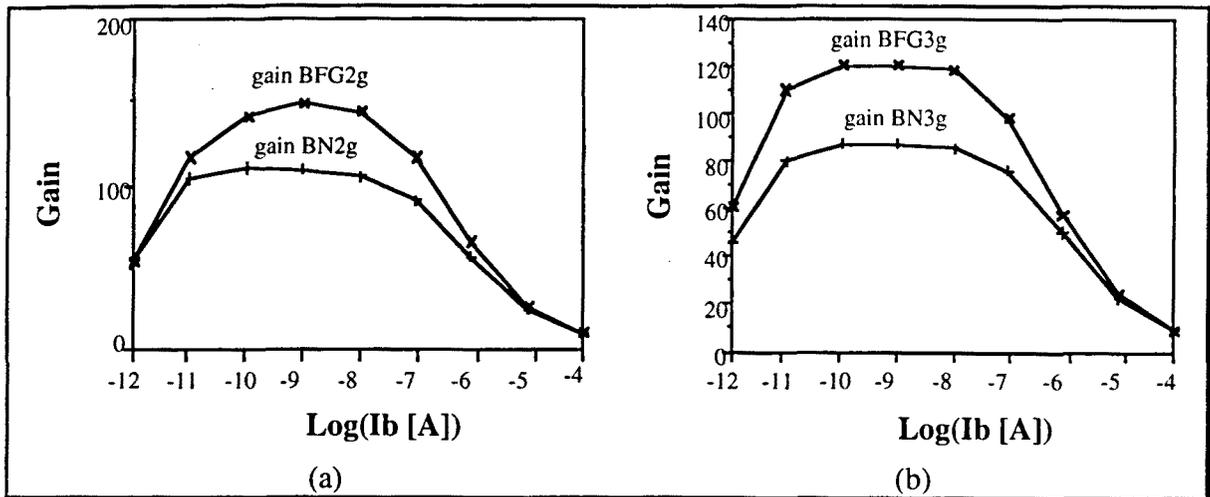


Fig.4.9: Valeur de gain dans des structures: (a) BN2g, BFG2g et (b) BN3g, BFG3g avec oxyde épais.

Dans ce dernier cas, le gain obtenu est inférieur à celui des structures précédentes, mais la largeur du plateau de gain du transistor dans les structures disposant d'une grille MOS est supérieur.

Si on compare ces deux dernières structures BFG2g et BFG3g, la première présente un gain de 150, mais seulement deux décades de région de plateau de gain. Par contre, la deuxième BFG3g, avec une surface de base supérieure et un gain de 120 sensiblement inférieur, dispose de 4 décades de région de plateau de gain. Cette structure BFG3g offre un bon compromis surface de silicium occupée-gain du transistor bipolaire et nous la retiendrons donc en tant que transistor bipolaire parasite d'amplification du courant de génération thermique ou photonique.

En conclusion donc, les caractéristiques principales du transistor BFG3g retenu et schématisé à la figure 4.10 sont:

- Bonne reproductibilité.
- Largeur du plateau de gain de 4 décades.
- Gain de 120.
- Structure avec oxyde épais en surface de la base et grille MOS de contrôle. Largeur latérale de base de $10\mu\text{m}$ et surface totale de $1296\mu\text{m}^2$.
- Résistance de collecteur négligeable puisque il s'agit d'une épitaxie de $5.5\mu\text{m}$ sur un substrat fortement dopé.

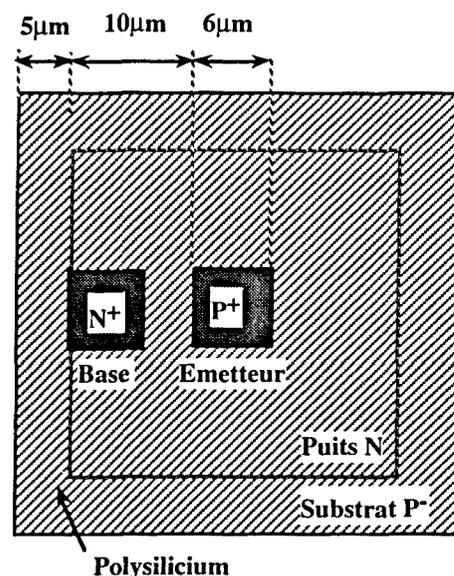


Fig.4.10: Schéma du bipolaire BFG3 retenu.

4.1.2.- Contrôle du courant inverse dans le transistor bipolaire à base flottante

Pour les applications de détection de température et de lumière, le dispositif de base utilisé est un transistor bipolaire vertical à base flottante autopolarisé par son courant inverse de jonction base-collecteur. Dans le cas du détecteur de température, c'est l'augmentation de la valeur de ce courant avec la température que l'on amplifie par effet transistor. Dans le cas du photodétecteur, ce courant inverse est proportionnel aux photons incidents.

Afin que le transistor bipolaire travaille en régime linéaire dans la région de plateau de gain, il est important que la valeur absolue de ce courant inverse soit suffisamment grande. La valeur du courant inverse est proportionnelle à la surface de la jonction considérée qui dans notre cas est la surface base-collecteur.

Augmenter la surface de cette jonction peut être pénalisant d'un point de vue dynamique car elle entraîne des retards à la commutation liés au stockage de porteurs dans la base.

Une solution originale consiste à créer une zone de génération de courant inverse dans la région de collecteur en introduisant une grille de contrôle. L'intérêt est, dans ce cas, que le courant inverse associé à la zone de charge d'espace créée en surface peut être modulé par la tension appliquée sur la grille de contrôle qui peut être indépendante de la polarisation du transistor.

Afin de mieux comprendre le fonctionnement du transistor bipolaire parasite à base flottante que l'on se propose d'utiliser (Fig. 4.11), il est important d'analyser la physique d'une jonction N/P polarisée et contrôlée par une grille MOS.

Pour contrôler la profondeur de la zone de charge d'espace qui s'étend sous la grille MOS de polysilicium (W), on dispose de deux paramètres:

- 1) La tension de grille V_G , positive pour arriver à une situation de dépeuplement requise en surface du collecteur.
- 2) La tension d'émetteur V_E , aussi positive pour assurer le bon fonctionnement du transistor bipolaire $P^+ N^- P^-_{epi}$.

Si l'émetteur n'est pas polarisé, la profondeur de la zone de charge d'espace W est uniquement fonction de la tension de grille V_G . Cette profondeur est maximum W_{max1} pour une tension de grille V_{g11} suffisante pour inverser la surface de collecteur. A partir de ce moment là, la profondeur de la zone de charge d'espace n'augmente plus avec la tension de grille. La Fig. 4.12 représente un diagramme de bandes qui schématise l'influence de la tension de grille V_G .

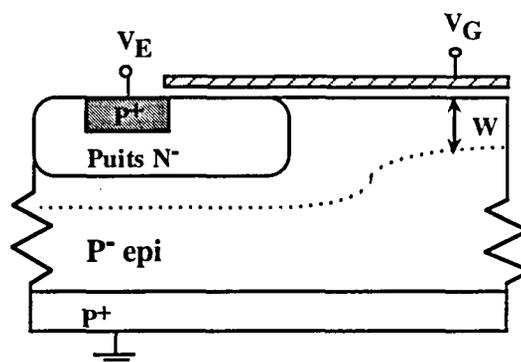


Fig.4.11: Physique du fonctionnement du transistor proposé.

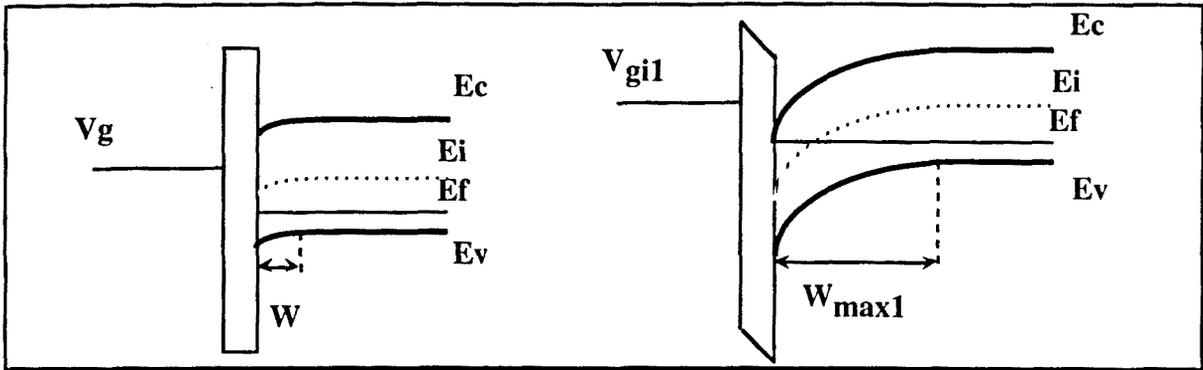


Fig.4.12: Diagramme de bandes pour structure émetteur en l'air.

Si l'émetteur est polarisé à une tension V_E positive, la profondeur de la zone de charge d'espace est modulée par les deux paramètres: V_E et V_G . Du fait de la configuration en base flottante, toute la tension de polarisation du transistor bipolaire est pratiquement appliquée à la jonction base-collecteur (Puits N⁻-Epitaxie P⁻), puisque la base s'autopolarise à une tension proche de V_E . Appelons V_J la tension de polarisation de la jonction base-collecteur. La tension de polarisation V_E est positive et la jonction base-collecteur est donc polarisée en inverse si le transistor se trouve en régime linéaire.

Cette polarisation en inverse de la jonction base-collecteur contribue à diminuer la concentration de porteurs minoritaires en surface du collecteur (séparation des Pseudoniveaux de Fermi), et donc à retarder l'inversion à sa surface. La tension de grille nécessaire pour inverser la surface du collecteur V_{gi2} sera donc supérieure, et la profondeur maximum de zone de charge d'espace W_{max2} sera aussi supérieure. La Fig.4.13 présente un diagramme de bandes schématisant cette influence de la polarisation d'émetteur V_E .

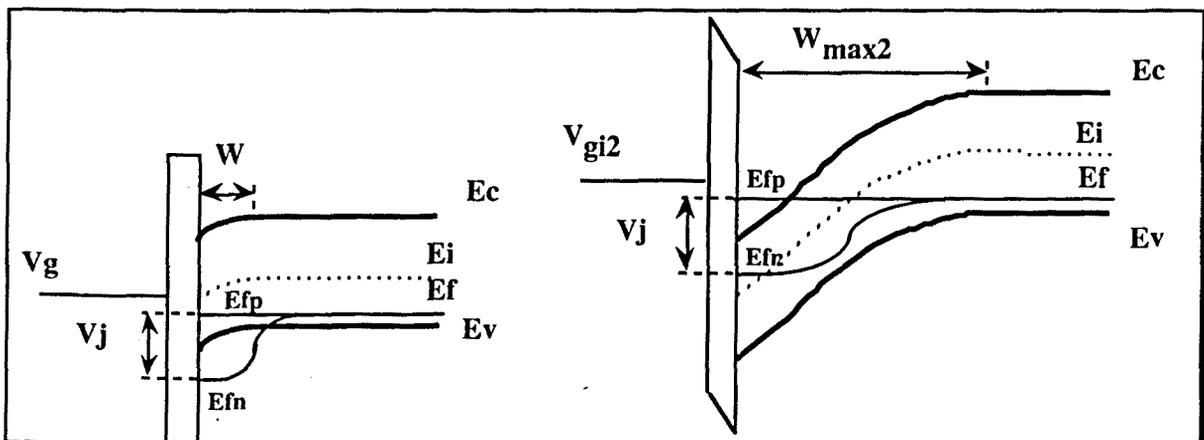


Fig.4.13: Diagramme de bandes pour structure émetteur polarisé.

Une étude physique plus approfondie prédit que cette séparation entre les Pseudoniveaux de Fermi est maintenue et contrôlée dans toute la surface de la zone de charge d'espace du

collecteur recouverte par la grille [IV.115]. Cette propriété permet donc d'augmenter la valeur absolue du courant inverse en élargissant la grille de contrôle recouvrant la zone de collecteur, la topologie du transistor bipolaire restant la même.

4.2.- Détecteur Thermique

Une fonction particulièrement importante dans les applications de puissance est la détection d'une température excessive de cristal. En effet, lorsque le silicium atteint une température de l'ordre de 150°C, les jonctions en inverse voient leur courant de fuite considérablement augmenter et ne jouent plus alors leur rôle d'isolation.

La solution classiquement utilisée pour détecter cette température est basée sur l'utilisation d'un circuit à référence de bande interdite (bandgap reference) [IV.116]. La solution que nous proposons consiste à utiliser un transistor bipolaire autopolarisé par le courant inverse de jonction généré thermiquement, pour détecter cette température excessive de fonctionnement du commutateur intelligent de puissance. Ce transistor bipolaire, associé à une circuiterie simple et intégré avec le commutateur, est capable de mesurer à tout moment les courants inverses de jonction, d'arrêter le fonctionnement du commutateur de puissance intelligent lors du dépassement d'une valeur limite (I_{glim}) et d'informer l'environnement extérieur de cette panne résultant d'un échauffement excessif.

L'intérêt de cette solution réside dans sa simplicité et donc sa compacité qui permet de l'intégrer au plus près de l'élément de puissance [IV.117].

4.1.1.- Principe de fonctionnement:

Le courant inverse d'une jonction P/N (I_g) est la somme de deux composantes: l'une de diffusion, et l'autre de génération thermique.

$$\frac{I_g}{A_{MJ}} = \frac{qD_{pc}n_i^2}{L_{pc}N_{DC}} + \frac{qn_iW_{BC}}{2t_o} \quad (1)$$

Diffusion Génération thermique

Pour une technologie standard, au delà d'une température de l'ordre de 150°C, la composante de diffusion devient dominante et très élevée. Le courant inverse I_g en fonction de la température se caractérise donc par une augmentation rapide et abrupte lorsque le phénomène de diffusion commence à être dominant comme le montre la figure 4.14. Ce courant inverse engendré par une température de l'ordre de 150°C dans le cas d'une technologie standard, correspond à des températures plus élevées pour des technologies plus soignées.

On choisira donc comme valeur limite du courant inverse (I_{glim}), la valeur du courant inverse d'une technologie standard correspondant à une température de 150°C, qui est

également la valeur imposée par les fabricants de composants de puissance pour des problèmes de contraintes thermiques et de fiabilité.

L'amplification de ce courant inverse I_g par le transistor bipolaire à base flottante doit permettre une détection efficace de cette température critique de fonctionnement. Pour cela, il est nécessaire d'**optimiser le gain du bipolaire vertical**. Il s'agit d'obtenir un gain reproductible, et de dessiner le transistor pour qu'il travaille dans la zone de gain maximum et constante (plateau de gain). Pour cela, d'après l'étude développée au paragraphe 4.1.1, un transistor bipolaire avec oxyde épais et grille de contrôle sur la région de base et une largeur latérale de base W_{BL} de $10\mu\text{m}$ pour éliminer l'effet du bipolaire latéral parasite a été choisi. Une surface supplémentaire de génération thermique permettant d'élargir la zone de charge d'espace, et donc de générer un courant de base autour de la température critique T_c correspondant à un gain maximum et constant est obtenue en faisant déborder la grille de contrôle sur la région de collecteur (Fig.4.15).

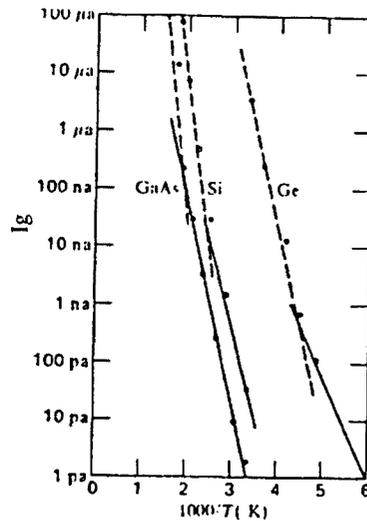


Fig.4.14: Variation du courant inverse en fonction de la température.

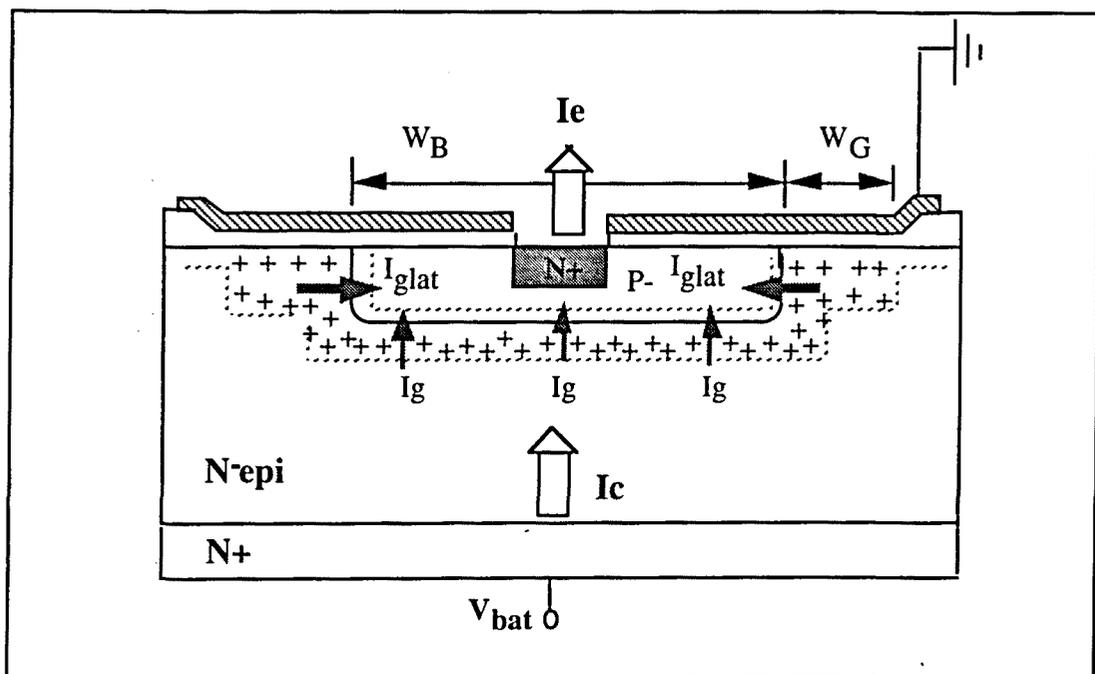


Fig.4.15: Principe de fonctionnement du détecteur thermique.

Il est également nécessaire de se protéger contre les perturbations en tension dans le substrat liées à la commutation du VDMOS [IV.118]. En effet, dans le cas d'une technologie de puissance intelligente basée sur une seule épitaxie, le drain du VDMOS est coïncident avec le substrat de la circuiterie CMOS. Le courant de l'interrupteur VDMOS circule sur cette épitaxie qui est faiblement dopée et peut induire sur son passage des fluctuations locales de potentiel (Fig.4.16).

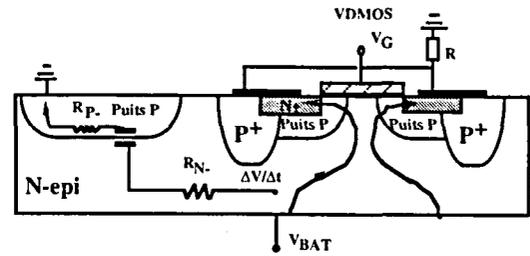


Fig.4.16: Fluctuations de potentiel aux proximités du VDMOS.

Par couplage capacitif, ces fluctuations peuvent être transmises à la base du transistor bipolaire détecteur thermique et éventuellement le déclencher.

Ce détecteur sera d'autant plus sensible qu'il est susceptible de détecter des courants inverses de quelques dizaines de nA, et qu'il doit se situer le plus près possible du composant de puissance, pour en mesurer l'échauffement. La protection proposée consiste simplement à atténuer les perturbations en tension dans le puits du transistor grâce à un pont capacitif créé par une diffusion P+ profonde autour de la diffusion N+ émetteur et la grille de contrôle (Fig.4.17). Cette diffusion ne rajoute aucune étape technologique supplémentaire si on utilise une technologie de puissance intelligente (CMOS/VDMOS).

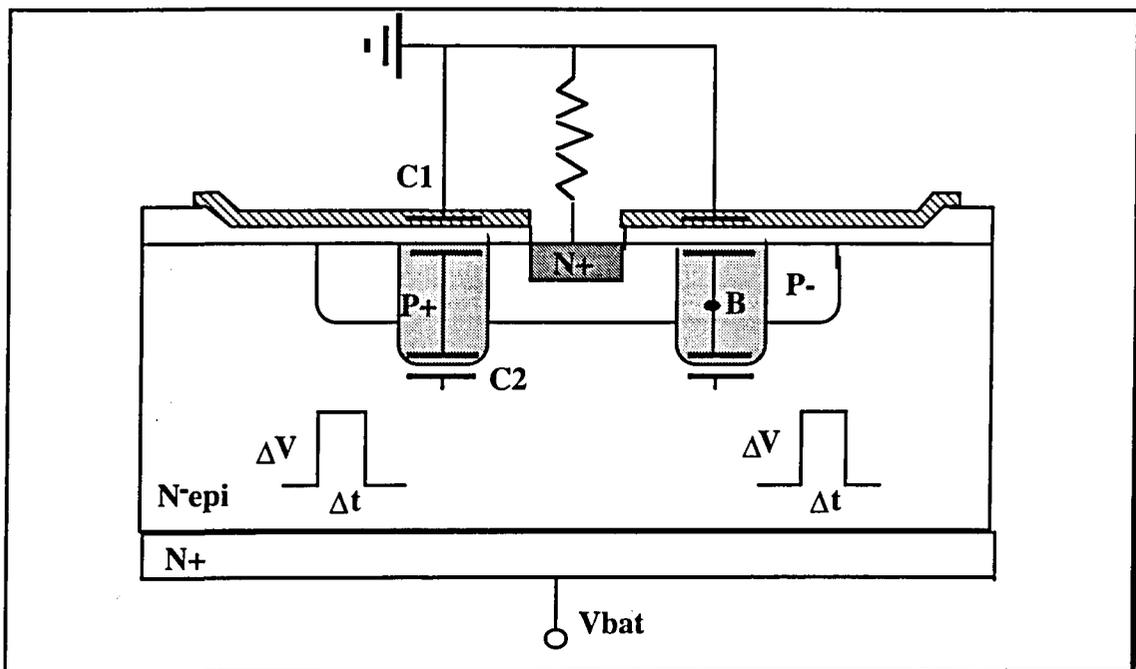


Fig.4.17: Optimisation du dispositif.

4.1.2.- Circuit proposé réalisant la fonction de détecteur de température limite

Le circuit proposé et représenté sur la figure 4.18 pour le cas d'une technologie CMOS puits P consiste en un transistor bipolaire à base flottante avec une forte résistance dans l'émetteur. Cette résistance peut être réalisée à l'aide d'un transistor MOS à canal long. Un circuit de Trigger de Schmitt permet une détection efficace du courant limite I_{glim} sans problèmes d'oscillations autour de la température de consigne [IV.119].

A basse température, le courant inverse I_g est très faible et la tension V_{S1} est inférieure au premier seuil du Trigger de Schmitt (V_{S1L}). Le signal de sortie V_{S2} se trouve à l'état haut.

Lorsque la température augmente, le courant I_g atteint la valeur I_{glim} et la tension V_{S1} atteint le deuxième seuil (V_{S1H}) du Trigger de Schmitt. Il est à noter ici qu'il s'agit d'une valeur excessive de courant inverse que l'on va détecter et non d'une température exacte. Ne pouvant disposer d'un nombre d'échantillons suffisants provenant de lots différents d'une même technologie, la dispersion de la température exacte détectée ne nous est pas connue. Nous pensons cependant, que vu les contrôles automatiques d'enfournement ainsi que des bilans thermiques utilisés actuellement, un $\Delta T \leq 10^\circ\text{C}$ pourrait être obtenu sur une technologie CMOS moderne.

Ce circuit doit être dimensionné de manière à ce que la valeur de son deuxième seuil soit égale à:

$$V_{S1H} = R_E (h_{FE} + 1) I_{glim}$$

Où h_{FE} est le gain du transistor bipolaire à base flottante réalisant la fonction de détecteur d'une température critique, et R_E est la résistance passante du transistor NMOS à canal long dessiné entre l'émetteur du transistor bipolaire et la masse.

Le signal V_{S2} passe alors au niveau bas et le composant de puissance reçoit un signal de coupure qui est maintenu tant que la tension V_{S1} n'a pas diminué jusqu'à V_{S1L} . A ce moment là, la température se sera abaissée d'une valeur ΔT , correspondant à une diminution du courant inverse ΔI_g par rapport à I_{glim} . Le dimensionnement du circuit doit être tel que V_{S1L} soit égal à:

$$V_{S1L} = R_E (h_{FE} + 1) (I_{glim} - \Delta I_g)$$

Le choix de ΔT qui fixe ΔI_g et par la suite V_{S1L} doit être fait de manière à éviter les oscillations rapides entre l'arrêt et la mise en fonctionnement du composant. Un ΔT de 10°C semble un bon compromis.

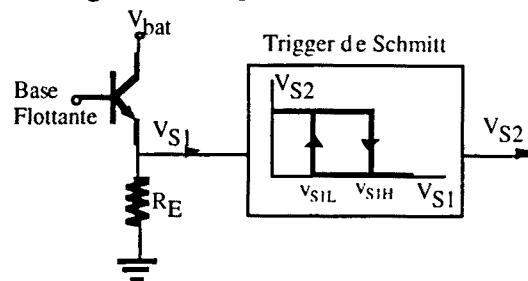


Fig.4.18: Circuit détecteur d'une température critique.

4.1.3.- Technologie utilisée et réalisation sur Silicium

Ce dispositif a été réalisé en technologie CMOS ES2 [IV.2][IV.3]. Il s'agit d'une technologie standard à puits N (base du bipolaire autopolarisé). Le transistor bipolaire est alors un transistor PNP. Une photographie de la réalisation technologique est présentée à la figure 4.20. Une grille de contrôle polarisée positivement permet de créer une situation d'accumulation en surface de la base en minimisant le courant de recombinaison superficiel. Ainsi, cette polarisation permet un dépeuplement en surface du collecteur qui favorise la collection et la génération thermique de porteurs.

Différentes structures ont été réalisées selon une géométrie proposée à la Fig. 4.19. Base à puits N de $10\mu\text{m}$ de largeur latérale, émetteur P^+ carré de $6\mu\text{m}$ et grille de contrôle en polysilicium sur oxyde mince sur toute la surface de la structure. Cette grille déborde d'une valeur W_G sur la surface du collecteur P pour assurer une forte collection de porteurs vers la base.

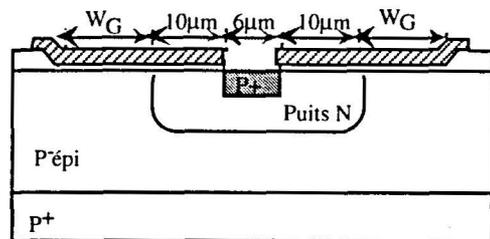


Fig.4.19: Coupe de la structure détecteur d'une température critique réalisée.

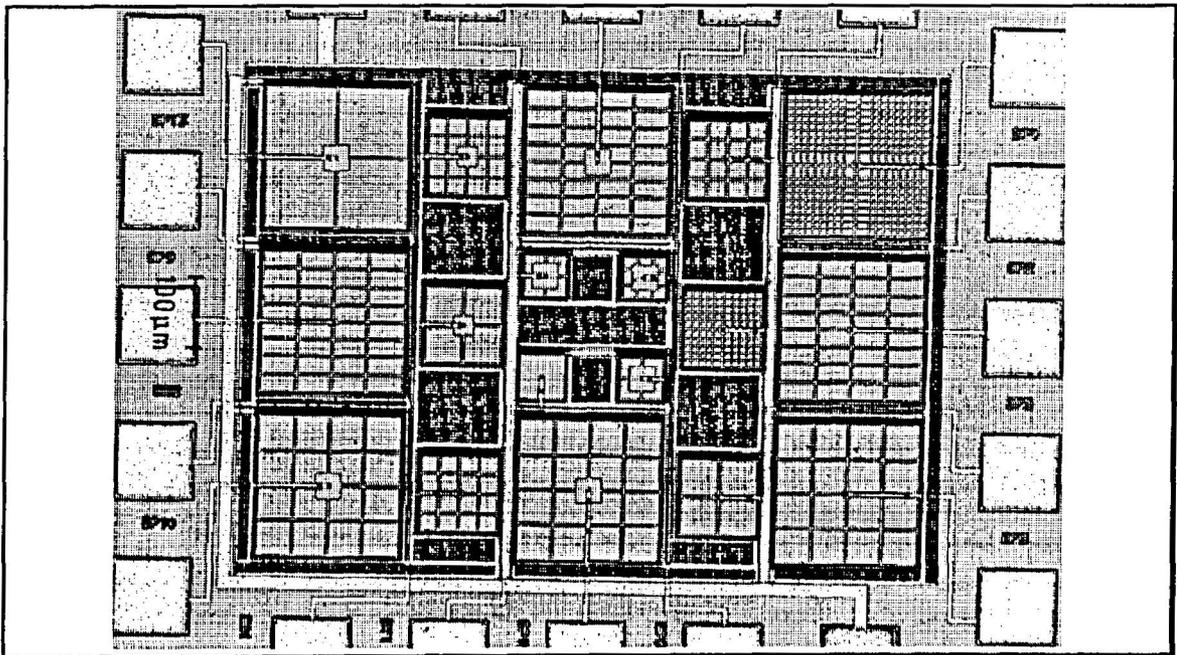


Fig.4.20: Réalisation technologique.

Les structures dessinées ont une surface de base identique. Le paramètre que l'on a fait varier est le débordement de la grille de contrôle sur le collecteur (W_G). Elles sont les suivantes:

DT1: Structure Diode avec un débordement de grille de 10 μm .

BT1: Structure Transistor équivalent à DT1.

BT2: Structure Transistor avec un débordement de grille de 30 μm .

4.1.4.- Résultats expérimentaux

Les résultats expérimentaux ont été obtenus en polarisant le substrat P⁻ à la masse et en appliquant une tension de 15V simultanément sur la grille de contrôle et sur la cathode de la structure diode (DT). Il en a été de même sur la structure transistor (BT) où la grille et l'émetteur étaient polarisés similairement.

La structure diode se trouve alors fortement polarisée en inverse et un fort dépeuplement se produit en surface du collecteur sous la grille de contrôle. Cette situation induit un fort champ électrique aux bornes de la jonction qui favorise l'injection de minoritaires générés thermiquement.

Dans le cas de la structure transistor, celui-ci est dans une situation proche du claquage en BV_{CE0} qui est d'environ 20V. Puisque la base est flottante, la tension est supportée par la jonction base (puits N-)/collecteur (épitaxie P-). La génération thermique de porteurs autour de cette jonction donne lieu au courant de base qui va être amplifié par effet transistor.

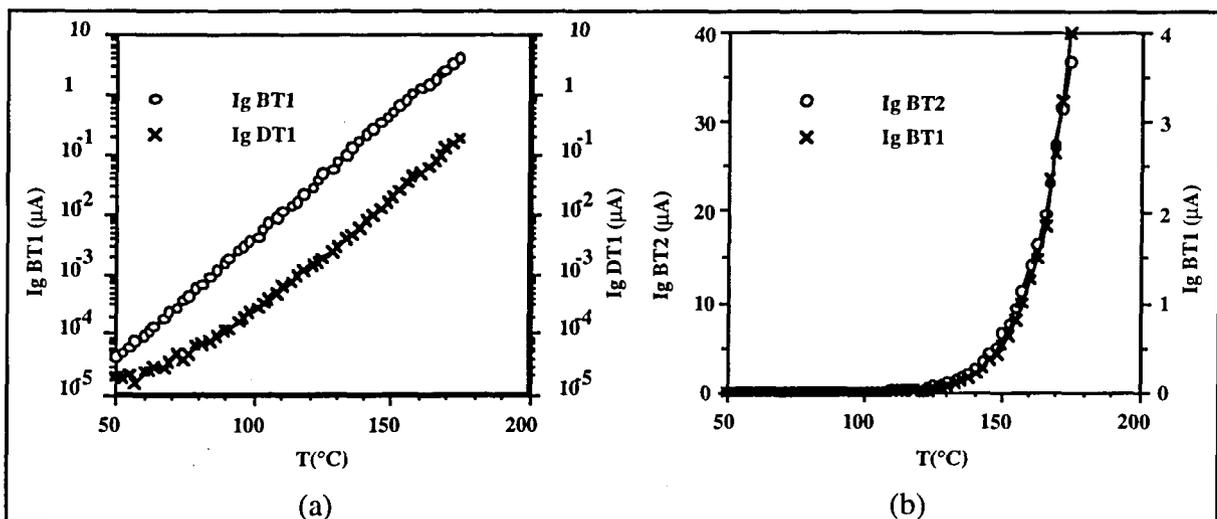


Fig.4.21: Courant généré thermiquement sur différentes structures.

Afin de confirmer le comportement prédit de la structure, le courant inverse de jonction I_g généré dans une structure diode **DT1** (surface totale 2664 μm^2) a été comparé à celui fourni par une structure transistor **BT1** équivalente. Un courant égal à celui de la diode multiplié par le facteur de gain du transistor est bien obtenu dans la structure **BT1** (Fig. 4.21a). Il est à noter que le gain augmente progressivement avec la température. Sur la figure 4.21b on compare le courant inverse généré par deux structures **BT** à surfaces de génération dans le collecteur différentes (860 μm^2 pour **BT1** et 3180 μm^2 pour **BT2**) tout en gardant la même surface de

bipolaire de $625\mu\text{m}^2$. Le courant obtenu sur BT2 est supérieur à celui de BT1 et proportionnel à la différence de surface totale de génération thermique.

En dynamique, l'atténuation aux perturbations en tension obtenue grâce à un pont capacitif créé par une diffusion P⁺ profonde autour de la diffusion N⁺ émetteur et la grille de contrôle est d'un facteur $C_2/(C_1+C_2)$. C_1 est la capacité obtenue entre la grille de contrôle et la diffusion P⁺ profonde avec un épaisseur d'oxyde de grille de 500Å et sa valeur est de $8,63 \cdot 10^{-4}$ pF/ μm^2 . La capacité C_2 de jonction diffusion P⁺ profonde / épitaxie N⁻ vaut $1,7 \cdot 10^{-4}$ pF/ μm^2 . Le facteur d'atténuation vaut donc 0,16. La protection offerte par une structure détecteur de température est efficace si l'amplitude de la perturbation en tension ne dépasse pas 3,7V.

4.1.5.- Conclusions

L'originalité de ce détecteur de température repose sur la simplicité de la réalisation technologique basée sur une détection efficace du courant inverse de jonction dû à une température excessive de fonctionnement (T_c).

L'optimisation du transistor bipolaire est destinée à avoir une bonne reproductibilité et à minimiser le bruit dans la mesure. Pour cela, il y a deux paramètres à optimiser: les dimensions de la base et le débordement de la grille sur le collecteur.

Un autre paramètre à maîtriser est la protection contre les transitoires en tension dues à la commutation du VDMOS. La structure proposée permet de diminuer la résistance de base et de minimiser les recombinaisons en surface. La base peut alors être dessinée plus petite ce qui est toujours intéressant. En jouant avec les dimensions de ce puits P⁺ profond, on change l'efficacité du pont capacitif pour minimiser les perturbations dans la base du transistor bipolaire détecteur thermique BT. Pour une application concrète, on pourra établir un compromis entre les différents paramètres essentiels en vue d'une mesure correcte de cette température critique T_c .

4.3.- Détecteur Photonique

De la même façon que l'on détecte une augmentation de courant inverse due à la température, le dispositif décrit précédemment peut être utilisé pour mesurer une augmentation de courant inverse induite par la lumière [IV.120] [IV.121].

Afin d'augmenter sa sensibilité à la lumière, une modification de la topologie du dispositif a été nécessaire et implantée sur la technologie CMOS d'ES2 proposée par le CMP. L'étude détaillée des performances de ce photodétecteur est présentée ci-après et les applications envisageables sont discutées [IV.122].

4.3.1.- Principe de fonctionnement

Une structure de transistor bipolaire $P^+/N^-/P^-$ similaire à la précédente a été optimisée afin de détecter la puissance d'une lumière incidente [IV.123]. Il s'agit de la structure présentée à la Fig.4.22.a. La lumière incidente crée dans le volume du silicium sous la fenêtre de photogénération des paires électron-trou. Ces paires sont séparées au niveau de la zone de charge d'espace grâce au champ électrique E associé et donnent lieu à un courant de photogénération, proportionnel en principe, à la puissance de la lumière incidente et à la surface de photogénération (Fig. 4.22.b). Ce courant de photogénération, des électrons dans notre cas, est un courant inverse de jonction Base N^- /Collecteur P^- injecté dans la base N^- grâce à l'action du champ E' . Il va former donc le courant de base du phototransistor qui, par effet transistor va être amplifié par le facteur de gain.

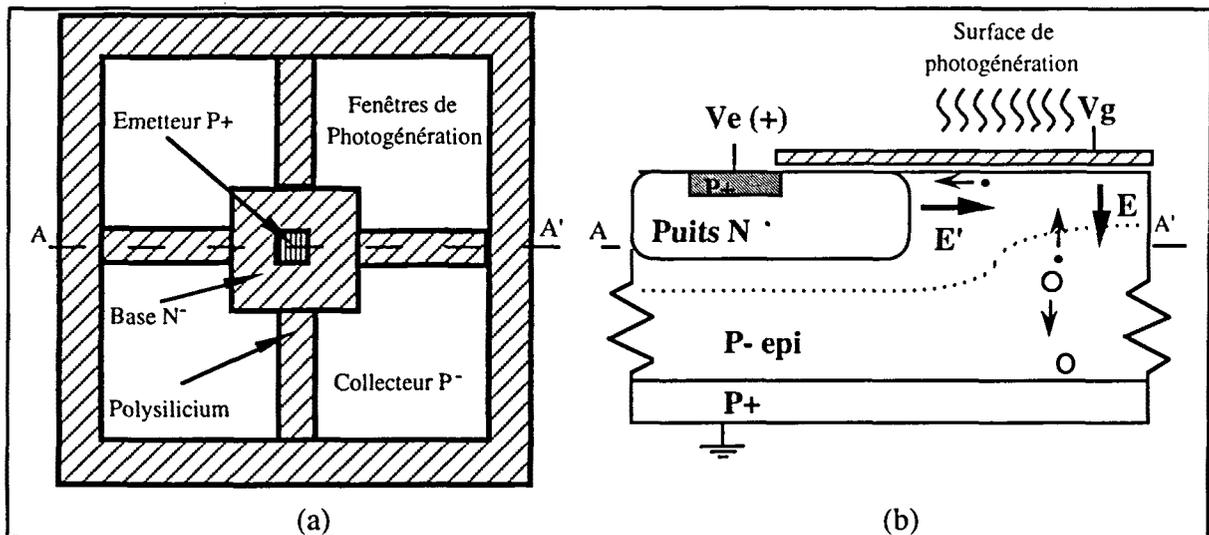


Fig. 4.22: Structure photosensible proposée.

L'originalité de cette structure repose sur le fait que la surface de photogénération se situe dans le collecteur du phototransistor (épitaxie P^- de la plaquette) et sur la présence d'une grille de polysilicium sur toute la surface de la base et sur une partie de la surface du collecteur. Cette grille MOS polarisée positivement a pour rôle d'optimiser les caractéristiques du transistor bipolaire associé et d'induire en surface de la région de collecteur, une zone de charge d'espace et donc un champ électrique E qui sépare les paires électron-trou photogénérées contribuant au courant de photogénération.

Les électrons photo-générés à l'intérieur des fenêtres de photogénération doivent se déplacer par diffusion vers une des zones de charge d'espace située sous une des bandes de polysilicium. En effet, dans ces fenêtres n'existe pas de charge d'espace, il s'agit d'une zone "neutre". A l'intérieur de la zone de charge d'espace, le champ électrique E entraîne ces électrons vers la surface du collecteur qui est fortement dépeuplée. Ensuite, ils sont injectés par

le champ électrique E' de la jonction Base N^- /Collecteur P^- vers la base du phototransistor devenant le courant de base du transistor. La probabilité de recombinaison de ces électrons dans la zone de charge d'espace au dessous de la grille MOS de polysilicium est minimum puisque le fort dépeuplement y régnant augmente considérablement la durée de vie (τ_0) des électrons (porteurs minoritaires) et donc leur longueur de diffusion L_D . Par contre, dans la région de collecteur non recouverte de polysilicium (fenêtres de photogénération), la probabilité est élevée. En effet, la plupart des électrons photo-générés à une distance des bandes de polysilicium supérieure à une longueur de diffusion seront recombinés. Il est donc important d'en tenir compte en donnant à la demi-diagonale $D/2$ des fenêtres de photogénération une valeur inférieure à une longueur de diffusion L_D estimée autour de $100\mu\text{m}$. Pour des structures photosensibles de grande surface, il est donc nécessaire d'augmenter le nombre de fenêtres de photogénération sans augmenter leur dimension.

L'émetteur étant polarisé à une tension positive fixée et la base étant flottante, le courant de photogénération, ou courant inverse d'électrons injectés dans la base par le champ électrique E' , induit une augmentation de la concentration de charges négatives dans la base conduisant à la polarisation en direct de la jonction Base-Emetteur.

Ensuite, par effet transistor, on obtient un courant d'émetteur égal au courant de photogénération multiplié par le gain du transistor.

Nous allons montrer ci-après que cette structure compatible CMOS est intéressante pour des applications de vision haute sensibilité et basse résolution. En effet, l'intégration d'une matrice de phototransistors avec une logique CMOS de traitement sur une même puce présente l'avantage d'un accroissement de la vitesse de réponse du circuit tout en diminuant le bruit.

Afin d'étudier en détail cette structure photosensible, un véhicule test comportant les dispositifs nécessaires à sa caractérisation complète a été conçu [IV.3]. Ce véhicule test, appelé PHOTEMPIS, a été ensuite réalisé dans le cadre du CMP (Circuit Multi Projet) français à Grenoble sur la base de la technologie CMOS $2\mu\text{m}$ proposée par ES2.

4.3.2.- Caractérisation du dispositif.

Afin d'éliminer les différents problèmes associés aux mesures électriques sous pointes, nous avons choisi d'encapsuler le circuit PHOTEMPIS en boîtier céramique 40 broches. Par l'intermédiaire d'une boîte de mesures, nous avons ainsi pu utiliser un Analyseur de mesures de type HP4145B pour la plupart des caractérisations électriques.

Pour réaliser les mesures sous lumière, un filtre vert a été utilisé de façon à se centrer dans le spectre du visible. Afin de caractériser sa bande de transmission, une mesure de la puissance de lumière reçue avec et sans filtre pour chacune des longueurs d'onde sélectionnées dans le spectre visible grâce au monochromateur a été effectuée. Le rapport de ces deux grandeurs est appelé coefficient de transmission du filtre. La bande de transmission du filtre est

obtenue en normalisant ce coefficient de transmission (Fig.4.23.a). Cette bande de transmission se situe dans la gamme de longueurs d'onde entre 400 et 750nm.

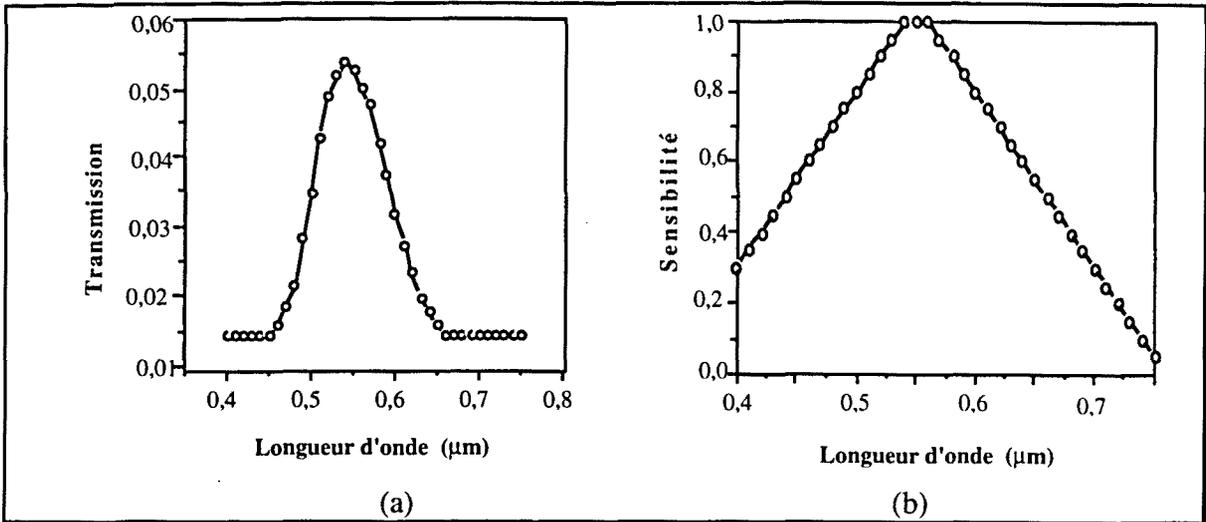


Fig. 4.23: Bande de Transmission (a) et Triangle de Sensibilité (b) du filtre utilisé.

L'unité utilisée pour la mesure de puissance de lumière incidente par unité de surface, c'est-à-dire, l'intensité lumineuse, est le Watt/cm² et le Lux. La première est l'unité standard donnée par le photomètre (Photodyne modèle 88XLA). La deuxième tient compte de la sensibilité de l'oeil humain aux différentes longueurs d'onde du spectre visible.

Pour les applications de vision artificielle, cette deuxième unité, le Lux, est très utilisée. Pour le passage de l'une à l'autre, le paramètre à prendre en compte est que la sensibilité maximum de l'oeil à la lumière visible correspond à la couleur verte de longueur d'onde $\lambda=550\text{nm}$, pour laquelle 1Lux équivaut à $1,6 \cdot 10^{-7}\text{W/cm}^2$.

A partir de l'intensité lumineuse P_s mesurée en W/cm^2 par le photomètre, il sera alors possible en intégrant numériquement l'expression suivante, de convertir celle-ci en Lux:

$$E(\text{lux}) = \frac{P_s}{1,6 \cdot 10^{-7}} \int_{400}^{750} \frac{T(\lambda)Tr(\lambda)}{f(\lambda)} d\lambda \quad (2)$$

Sachant que:

- $Tr(\lambda)$ est une fonction Triangle de Sensibilité par rapport à la longueur d'onde, centrée et normalisée à la couleur verte de $\lambda=550\text{nm}$, représentée à la figure 4.23.b.
- $T(\lambda)$ est la fonction Bande de Transmission par rapport à la longueur d'onde, représentée à la figure 4.23.a.
- $f(\lambda)$ est le facteur de correction du photomètre donné pour chaque longueur d'onde.
- $1\text{lux}=1,6 \cdot 10^{-7} \text{ W/cm}^2$ est le facteur de conversion pour la longueur d'onde de $\lambda=550 \text{ nm}$.

Dans notre, cas on obtient:

$$E[lx]=11,9852 \cdot 10^6 P_s[W/cm^2] \quad (3)$$

Pour l'étude expérimentale des caractéristiques de photogénération de la structure photosensible proposée, deux types de structures ont été conçues [IV.2] [IV.3]:

- Détecteur Photodiode (DD). Structure de diode verticale N⁺/N⁻/P⁻/P⁺ permettant de mesurer directement le courant de photogénération (Fig. 4.24.b).

- Détecteur Phototransistor (DP). Structure de transistor verticale P⁺/N⁻/P⁻/P⁺ permettant de mesurer le courant de photogénération multiplié par le gain du phototransistor (Fig.4.24.c).

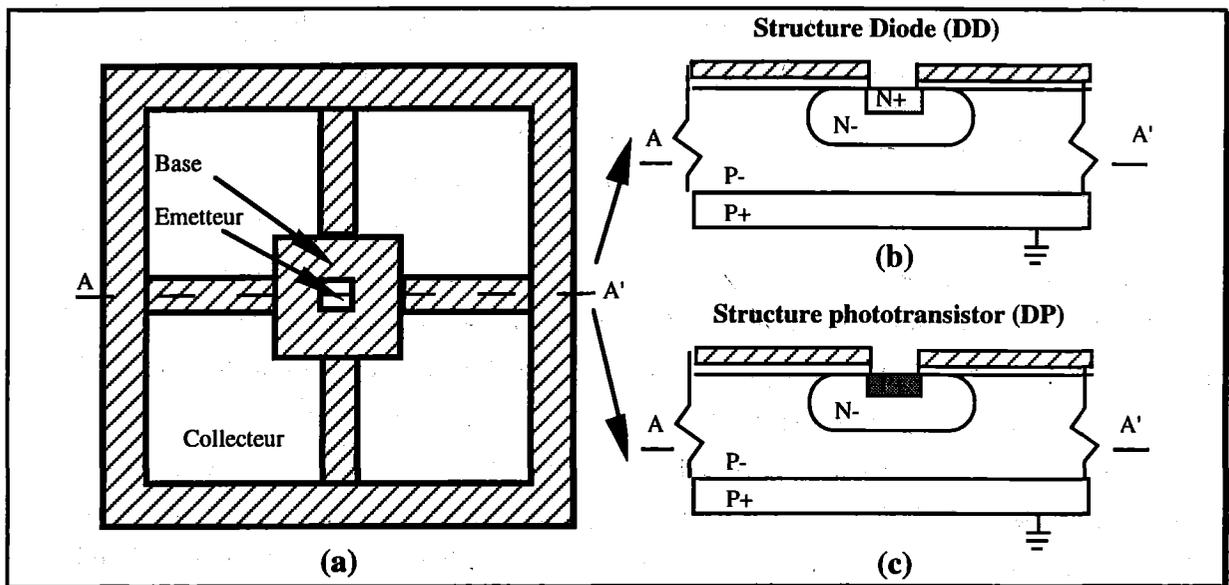


Fig. 4.24: Structures photosensibles dessinées.

Le tableau suivant présente l'ensemble des structures conçues avec leurs caractéristiques principales: largeur latérale de base W_{BL} et surface totale S . Tous les dispositifs comportent de l'oxyde épais en surface de la base.

Détecteur Photodiode (DD)			Détecteur Phototransistor (DP)		
	$W_{BL}[\mu m]$	$S[\mu m^2]$		$W_{BL}[\mu m]$	$S[\mu m^2]$
DD1	5	2500	DP1	5	2500
DD2	10	4896	DP2	10	4896
DD3	10	13920	DP3	10	13920
DD4	10	44096	DP4	10	44096

D'autres structures ont été également conçues afin de comparer leurs caractéristiques avec celles du dispositif photosensible proposé DP.

1) Un phototransistor "conventionnel" PNP à base flottante appelé PHOBIP, où la base constitue la surface de photogénération.

2) Un phototransistor similaire aux dispositifs photosensibles DP la seule différence étant que la grille MOS recouvre la totalité de la base et du collecteur. Ce dispositif est appelé Détecteur Phototransistor Modifié (DPM).

La caractérisation de ces structures est divisée en deux parties principales: l'étude du dispositif d'un point de vue statique et d'un point de vue dynamique.

4.3.2.1.- Etude en statique.

L'étude des caractéristiques statiques du photodétecteur proposé concerne essentiellement le rendement de photogénération, l'étalonnage de la structure photosensible et la photoréponse spectrale sous un éclairage constant [IV.124][IV.125][IV.126][IV.127][IV.128].

a) Rendement de photogénération

Le rendement de photogénération peut être défini comme le nombre d'électrons photo-générés pour chaque photon reçu. Etant donné que chaque photon peut photo-générer au maximum une paire électron-trou, la valeur du rendement sera toujours inférieure à l'unité.

Pour calculer le rendement de la structure, il suffit de mesurer le courant photogénéré et pour cela on utilise un dispositif Détecteur Photodiode (DD). Pour cette mesure, il est nécessaire d'utiliser un éclairage homogène et calibré. L'intensité de la lumière incidente mesurée à l'aide d'un photomètre et le courant photogénéré étant connus, il sera alors possible de déduire le rendement de photogénération.

Le nombre de photons reçus sur une surface S dans tout le domaine de longueurs d'onde du spectre visible peut être calculé à l'aide de l'expression suivante:

$$N_p (s^{-1}) = P_s S \frac{1}{hc} \int_{400}^{750} \lambda \frac{T(\lambda)}{f(\lambda)} d\lambda \quad (4)$$

Où:

λ : Longueur d'onde

$f(\lambda)$: Facteur de correction du photomètre

$T(\lambda)$: Coefficient de transmission du filtre vert

$hc=1,986473 \cdot 10^{-25}$ Jm

S: Surface éclairée du dispositif

P_s : Intensité de lumière incidente

$P_s=P/s$ P: puissance de lumière mesurée par le photomètre

$s=0.38 \text{ cm}^2$ surface éclairée de la photodiode du photomètre avec laquelle on mesure cette puissance

Si on intègre numériquement cette expression on obtient le nombre de photons reçus par unité de temps en fonction de l'intensité de lumière mesurée et de la surface éclairée du dispositif:

$$N_p(s^{-1}) = 3,348 \cdot 10^{18} P_s(W/cm^2) S(cm^2) \quad (5)$$

Le nombre d'électrons photo-générés par unité de temps peut être calculé à partir du courant photogénéré rapporté à la charge d'un électron, c'est-à-dire:

$$N_e(s^{-1}) = \frac{I(nA)}{q(nC)} \quad (6)$$

Le rendement de photogénération est alors le rapport entre ces deux grandeurs, c'est à dire, les électrons photo-générés par photon incident:

$$\eta = \frac{N_e}{N_p}$$

$$\eta = 1,818 \frac{I(A)}{P_s(W/cm^2)S(cm^2)} \quad (7)$$

Le rendement de photogénération d'un dispositif Détecteur Photodiode (DD) de surface de photogénération $S(cm^2)$ peut donc être calculé à partir de l'équation (7) donnée et de la mesure du courant photogénéré $I(A)$ sous un éclairage d'intensité $P_s(W/cm^2)$.

En réalisant une mesure de rendement de photogénération sur le dispositif DD3 sous éclairage homogène d'intensité $P_s=105,23 \cdot 10^{-6} W/cm^2$, on obtient un courant de photogénération de $I=6,25 \text{ nA}$ qui correspond à un rendement de $\eta=0,776$ électrons photo-générés par photon incident.

A partir de cette valeur de rendement et de l'équation (7), il est possible alors de prédire le courant photogénéré en fonction de l'intensité de la lumière incidente et de la surface du dispositif DD:

$$I_{DD}[A] = 0,4268 A/W P_s[W/cm^2] S[cm^2] \quad (8)$$

Le rendement de photogénération mesuré sur le dispositif de photogénération conventionnel PHOBIP est très semblable au précédent. En effet, sous les mêmes conditions d'éclairage, un courant de photogénération de $I= 4,64 \text{ nA}$ est obtenu pour une surface de

photogénération de $10784 \mu\text{m}^2$, ce qui correspond à un rendement de photogénération de $\eta = 0,743$ électrons par photon incident.

De même, on peut exprimer le courant photogénéré en fonction de l'intensité de lumière incidente et de la surface du dispositif PHOBIP à l'aide de l'expression suivante:

$$I_{DD}[\text{A}] = 0,4087 \text{ A/W } P_s[\text{W/cm}^2] S[\text{cm}^2] \quad (9)$$

Le rendement de photogénération obtenu avec le dispositif de Détecteur Phototransistor Modifié (DPM) sous les mêmes conditions d'éclairement correspond à $\eta = 0,62$ électrons par photon. Le courant de photogénération obtenu est de $I = 2,9 \text{ nA}$ et la surface de photogénération est de $8096 \mu\text{m}^2$. Malgré la présence de polysilicium sur toute la surface de la structure, il est intéressant de noter que le rendement a été peu réduit. Cela est dû au fait que la couche de polysilicium de cette technologie est pratiquement transparente aux longueurs d'onde du spectre visible [IV.129] étant donnée la faible épaisseur de cette couche (2000 \AA).

Le courant photogénéré en fonction de l'intensité de lumière incidente et de la surface du dispositif DPM a donc l'expression suivante:

$$I_{DD}[\text{A}] = 0,341 \text{ A/W } P_s[\text{W/cm}^2] S[\text{cm}^2] \quad (10)$$

Ce résultat montre que l'absorption ou réflexion de la lumière dans la couche de polysilicium est faible puisque le rendement du dispositif ne diminue pas excessivement.

b) Etalonnage de la structure.

Pour les nécessités d'une application de vision, il est important d'effectuer un étalonnage du dispositif, c'est-à-dire du courant d'émetteur photogénéré en fonction de l'intensité de lumière reçue. Ce courant d'émetteur est le produit du courant de base ou courant photogénéré par le gain du transistor bipolaire associé à cette structure photosensible. Le courant de base est proportionnel à l'intensité de lumière incidente, par contre la valeur du courant d'émetteur n'est pas forcément linéaire puisqu'elle dépend du gain du transistor.

En effet, le gain du transistor bipolaire associé à la structure photosensible n'est pas constant. C'est seulement dans la zone linéaire du transistor (plateau de gain) que l'on peut considérer une relation linéaire entre les courants de base et émetteur et donc entre courant d'émetteur et intensité de lumière incidente. Il sera donc important pour répondre aux exigences des applications de vision, de faire fonctionner le dispositif photosensible dans cette région de travail. C'est pour cela, que lors de l'optimisation du transistor bipolaire, le paramètre de largeur de plateau de gain a été défini comme prioritaire et devant être maximum.

Afin de caractériser cette région de travail, on a réalisé différentes mesures pour une gamme d'éclairements comprise entre $3,16 \cdot 10^{-4} \text{ W/cm}^2$ et $9,68 \cdot 10^{-8} \text{ W/cm}^2$. Pour chaque intensité de lumière, on a mesuré le courant photogénéré ou courant de base à partir d'une

structure Détecteur Photodiode (DD) et le courant photogénéré amplifié ou courant d'émetteur obtenu à partir d'une structure Détecteur Phototransistor (DP) équivalente.

Ces courants sont présentés à la Fig.4.25 en fonction de l'intensité de la lumière incidente exprimée en lux.

A partir de l'ensemble des mesures expérimentales de courant de base photogénéré et par la méthode de régression linéaire, une valeur moyenne du rendement peut être calculée. En effet, le courant de photogénération d'une structure Détecteur Photodiode (DD) est proportionnel à l'intensité de lumière et à la surface de photogénération selon l'expression:

$$I_B(A) = K (A/cm^2lux) S(cm^2) E(lux) \quad (11)$$

K étant un facteur de proportionnalité exprimé en (A/W) et représentant la sensibilité du dispositif. Si on applique des logarithmes on obtient:

$$\log I_B = \log KS + \log E \quad (12)$$

La méthode de régression linéaire permet d'obtenir la droite par laquelle passent les points expérimentaux qui pour le cas de la Fig. 4.25 est:

$$\log I_B = -11,32 + 0,997 \log E \quad (13)$$

Le terme indépendant de cette droite permet de calculer la valeur de la sensibilité du dispositif photosensible qui est de 0,4121 A/W. Portée dans l'équation (7) cette sensibilité correspond à un rendement de $\eta = 0.749$. A partir de ce nouveau résultat, on peut réécrire la relation de proportionnalité du courant de photogénération d'un dispositif photosensible par rapport à l'intensité de lumière incidente et de sa surface:

$$I_{DD}[A] = 0,412 A/W P_s[W/cm^2] S[cm^2] \quad (14)$$

Il est intéressant de connaître à quelle gamme d'intensités de lumière correspond la région dans laquelle le photodétecteur travaille en régime linéaire.

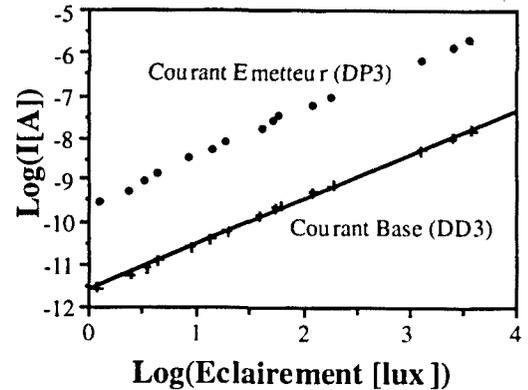


Fig.4.25: Courant de photogénération en fonction de l'éclairement.

A l'aide de l'équation (3) on obtient l'expression qui donne l'intensité de lumière $E(\text{lux})$ nécessaire pour photo-générer un courant I_{DD} donné dans un dispositif de surface de photogénération $S(\text{cm}^2)$:

$$E(\text{lux}) = 29,083.10^6 \frac{I_{DD}[\text{A}]}{S[\text{cm}^2]} \quad (15)$$

D'après les résultats expérimentaux obtenus, on se situe bien dans la zone linéaire du transistor bipolaire associé (plateau de gain). Ceci est mis en évidence sur la figure 4.26 où on a porté la courbe de gain correspondant à ces points expérimentaux. La courbe de gain théorique du transistor bipolaire associé y est aussi représentée en transformant le courant de base photogénéré en intensité de lumière incidente à partir de l'équation (15).

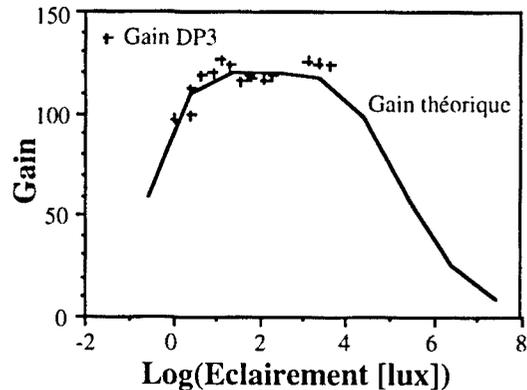


Fig.4.26: Gain théorique-expérimental en fonction de l'éclairement.

En conclusion les structures optimisées permettent d'obtenir une région linéaire du transistor bipolaire (plateau de gain) correspondante à 4 décades d'intensité de lumière incidente.

c) Réponse spectrale.

On définit la réponse spectrale comme le rendement de photogénération obtenu sous l'éclairement d'une lumière monochromatique [IV.130]. La courbe de réponse spectrale représente donc tous les rendements de photogénération sous éclairement d'une lumière monochromatique pour chacune des longueurs d'onde du spectre visible.

L'absorption d'un photon dans le semi-conducteur dépend du coefficient d'absorption α suivant une loi exponentielle. Cette loi donne la profondeur à laquelle les photons d'une longueur d'onde déterminée ont une probabilité minimum de générer une paire électron-trou. Les photons de faible longueur d'onde (lumière bleue) génèrent dans la région proche de la surface, tandis que les photons de grande longueur d'onde (lumière rouge) génèrent plus en volume.

Si on observe la surface de photogénération de la structure photosensible proposée (DD), on peut s'attendre à de faibles variations du rendement de photogénération sous éclairement des différentes longueurs d'onde du spectre visible, puisque le collecteur est une couche épitaxiée et homogène. Dans la surface du collecteur au dessus des fenêtres de photogénération, il existe un oxyde de grille non recouvert par la grille de polysilicium. Compte tenu de la technologie ES2, une fine couche en surface du silicium de forte accumulation existe due à l'implantation P

d'ajustement de la tension de seuil. Cette couche va minimiser les courants de recombinaison en surface.

La surface de photogénération d'une structure photosensible conventionnelle PHOBIP est la base du transistor bipolaire associé. L'accumulation en surface de la base liée à l'implantation de champ de type N sous l'oxyde épais permet la réduction des courants de recombinaison superficiels. Par contre, le dopage de base est supérieur au dopage de collecteur ce qui va contribuer à diminuer la durée de vie (τ_0) des porteurs minoritaires photo-générés.

A l'aide d'un monochromateur et d'une source de lumière blanche, on a soumis les deux dispositifs à une gamme de longueurs d'onde du spectre visible de 400 à 750 nm, les mesures de rendement de photogénération étant réalisées chaque 10nm.

Sur la figure 4.27 est représentée la courbe de photoréponse spectrale de la structure photosensible proposée DD3 et de la structure photosensible conventionnelle PHOBIP. Les résultats de rendement obtenus sont normalisés à l'unité.

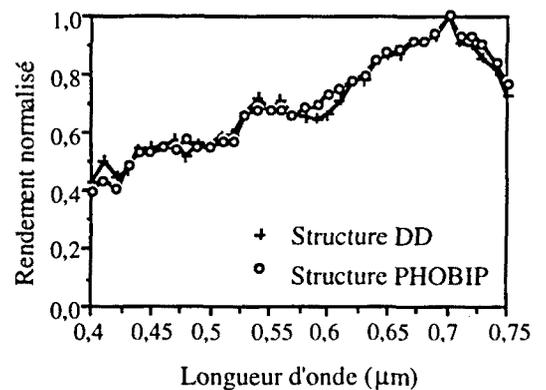


Fig.4.27: Courbes de photoréponse spectrale structures DD et PHOBIP.

On peut remarquer que les deux courbes de photoréponse sont très semblables. Ce résultat met en évidence que du point de vue de la photoréponse spectrale, il n'y a pas d'avantage d'utiliser une structure plutôt que l'autre.

4.3.2.2.- Etude en Dynamique.

L'étude du comportement en dynamique du dispositif photosensible comporte la mesure du temps de réponse du dispositif à l'arrivée d'un signal lumineux appelé T_{ON} et à son extinction appelé T_{OFF} .

Il est important que la vitesse de réponse d'un dispositif photosensible soit grande pour des applications où le changement d'éclairage est fréquent et où il est nécessaire d'obtenir des informations instantanées des événements. C'est le cas de la vision artificielle en temps réel.

L'objectif dans ce paragraphe est de comparer les temps de réponse obtenus avec une structure photosensible proposée (DP) à ceux d'une structure conventionnelle PHOBIP.

Pour cela, on a utilisé une source de lumière monochromatique Laser ($\lambda=5145 \text{ \AA}$) et un chopper qui permet d'obtenir une lumière stroboscopique. La structure photosensible est polarisée selon le schéma présenté à la figure 4.28: résistance d'émetteur R_E de valeur $1K\Omega$, tension d'alimentation V_{DD} de 5V et polarisation de grille MOS V_G de 5V. Pour mesurer la

réponse en tension V_{OUT} , on mesure la tension entre émetteur et collecteur du phototransistor à l'aide d'un oscilloscope Tektronix 2465 (300MHz).

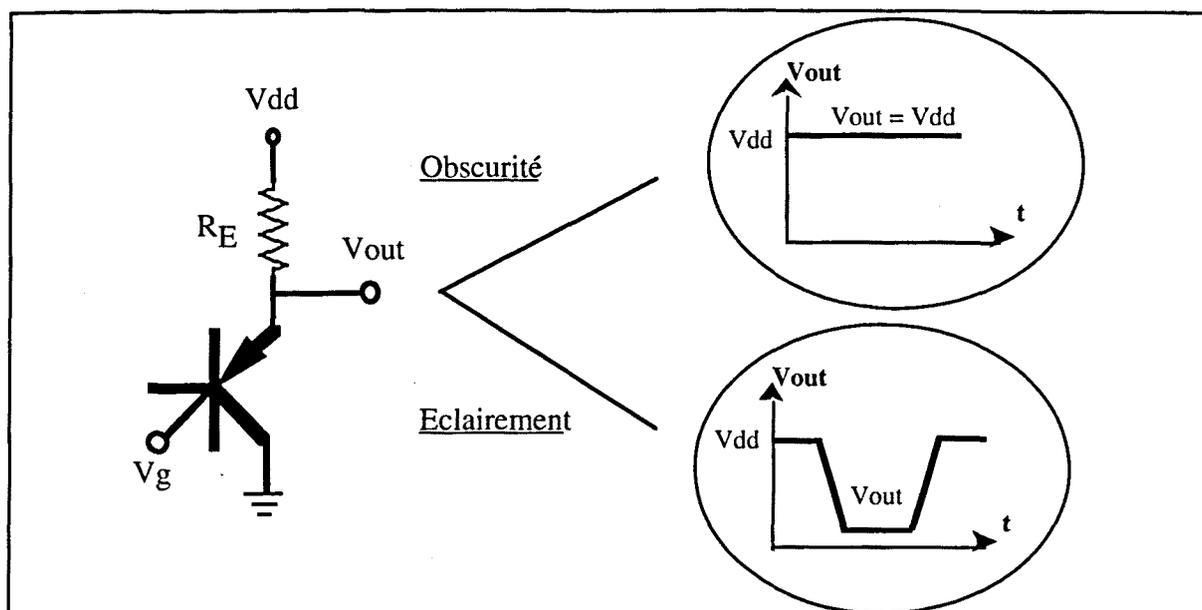


Fig. 4.28: Etude en dynamique.

En absence de lumière, le phototransistor est coupé et il n'y a pas de courant entre émetteur et collecteur. La tension de sortie est alors égale à la tension d'alimentation $V_{DD}=5V$. Par contre, sous éclairement, le phototransistor est polarisé en direct et le courant entre émetteur et masse produit à travers la résistance d'émetteur R_E une diminution de tension observée à l'oscilloscope. Quand le phototransistor est exposé à une lumière stroboscopique, on observe à l'oscilloscope un signal périodique carré. La pente du signal "descendant" correspond au temps de réponse T_{ON} et celle du signal "montant" au temps de réponse T_{OFF} .

Les expériences réalisées sont résumées ci-après:

Dispositif photosensible proposé (DP)

V_G non polarisée	$T_{ON} = 5\mu s$	$T_{OFF} = 36\mu s$
$V_G = 5V$	$T_{ON} = 3,5\mu s$	$T_{OFF} = 20\mu s$

Dispositif photosensible conventionnel (PHOBIP)

$T_{ON} = 5\mu s$	$T_{OFF} = 50\mu s$
-------------------	---------------------

La Fig. 4.29 présente le signal de sortie V_{OUT} observé à l'oscilloscope. Il s'agit du dispositif photosensible DP3 avec une tension de polarisation de grille MOS de $V_G=5V$.

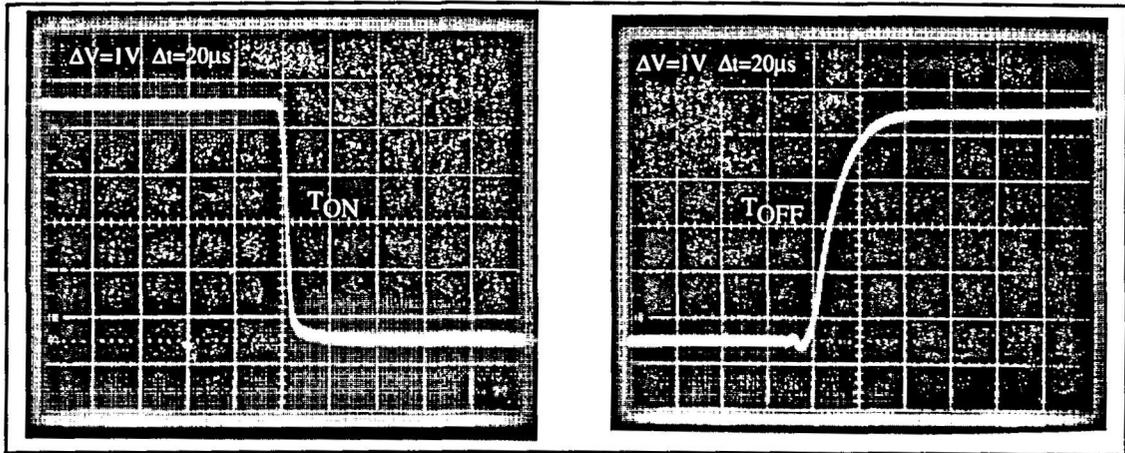


Fig. 4.29: Temps de réponse du dispositif photosensible DP3.

D'après les différentes mesures effectuées sur des dispositifs équivalents, on peut tirer les conclusions suivantes:

- Dans la structure photosensible proposée (DP), la diffusion nécessaire des électrons photo-générés dans le collecteur ne pénalise pas le temps de réponse.

- Le temps de réponse T_{ON} est comparable à celui du dispositif photosensible conventionnel PHOBIP et est en accord avec les temps de réponse donnés dans la littérature [IV.4].

- Dans la structure photosensible proposée DP, trois caractéristiques importantes sont observées:

- 1) La collection des électrons photo-générés augmente considérablement avec la polarisation de grille MOS V_G . Lorsqu'on augmente cette tension, une diminution de la tension de sortie est observée sur l'oscilloscope.

- 2) La polarisation de grille MOS V_G induit également une réduction du temps de réponse du dispositif.

- 3) Le temps de réponse de la structure photosensible proposée DP est la même pour toute surface de photogénération du fait que la topologie du transistor bipolaire associé à la structure photosensible est identique pour toutes les structures. Cette propriété est particulièrement attrayante car elle permet de dessiner de grands dispositifs photosensibles sans pénaliser leur vitesse de réponse.

4.3.3.- Application possibles.

Les caractéristiques les plus attrayantes de cette structure photosensible (DP) sont la densité d'intégration et la possibilité d'augmenter la surface de photogénération sans modifier ses propriétés ni en statique ni en dynamique. En tenant compte de ces caractéristiques, deux applications ont été envisagées:

- a) Vision artificielle, basse résolution en temps réel.
- b) Photomètre auto-adaptatif large bande.

Ces applications n'ont pas été réalisées sur silicium, elles représentent la validation théorique de la structure de photodétection proposée.

4.3.3.1.- Vision artificielle, basse résolution en temps réel.

Souvent la simplicité et le faible coût sont des caractéristiques prioritaires dans des applications de vision artificielle en temps réel [IV.27]. Sur une chaîne de travail en série, des centaines de détecteurs sont requis pour identifier et classer des éléments simples .

L'intérêt de ces applications de vision artificielle basse résolution, sur des matrices à moins de 50*50 éléments, a été montrée dans des travaux précédents [IV.28] [IV.29]. La structure photosensible proposée DP pourrait être intégrée dans une matrice basse résolution avec une logique CMOS de traitement des résultats.

Les caractéristiques les plus importantes de ces applications sont:

- Eclairage ambiant constant et homogène.
- Information sur la position et l'orientation de l'objet sans précision de sa forme.
- Chaque élément de la matrice doit distinguer entre blanc et noir. Un seul seuil doit donc être établi. Ce seuil sera une intensité de lumière qui sépare le blanc (lumière) du noir (obscurité).

La géométrie du photodétecteur est choisie en fonction des deux paramètres: l'intensité de lumière ambiante (I_{ambiant}) et l'intensité de lumière de seuil (I_{seuil}). Sur la courbe du gain en fonction de l'intensité de lumière, l'éclairage I_{ambiant} sera placée vers la fin du plateau de gain du transistor, tandis que l'éclairage I_{seuil} sera placé au début (Fig.4.30). Un phototransistor avec un large plateau de gain est donc conseillé.

Le fond sur lequel vont être placées les pièces à identifier devra être d'une couleur complémentaire. C'est-à-dire, si les pièces sont blanches ou métallisées, le fond sera noir. De cette façon, l'intensité de lumière du seuil sera choisie moyenne entre le maximum et minimum d'intensités de lumière.

Le bruit de fond pour la détection des pièces pourra être minimisé avec un contrôle de l'intensité de la lumière ambiante.

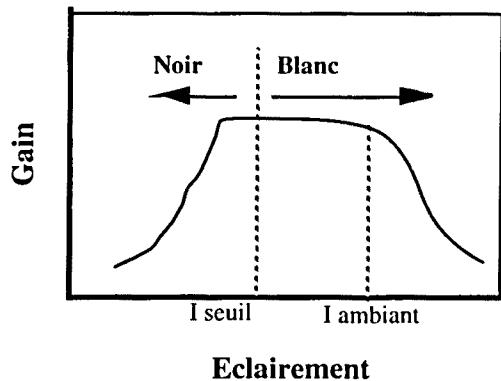


Fig.4.30: Courbe de gain du photodétecteur pour vision artificielle.

La structure de vision artificielle proposée sera donc un phototransistor PNP avec une géométrie précise, connecté à une forte résistance d'émetteur réalisée à partir d'un transistor PMOS en saturation (Fig.4.31). La sortie sera connectée à un circuit Trigger de Schmitt. Les caractéristiques d'hystérésis de ce circuit permettront de réduire l'instabilité dans la réponse de certains éléments de la matrice, en particulier dans la frontière des objets.

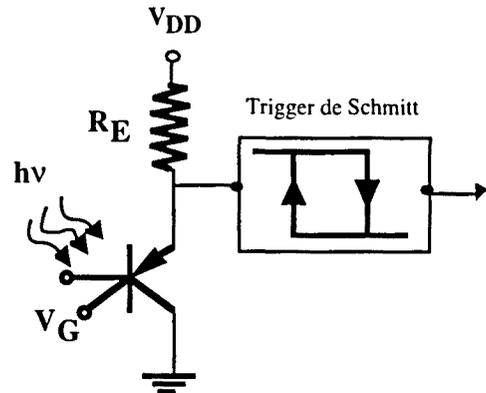


Fig.4.31: Cellule de vision artificielle proposée.

L'avantage d'utiliser une structure de photodétection DP par rapport aux structures conventionnelles (PHOBIP) est la forte densité d'intégration. La règle de dessin qui définit l'espacement entre deux cellules est dans le cas des structures DP l'espacement entre deux bandes de polysilicium ($2\mu\text{m}$ dans une technologie ES2), tandis que si on utilise des structures PHOBIP, c'est l'espacement entre deux puits N ($12\mu\text{m}$ dans une technologie ES2).

4.3.3.2.- Photomètre auto-adaptatif large bande.

Le but de cette application est de réaliser un photodétecteur avec une surface de collecteur ajustable en fonction de l'intensité de lumière à détecter, afin qu'il puisse toujours fonctionner dans la "région dynamique" du transistor. On définit la "région dynamique" du transistor comme la gamme de courants de base où le gain du transistor est reproductible (Fig.4.32). Cette région dynamique est plus large que la région du plateau de gain du transistor et elle est définie par les valeurs limites de courant de base ou émetteur ($I_{E\text{min}}$ et $I_{E\text{max}}$).

La structure proposée pour la réalisation de ce photomètre doit comporter une technologie CMOS à deux niveaux de polysilicium. La structure photosensible utilisée est celle où le collecteur est totalement recouvert par une grille de polysilicium (structure DPM). La structure devient plus simple, la surface utilisée aussi et le rendement de photogénération diminue seulement de 0,75 à 0,62 électrons par photon pour des longueurs

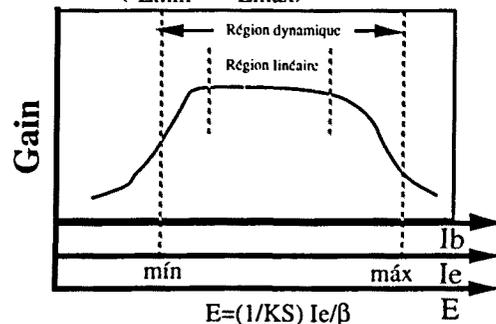


Fig.4.32: Définition de la "région dynamique" du transistor.

d'onde supérieures à $0,5\mu\text{m}$ où le polysilicium est transparent à la lumière [IV.25]. Pour cette structure une région dynamique de 8 décades (de $I_B=10^{-12}$ A à $I_B=10^{-4}$ A) a été considérée.

Le courant de photogénération est proportionnel à la surface de photogénération. Différentes mesures de courant de photogénération sur des structures diode (DD) ont été

réalisées pour vérifier cette hypothèse. Sur deux structures ayant des surfaces de photogénération $S_1 = 13920 \mu\text{m}^2$ et $S_2 = 44096 \mu\text{m}^2$ respectivement et sous le même éclairage, les courants de photo-générés sont de $I(S_1) = 0,48 \text{ nA}$ et $I(S_2) = 1,51 \text{ nA}$ correspondant bien au rapport des surfaces de photogénération.

La structure photomètre comporte un *phototransistor actif*, sur lequel les mesures de courants sont réalisées, et des phototransistors adjacents, appelés *phototransistors de désactivation*. Une grille de polysilicium, appelée *grille de désactivation*, sépare ces derniers du phototransistor actif (Fig.4.33).

C'est cette deuxième grille qui nécessite le deuxième niveau de polysilicium. Le rôle de cette grille de polysilicium est de contrôler par tension l'activation ou la désactivation des surfaces de collecteur adjacentes au phototransistor actif. Cela est physiquement possible avec le contrôle d'une discontinuité de la charge d'espace entre deux phototransistors adjacents.

Les émetteurs des phototransistors de désactivation doivent être polarisés quand leur surface de collecteur n'est pas nécessaire. Le courant photogénéré dans cette région est alors collecté et dévié par ces phototransistors de désactivation. Par contre, quand la contribution de cette surface est nécessaire, ils doivent être laissés flottants.

Une gamme de 12 décades d'intensité de lumière peut être mesurée (Fig.4.34). Pour cela, trois surfaces de collecteur ont été considérées: $S_1 = 2112 \mu\text{m}^2$, $S_2 = 2112 \cdot 10^2 \mu\text{m}^2$ et $S_3 = 2112 \cdot 10^4 \mu\text{m}^2$. La surface de photogénération de S_1 est la plus petite qui peut être obtenue dans une technologie CMOS $2 \mu\text{m}$ du CMP, et la plus grande S_3 est aussi la surface totale du photomètre de $0,2112 \text{ cm}^2$. Cette dernière surface S_3 est comparable aux $0,38 \text{ cm}^2$, surface de photogénération d'une photodiode commerciale qui couvre 9 décades d'intensité de lumière.

Les valeurs limites de l'intensité de lumière ont été calculées en tenant compte de la formule du courant photogénéré dans une structure DPM en fonction de la surface de photogénération et de l'intensité de lumière.

$$P_{\min}(S_3, I_{B\min} = 10^{-12} \text{ A}) = \frac{I_{DPM}(\text{A})}{0,341S(\text{cm}^2)} = 14 \cdot 10^{-12} \text{ W / cm}^2$$

$$P_{\max}(S_1, I_{B\max} = 10^{-4} \text{ A}) = \frac{I_{DPM}(\text{A})}{0,341S(\text{cm}^2)} = 14 \text{ W / cm}^2$$

La circuiterie nécessaire pour la réalisation de ce photomètre pourrait être:

- étalonnage du gain du phototransistor à l'aide d'une cellule de mémoire non volatile (EPROM, EEPROM). Les valeurs de gain pour les différents courants d'émetteur dans la région dynamique du phototransistor pourraient ainsi être enregistrées.

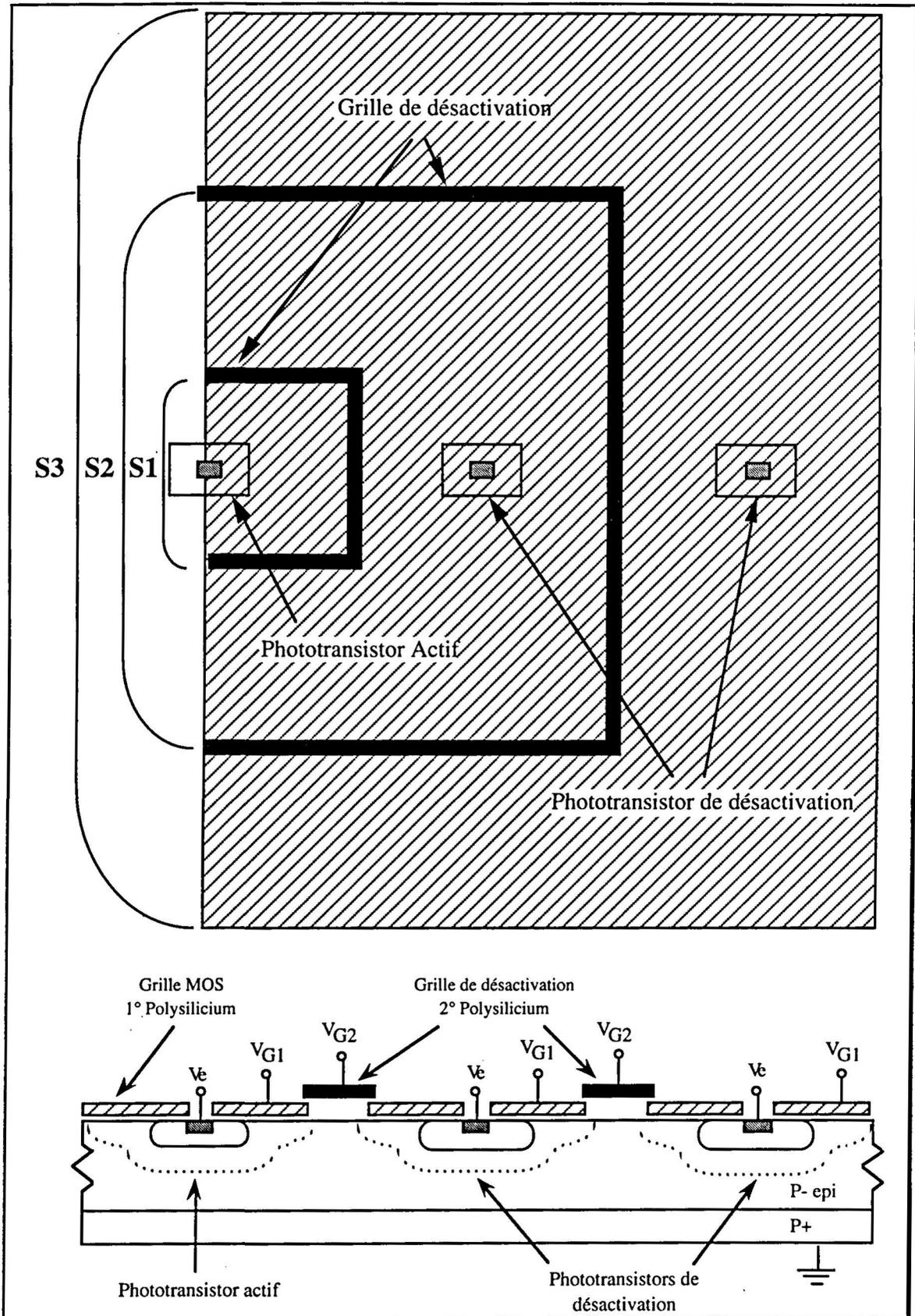


Fig.4.33: Structure photomètre proposée.

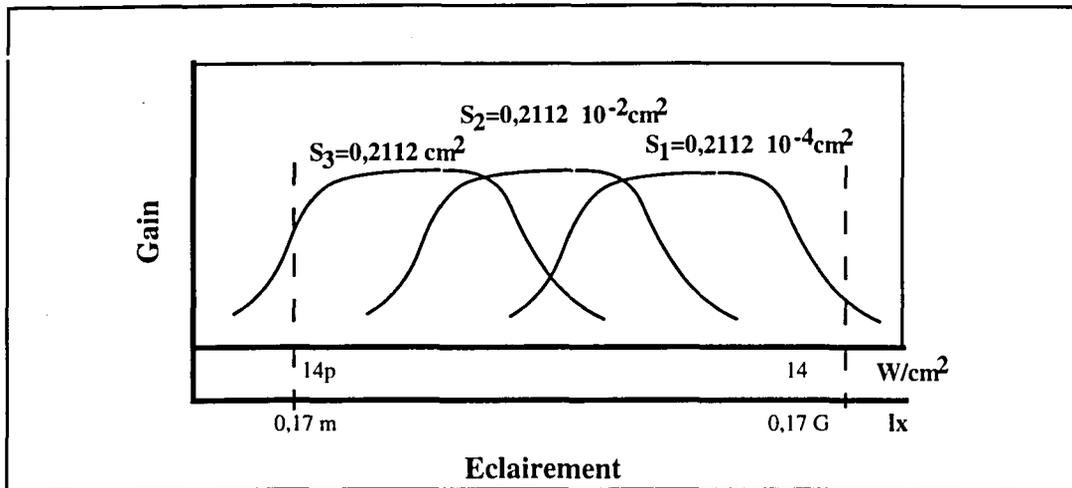


Fig.4.34: Gamme d'intensité de lumière mesurables.

- ajustement de la surface de collecteur: le courant d'émetteur I_E est mesuré et comparé avec I_{Emin} et I_{Emax} . En fonction du résultat, la grille de désactivation et les émetteurs des phototransistors de désactivation sont polarisés pour augmenter ou diminuer la surface de collecteur.

- Enfin, calcul de l'intensité de lumière sur la base de la surface de collecteur active et de la valeur de I_E correspondante.

Conclusion

Nous avons montré dans ce chapitre qu'un concept de puits flottant pouvait être mis à profit pour utiliser le transistor bipolaire parasite vertical de la technologie CMOS. Cette démonstration a été faite tant d'un point de vue théorique que sur le silicium.

En ce qui concerne le circuit de détection thermique, comme tout dispositif de ce type, son placement par rapport au composant de puissance sera primordial. L'idéal serait de le placer au centre du DMOS de puissance où la température est censée être la plus élevée.

L'application de photodétection qui est basée sur le même principe que celle de détection thermique est intéressante car elle montre que même dans une technologie CMOS classique, on peut utiliser le bipolaire vertical parasite.

En ce qui concerne la circuiterie de traitement de signal qui devra cohabiter avec cette matrice de vision, certaines précautions de conception relativement classiques (anneaux de garde, distance suffisante matrice/circuiterie,...) seront à respecter et devraient permettre d'obtenir un circuit de vision basse résolution en temps réel à faible coût.

BIBLIOGRAPHIE Chapitre IV

[IV.1] M.BAFLEUR, J.BUXO, Ph.GIVELIN and V.MACARY, "Driving and Protection Circuitry for a Smart Power MOS High-Side Switch Based on a Floating Well Concept" EPE-MADEP, September 1991, Florence-Italie, pp.189-192.

[IV.2] M. BAFLEUR; "Réalisation d'un Vehicule Test destiné à evaluer les Caractéristiques et les Performances d'un nouveau Detecteur Thermique et Photonique"; Rapport L.A.A.S. n° 89007, Abril 1989.

[IV.3] M. PUIG VIDAL, M. BAFLEUR, G. SARRABAYROUSE, J. BUXO; "PHOTEMPIS: Véhicule Test destiné à evaluer les caractéristiques et les Performances d'un nouveau Détecteur Thermique et Photonique"; Rapport L.A.A.S. n° 90078, Mars 1990.

[IV.4] A.S. GROVE: "Physics and technology of semiconductor devices", John Wiley and sons, (1967).

[IV.5] M. BAFLEUR, J. BUXO, G. SARRABAYROUSE, J. MILLAN and S. HIDALGO; "CMOS Compatible, Self-Biased Transistor Aimed at Detecting Maximum Temperature in a Silicon Integrated Circuit"; ELECTRONICS LETTERS, vol.24, n°16, 4th August 1988, p. 1022.

[IV.6] M. BAFLEUR, J. BUXO, G. SARRABAYROUSE, M. PUIG VIDAL et E. FIGUERAS; "Transistor Bipolaire Autopolarisé appliqué à l'Intégration CMOS d'un Photodetecteur"; Trobades Científiques de la Mediterrània - MICROELECTRONICA, MAO (Menorca), 20-22 Septembre 1989.

[IV.7] ROBERT J. WIDLAR : "Design Techniques for Monolithic Operational Amplifiers", IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. sc-4, August 1969

[IV.8] G. A. M. HURKX (Philips Research Laboratories, 5600 JA Eindhoven, The Netherlands) ; "Modelling Sidewall Effects in Downscaled Bipolar Transistors", Solid-State Electronics Vol. 32, n° 5, pp 397-404, 1989

[IV.9] S.M. SZE, "Physics of semiconductor Devices", Wiley, New York (1969)

[IV.10] X. CORREIG, Thèse Doct. E.T.S.E. Telecom., (U.P.C.) Barcelona, (1988).

[IV.11] GROVE, A.S., FITZGERALD, D.J., "Surface effects on p-n junctions: characteristics of surface space-charge regions under non-equilibrium conditions", Solid-State Electronics, Vol. 9, pp. 783-806, 1966.

[IV.12] MICHEJDA, J., KIM, S. K., "A precision CMOS bandgap reference", IEEE J. Solid-State Circuits, vol. SC-19, pp. 1014-1021, Dec. 1984.

[IV.13] M. BAFLEUR, M. PUIG VIDAL, Ph. GIVELIN, S. SISKOS and V. MACARY ; "Thermal Shutdown CMOS Circuits for Smart Power Applications", acceptée à MICROELECTRONICS JOURNAL.

[IV.14] M. PUIG VIDAL, M. BAFLEUR, J. BUXO and G. SARRABAYROUSE; "Floating Well Based Design Methodology Aimed to Improve Latch-up Immunity in a Smart Power Technology"; ESSDERC Conference, Leuven (Belgique), 1992.

[IV.15] DOKIC, B. L., "CMOS Schmitt trigger", Proc. IEEE, vol. 131, pp. 197-202, Oct. 1984.

[IV.16] S.D.KIRIISH,J.C.DALY,L.JOU et SHING-FONG SU; "Optical Characteristics of CMOS-Fabricated MOSFET's": IEEE Journal of Solid-State Circuits, vol.SC-22,n°2, avril 1987.

[IV.17] Y.MATSUNAGA, H.YAMASHITA,S.MANABE et N.HARADA;"A High-Sensitivity MOS Photo-Transistor for Area Image Sensor": IEEE Transactions on Electron Devices, vol. 38, n° 5, Mai 1991.

[IV.18] M. PUIG VIDAL, M. BAFLEUR, G. SARRABAYROUSE et J. BUXO; "Etude de Propriétés de Dispositifs Photosensibles Compatibles CMOS"; Rapport LAAS n° 92126. Avril 1992.

[IV.19] M. PUIG VIDAL, M. BAFLEUR, J. BUXO, G. SARRABAYROUSE; " A Bipolar Photodetector Compatible with Standard CMOS Technology", SOLID-STATE ELECTRONICS Vol. 34, n° 8, pp. 809-814, Août 1991.

[IV.20] NOBUYOSHI TANAKA, YOSHIO NAKAMURA, TADAHIRO OHMI; "A Novel Bipolar Imaging Device with Self-Noise-Reduction Capability"; IEEE TRANSACTIONS OF ELECTRON DEVICES; vol. 36, n° 1, January 1989, pag. 31

[IV.21] NOBUYOSHI TANAKA, YOSHIO NAKAMURA, TADAHIRO OHMI, SHIGEYUKI MATSUMOTO; "A Low-Noise BI-CMOS Linear Image Sensor with Auto-Focusing Function"; IEEE TRANSACTIONS OF ELECTRON DEVICES; vol. 36, n° 1, January 1989, pag. 39.

[IV.22] NOBUYOSHI TANAKA, SEIJI HASHIMOTO, MAHITO SHINOHARA, SHIGETOSHI SUGAWA, MASAKAZU MORISHITA, SHIGEYUKI MATSUMOTO, YOSHIO NAKAMURA, TADAHIRO OHMI;"

A310K Pixel Bipolar Imager (BASIS)"; IEEE TRANSACTIONS OF ELECTRON DEVICES; vol. 37, n° 4, Avril 1990, pag. 964.

[IV.23] YOSHIO NAKAMURA, H.OHZU, M.MIYAWAKI, N.TANAKA et TADAIRO OHMI "Design of Bipolar Imaging Device (BASIS)"; IEEE TRANSACTIONS OF ELECTRON DEVICES; vol. 38, n° 5, Mai 1991, pag. 1028.

[IV.24] M.MIYAWAKI et TADAIRO OHMI "Reduction of Fixed-Pattern Noise of BASIS Due to Low Kinetic Energy Reactive Ion and Native-Oxide-Free Processing"; IEEE TRANSACTIONS OF ELECTRON DEVICES; vol. 38, n° 5, Mai 1991, pag. 1037.

[IV.25] C. ANAGNOSTOPOULOS et al, "Transmittance of Air / SiO₂ / Polysilicon / SiO₂ / Si Structures", IEEE J. Solid State Circuits, vol. SC-10, pp. 177-179, (1975).

[IV.26] J.NISHIZAWA, TAMAMUSHI, M.USHIROZAWA et J.H.KIM; "Spectral Response of an SIT Image Sensor with an Improved Structure": IEEE ELECTRON DEVICE LETTERS, vol.11, n°4, Avril 1990.

[IV.27] P.K. WEIMER, F.V. SHALLCROSS and V.L. FRANTZ (RCA Lab. Princeton, N.J. 08540), "Phototransistor Arrays of Simplified Design"; IEEE JOURNAL OF SOLID-STATE CIRCUITS, pp 135; June 1971.

[IV.28] M.H.LEE and F.S. SHAHABI, Department of Computer Science, University College of Wales, UK.; "Very Low Resolution Vision Sensors Offer Gains in Cost and Speed"; SENSOR REVIEW, pp.186-190, October 1982.

[IV.29] M.A. MAHOWALD and CARVER MEAD; "Silicon Retina"; Analog VLSI and neural Systems, chapter 15, pp.253-275. Year 1987.

Conclusion Générale

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100

Dans ce mémoire, nous avons proposé une méthodologie de conception originale basée sur un concept de puits flottant permettant de rendre immune au latch-up une technologie CMOS/DMOS de puissance intelligente basse tension ($\leq 100V$) et faible coût.

Dans un premier chapitre, une étude du phénomène du latch-up dans une technologie CMOS en statique et en dynamique à l'aide d'un modèle analytique nous a permis de mettre en évidence les paramètres qui définissent la robustesse d'une structure inverseur CMOS contre le déclenchement du thyristor parasite et donc l'établissement du latch-up.

En **statique**, le courant de maintien sera d'autant plus élevé que les résistances de substrat R_S et de puits R_W seront plus faibles. Réduire ces résistances permettra donc d'éloigner les risques d'initialisation du latch-up. L'utilisation d'un substrat épitaxié N^+/N^- sera donc conseillée pour minimiser la résistance de substrat R_S .

En **dynamique**, les trois paramètres à prendre en compte sont: la pente du transitoire, K , la durée du transitoire, t_p , et la capacité de jonction puits P^- / substrat N^- épitaxié, C . Si la somme des efficacités d'injection des transistors bipolaires parasites est inférieure à l'unité, $\alpha_{fn} + \alpha_{fp} < 1$, le latch-up ne peut pas s'établir. Par contre, si elle est supérieure à l'unité, une zone de sécurité vis à vis du latch-up peut être clairement définie à l'aide des trois paramètres précédents.

Eviter le latch-up signifie se situer dans des conditions telles que le phénomène ne puisse pas s'établir. Une solution n'introduisant pas d'étapes technologiques supplémentaires a été proposée et analysée dans le cadre d'une technologie CMOS/DMOS de puissance intelligente dans un deuxième et troisième chapitre. Utiliser la propriété d'auto-isolément de cette technologie associé à une méthodologie de conception destinée à améliorer l'auto-blindage offre une solution avec un compromis rendement-coût avantageux.

L'originalité de la solution proposée réside dans le fait qu'elle utilise un concept de puits flottant dans une structure inverseur CMOS conservant de bonnes caractéristiques de transistor MOS et protégeant efficacement contre l'établissement du latch-up.

La structure CMOS puits P définie comporte une diffusion supplémentaire P^+ profonde qui ne rajoute aucune étape technologique puisqu'elle est réalisée en même temps que le puits P^+ profond du VDMOS. Elle entoure le transistor NMOS dans le puits P laissé flottant et a la particularité de chevaucher la diffusion de source formant ainsi une diode N^+/P^+ . Cette diode joue le rôle de chemin basse impédance vers la masse pour l'évacuation des charges positives injectées dans le puits, tout en permettant à la tension du puits de flotter.

L'efficacité de la protection contre le latch-up en statique et en dynamique a été démontrée d'un point de vue théorique et validée expérimentalement grâce à un véhicule test sur silicium réalisé sur la base d'une technologie entièrement développée au LAAS. Les principaux résultats expérimentaux concernant la structure CMOS à puits flottant protégée sont:

- une meilleure efficacité de la jonction N^+/P^+ , par rapport à celle N^+/P^- d'une structure CMOS standard, pour absorber des courants dans le puits P^- permettant d'obtenir des tensions de claquage BV_{CEO} proches de celles d'un puits attaché à la masse et des courants de fuite I_{CEO} faibles ainsi qu'une dégradation du gain du transistor bipolaire vertical parasite de source Q_{VS} .

- l'augmentation du courant de maintien et de la tension d'amorçage dans les caractéristiques statiques du latch-up.

- une bonne atténuation d'un transitoire en tension positif survenant dans le substrat épitaxié N^- .

- une bonne protection contre des transitoires en tension négatifs couplés au drain des transistors NMOS.

- une aire de sécurité libre de latch-up plus étendue lors de la mise sous tension de l'inverseur CMOS.

Ces bonnes performances permettent de conclure que le concept original de puits flottant proposé est une solution efficace pour améliorer l'immunité au latch-up d'une technologie CMOS.

Ces mesures expérimentales ont également montré les bonnes performances électriques d'une technologie CMOS à puits P flottant convenablement protégée. En effet, l'effet "kink" est rejeté vers des tensions drain-source suffisamment élevées ($\geq 5V$) sur une grande gamme de températures 30-150°C. La logique MOS, amenée à fonctionner à une tension d'alimentation de 5V, pourra donc fonctionner correctement avec un puits flottant protégé tout en offrant une bonne protection contre le déclenchement du latch-up.

Pour parfaitement montrer la faisabilité de l'application du concept de puits flottant à diverses technologies de puissance intelligente CMOS/DMOS auto-isolées, nous avons proposé une méthodologie de conception définissant précisément et sur des bases physiques des règles de dessin adaptées à ce nouveau concept. Le fait de laisser flotter le puits ne constitue donc pas une difficulté de conception dans la mesure où il est possible de quantifier les paramètres régissant la fiabilité de la structure CMOS, et est donc tout à fait compatible avec les méthodes de conception actuelles assistées par ordinateur.

Ce concept peut également être mis à profit pour utiliser en toute sécurité le transistor bipolaire vertical parasite de la logique CMOS. Dans un quatrième chapitre, deux applications ont été envisagées: celle de la détection de température excessive et celle de la photodétection.

L'originalité de ce détecteur de température repose sur la simplicité de la réalisation technologique basée sur une détection efficace du courant inverse de jonction dû à une température excessive de fonctionnement. Une structure originale basée sur un transistor bipolaire autopolarisé a été proposée, optimisée et validée sur silicium. Sa compacité permet un

placement au plus près du transistor de puissance et donc une meilleure détection de la température réelle de ce dernier.

L'application de photodétection étudiée et également validée sur silicium, présente l'originalité d'utiliser le collecteur comme surface de photogénération permettant ainsi d'optimiser séparément la partie bipolaire et celle de photogénération. Des valeurs de rendement de photogénération (0,75 électrons par photon) comparables à celles d'une structure standard ont été mesurées. Grâce à cette structure, une amélioration de la vitesse de réponse et de la densité d'intégration est obtenue. Deux applications ont été proposées en tenant compte de ces caractéristiques avantageuses: la vision artificielle basse résolution en temps réel et un photomètre auto-adaptatif large bande.

Le concept d'intelligence dans les circuits de puissance a ouvert la voie à une nouvelle famille de circuits qui de la même manière que le microprocesseur devrait envahir notre environnement quotidien.

Cependant, dans des nombreuses applications, le coût technologique associé à ce mariage puissance-petit signal a été un frein à l'utilisation de cette nouvelle famille de circuits malgré les performances offertes.

Dans ce cadre, nous avons proposé une méthodologie de conception s'appuyant sur une technologie faible coût, à seulement 10 niveaux de masques, qui garantit une bonne immunité aux parasites. Sur la base de cette filière, de nombreuses applications à l'intelligence simple, c'est-à-dire contrôle de l'interrupteur de puissance, protections de base et diagnostic de pannes, sont envisageables dans des domaines tels que l'automobile, l'électroménager... Ce concept peut également être appliqué à des technologies plus complexes à isolement par jonction afin d'améliorer leur immunité aux parasites en dV/dt .

Un autre point important de notre étude concerne l'application de ce concept aux technologies CMOS VLSI dans le but d'augmenter leurs performances par l'utilisation, pour certaines fonctions, du transistor bipolaire parasite vertical sans avoir recours aux technologies BICMOS qui sont généralement coûteuses.

Cet étude a donc montré que sans augmenter la complexité d'une technologie, il est possible d'augmenter sa fonctionnalité tout en conservant une bonne fiabilité.

Annexe 1

Modèles en Statique et en Dynamique du Déclenchement du Latch-up

Modèle en statique

Etant donné que l'expression générale dV/dI est assez complexe, l'analyse est réalisée en deux parties: caractérisation de l'état bloqué et de l'état passant.

1) Etat bloqué:

A l'état bloqué, l'expression du courant total I qui circule à travers la structure fournit des critères sur la limite du déclenchement du latch-up. Dans le cas général où les substrats sont attachés à la masse et à la tension V_{DD} respectivement, on va définir, pour tenir compte des courants à travers les résistances de substrat R_S et de puits R_W , les paramètres suivants:

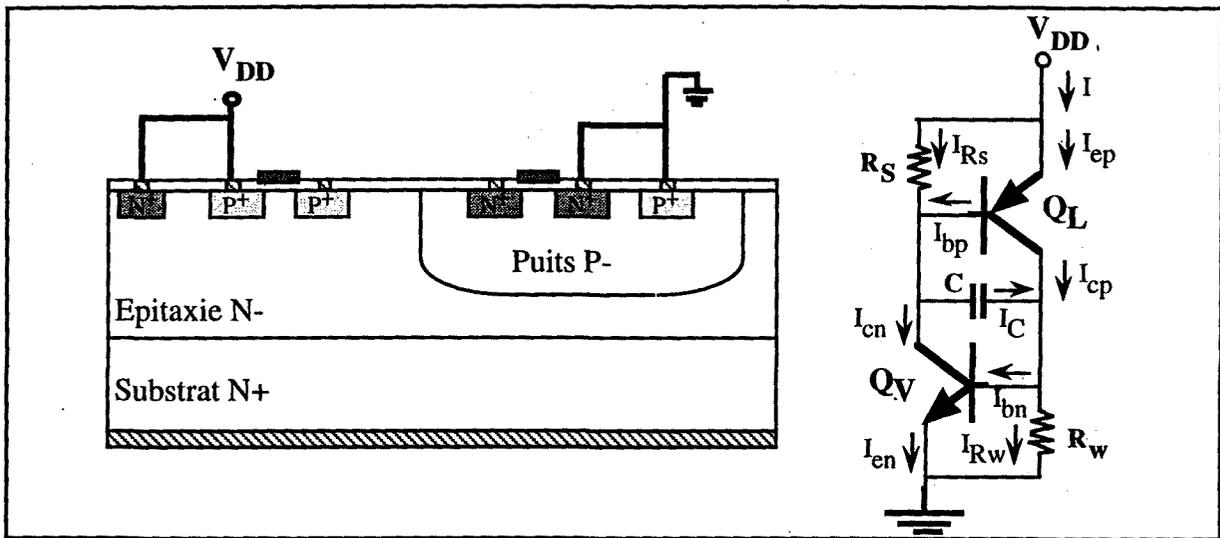


Fig.1: Modèle statique du latch-up.

a) le facteur d'injection γ^* .

$$\gamma_p^* = \frac{I_{ep}}{I_{ep} + I_{Rs}} \qquad \gamma_n^* = \frac{I_{en}}{I_{en} + I_{Rw}} \qquad (1)$$

b) l'efficacité d'injection effective α^* ,

$$\alpha_{fp}^* = \gamma_p^* \alpha_{fp} \qquad \alpha_{fn}^* = \gamma_n^* \alpha_{fn} \qquad (2)$$

L'efficacité d'injection, α , est définie comme la partie de courant d'émetteur injectée au collecteur. Elle est le résultat de la somme de l'efficacité d'injection en direct, α_f , et en inverse, α_r . Puisqu'à l'état bloqué, les transistors bipolaires parasites travaillent essentiellement en

direct, on va considérer que $\alpha_p = \alpha_{fp}$ et que $\alpha_n = \alpha_{fn}$. Les courants de collecteur définis sur le schéma électrique de la figure 1.10 deviennent donc:

$$I_{cp} = \alpha_{fp} I_{ep} \qquad I_{cn} = \alpha_{fn} I_{en} \qquad (3)$$

Dans le cas où le substrat et le puits sont flottants ($R_s = \infty$, $I_{RS} = 0$ et $R_w = \infty$, $I_{RW} = 0$) le facteur d'injection devient égal à l'unité et l'efficacité d'injection effective égale à l'efficacité d'injection.

$$\begin{aligned} \gamma_p^* &\rightarrow 1 & \gamma_n^* &\rightarrow 1 \\ \alpha_{fp}^* &\rightarrow \alpha_{fp} & \alpha_{fn}^* &\rightarrow \alpha_{fn} \end{aligned}$$

En tenant compte de ces nouveaux paramètres et du schéma de la Fig.1, une expression générale du courant total qui traverse la structure est alors déduite.

$$\begin{aligned} I &= I_{ep} + I_{RS} = I_{en} + I_{RW} \\ I_{RS} + I_{bp} &= I_C + I_{cn} \\ I_{bp} &= (1 - \alpha_{fp}) I_{ep} \\ I_{cn} &= \alpha_{fn} I_{en} \end{aligned}$$

On obtient alors:

$$I = \alpha_{fn} I_{en} + \alpha_{fp} I_{ep} + I_C$$

Et finalement:

$$I = \frac{I_C}{1 - (\alpha_{fn}^* + \alpha_{fp}^*)} \qquad (4)$$

On en déduit donc le critère de stabilité de l'état bloqué:

$(\alpha_{fn}^* + \alpha_{fp}^*) < 1$ région libre de latch-up

Si le puits est flottant:

$$(\alpha_{fn} + \alpha_{fp}^*) < 1 \quad \text{région libre de latch-up}$$

Si le substrat est flottant:

$$(\alpha_{fn}^* + \alpha_{fp}) < 1 \quad \text{région libre de latch-up}$$

Si le puits et le substrat sont flottants:

$$(\alpha_{fn} + \alpha_{fp}) < 1 \quad \text{région libre de latch-up}$$

En tenant compte de la définition des efficacités d'injection effectives, l'apparition du latch-up est retardée quand le puits P est relié à la masse et le substrat N à la tension V_{DD} . D'un point de vue statique, cette solution semble donc être la meilleure pour se protéger du latch-up. Cette expression (4) est valable uniquement dans la région de blocage. Dans cette région, la somme des efficacités d'injection s'approche asymptotiquement de l'unité et le courant I_C diminue puisque la tension appliquée à la jonction puits P / épitaxie N diminue aussi. Le cas où la somme des efficacités d'injection effectives est égale à l'unité correspondrait au point de coupure (V_{TO} , I_{TO}) où la tension appliquée aux bornes de la jonction puits P / substrat N devient nulle ainsi que le courant I_C . Le courant total I est alors indéterminé.

Avant que la somme des efficacités d'injection effectives soit égale à l'unité, les transistors bipolaires parasites entrent dans la région de haute injection, qui a pour effet d'augmenter la résistance d'émetteur (r_{en} et r_{ep}) et donc de réduire l'efficacité d'injection effective (α_{fn}^* et α_{fp}^*). Le latch-up est donc moins probable. Les efficacités d'injection effectives peuvent alors être exprimées par:

$$\alpha_{fp}^* = \frac{\alpha_{fp} R_s}{R_s + r_{ep}} \quad \alpha_{fn}^* = \frac{\alpha_{fn} R_w}{R_w + r_{en}} \quad (5)$$

Dans le cas général où les bases sont reliées à la masse et à la tension d'alimentation V_{DD} respectivement, la condition de région libre de latch-up qui en découle est:

$$\frac{\alpha_{fp}}{1 + \frac{r_{ep}}{R_s}} + \frac{\alpha_{fn}}{1 + \frac{r_{en}}{R_w}} < 1 \quad (6)$$

Cette nouvelle condition définit une région libre de latch-up délimitée hyperboliquement par $\frac{r_{ep}}{R_s}$ et $\frac{r_{en}}{R_w}$. En tenant compte du choix des résistances, le courant au point d'amorçage I_S s'exprime:

$$I_S = I_{ep,s} + I_{Rs,s} \quad \text{ou} \quad I_S = I_{en,s} + I_{Rw,s} \quad (7)$$

Avec:

$$I_{ep,s} = \frac{KT}{(1 - Hp)r_{ep}(r_{en})} \quad \text{et} \quad I_{en,s} = \frac{KT}{(1 - Hn)r_{en}(r_{ep})} \quad (8)$$

Où r_{ep} et r_{en} sont dérivées de la définition de la résistance d'émetteur petit signal et interdépendantes à partir de l'équation (6):

$$r_{ep} = \frac{dV_{be}}{dI_{ep}} \quad \text{et} \quad r_{en} = \frac{dV_{be}}{dI_{en}}$$

H_p et H_n : Facteurs de correction tenant compte de la modulation de la largeur de base et des effets à haute injection.

$$I_{Rs,s} = \frac{KT}{R_s} \ln\left(\frac{q_{bp} I_{ep,s}}{I_{sp}}\right) \quad \text{et} \quad I_{Rw,s} = \frac{KT}{R_w} \ln\left(\frac{q_{bn} I_{en,s}}{I_{sn}}\right) \quad (9)$$

Expressions qui viennent de la définition:

$$I_{Rs,s} = \frac{V_{be}}{R_s} \quad \text{et} \quad I_{Rw,s} = \frac{V_{be}}{R_w}$$

q_{bp} et q_{bn} : paramètres de haute injection normalisés.

On aboutit alors aux expressions du courant d'amorçage suivantes:

$$I_s = I_{ep,s} + \frac{KT}{R_s} \ln\left(\frac{q_{bp} I_{ep,s}}{I_{sp}}\right) \quad \text{ou} \quad I_s = I_{en,s} + \frac{KT}{R_w} \ln\left(\frac{q_{bn} I_{en,s}}{I_{sn}}\right) \quad (10)$$

La différence de ces deux équations, doit être nulle et fournit donc une équation non linéaire reliant les courants d'émetteur au point d'amorçage ($I_{ep,s}$, $I_{en,s}$). Cette équation peut être résolue par itération pour trouver les valeurs des courants d'émetteur au point d'amorçage et ensuite les tensions base-émetteur et le courant d'amorçage I_s .

Dans le cas d'une structure où un transistor parasite conduit bien avant l'autre, la solution de l'équation est simplifiée. Avec une résistance de puits R_w suffisamment supérieure à la résistance de substrat épitaxié R_s , ce qui est généralement le cas, la solution s'approche de celle d'un puits flottant ($R_w \rightarrow \infty$), c'est-à-dire:

$$\gamma_n^* \rightarrow 1 \quad \text{et} \quad \alpha_n^* \rightarrow \alpha_n$$

La région libre de latch-up est alors donnée par le critère:

$$(\alpha_{fn} + \alpha_{fp}^*) < 1 \quad \text{et à partir de l'équation (6) on obtient:}$$

$$\frac{\alpha_{fp}}{1 + \frac{r_{ep}}{R_s}} + \alpha_{fn} < 1 \quad (11)$$

Dans ce cas, la valeur limite pour la résistance d'émetteur r_{ep} du transistor latéral Q_L est indépendante de la résistance d'émetteur r_{en} du transistor vertical Q_V . Cette supposition permet

donc de découpler les deux équations (7) qui donnent le courant au point d'amorçage. Ces équations deviennent:

$$I_S = I_{ep,s} + I_{Rs} \quad \text{ou} \quad I_S = I_{en,s} \quad (\text{puisque } I_{Rw}=0) \quad (12)$$

A partir de l'équation (10) on obtient donc une expression du courant au point d'amorçage I_S pour le cas où l'initialisation du latch-up s'effectue par le transistor bipolaire vertical:

$$I_S = I_{ep,s} + \frac{KT}{R_s} \ln\left(\frac{q_{bp} I_{ep,s}}{I_{sp}}\right) \quad \text{et} \quad I_S = I_{en,s} \quad (13)$$

Avec:

$$I_{ep,s} = \frac{KT(1 - \alpha_{fns})}{(1 - Hp)(\alpha_{fns} + \alpha_{fps} - 1)R_s} \quad (14)$$

2) Etat passant:

A l'état passant, les transistors bipolaires parasites qui étaient en forte conduction, entrent dans la zone de saturation. La jonction puits P / substrat épitaxié N qui était polarisée en inverse à l'état bloqué, devient polarisée en direct à l'état passant. Au point de coupure, cette polarisation sera nulle.

Il faudra donc tenir compte à la fois du comportement en direct et en inverse pour l'analyse d'un transistor saturé. Un schéma électrique de la structure thyristor à l'état passant est donnée sur la Fig.2. On peut remarquer que la seule modification par rapport à la Fig.1 est de remplacer la capacité C du puits P / substrat N, par sa diode équivalente pour tenir compte du fait que cette jonction travaille en direct.

La polarisation en direct, V_r , de la jonction base / collecteur des transistors bipolaires parasites se traduit par un courant inverse dans ces transistors qui est donné par:

$$I_r = I_{sr} (e^{V_r/KT} - 1) \quad (15)$$

Le courant total qui traverse alors la structure est donné par les relations suivantes:

$$I = I_{Rs} + I_{ep} - \alpha_{rp} I_r$$

$$I = I_{Rw} + I_{en} - \alpha_{rn} I_r$$

$$I = \alpha_{fp} I_{ep} + \alpha_{fn} I_{en} - I_r$$

α_{rp} et α_{rn} sont les gains en courant base-commune des transistors PNP et NPN, respectivement, fonctionnant en régime inverse.

α_{fp} et α_{fn} sont les gains en courant base-commune des transistors PNP et NPN, respectivement, fonctionnant en régime direct.

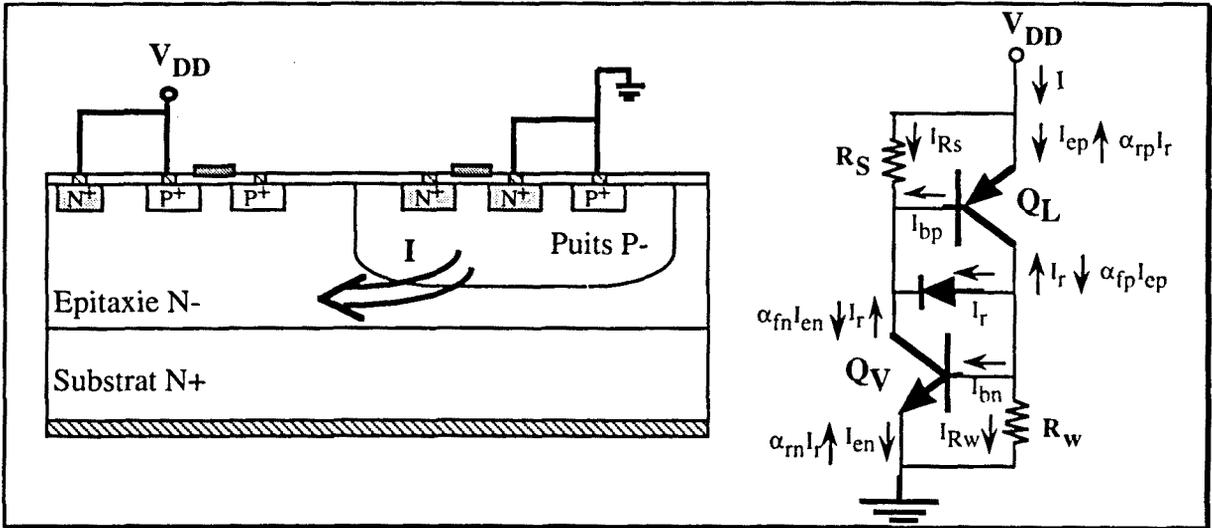


Fig.2: Schéma électrique du thyristor à l'état passant.

La solution de ces équations conduit à l'expression suivante du courant total:

$$I = \frac{\alpha_{fp} I_{Rs} + \alpha_{fn} I_{Rw}}{\alpha_{fp} + \alpha_{fn} - 1} + \frac{(1 - \alpha_{fp} \alpha_{rp} - \alpha_{fn} \alpha_{rn}) I_r}{\alpha_{fp} + \alpha_{fn} - 1} \quad (16)$$

Cette expression est valable dans les régions suivantes:

a) Région de blocage: $V_r < 0$ et $I < I_{T0}$

$$I = \frac{\alpha_{fp} I_{Rs} + \alpha_{fn} I_{Rw}}{\alpha_{fp} + \alpha_{fn} - 1} \quad \text{puisque } I_r \rightarrow 0 \quad (17)$$

b) Point de coupure: $V_r = 0$ et $I = I_{T0}$

$$I = I_{T0} = \frac{\alpha_{fp} I_{Rs, to} + \alpha_{fn} I_{Rw, to}}{\alpha_{fp} + \alpha_{fn} - 1} \quad \text{puisque } I_r = 0 \quad (18)$$

c) Région de saturation: $V_r > 0$ et $I > I_{T0}$

Si on considère que les courants à travers les résistances de polarisation base / émetteur des transistors bipolaires parasites lorsqu'on arrive à la limite de saturation n'augmentent plus, l'équation générale (16) devient alors linéaire.

$$I \approx I_{T0} + \frac{(1 - \alpha_{fp} \alpha_{rp} - \alpha_{fn} \alpha_{rn}) I_r}{\alpha_{fp} + \alpha_{fn} - 1} \quad (19)$$

L'expression du courant de maintien peut alors être déduite en imposant une condition de maximum sur la tension totale développée en fonction du courant qui traverse la structure.

Cette condition, $\frac{dV}{dI} = 0$, permet d'obtenir une expression du courant I_r à travers la jonction base / collecteur et d'arriver à l'expression suivante pour le courant de maintien:

$$I_h \approx I_{TO} + \sqrt{I_{TO}^2 - I_m^2} \quad (20)$$

Où I_m est un courant fonction de I_{RW} et I_{RS} au point de coupure et des différents gains en courant α_r et α_f . Lorsque $\alpha_{rm} = \alpha_{rp} = 0$, l'expression de I_m^2 se réduit à:

$$I_m^2 = \frac{\alpha_{fn} I_{RS,TO}^2 + \alpha_{fp} I_{RW,TO} + I_{RS,TO} I_{RW,TO}}{\alpha_{fn} + \alpha_{fp} - 1} \quad (21)$$

Modèle en dynamique:

La réponse de la structure à un transitoire positive en tension dans la mise sous tension de l'inverseur CMOS est divisée en quatre régions suivant l'état des transistors bipolaires parasites. Dans chaque région, une solution analytique du courant qui traverse la structure est obtenue sur toute la gamme de temps.

1^{ère} région:

La tension $E(t)$ augmente à partir de zéro. Le courant qui traverse la structure n'est pas suffisant pour polariser les transistors bipolaires parasites.

L'équation différentielle qui régit le comportement du circuit est:

$$C \frac{d}{dt} [E(t) - RI(t)] = I_C(t) \quad (22)$$

$$\text{où } R = R_i + R_S + R_W$$

$$I_C(t) = I(t) \quad I_C(0) = 0$$

$$\text{et } \tau_1 = (R_i + R_S + R_W) C \quad \text{est la 1^{ère} constante de temps} \quad (23)$$

La solution de cette équation est donnée par:

$$I(t) = \frac{1}{R} \int_0^t \dot{E}(x) e^{-(t-x)/\tau_1} dx \quad (24)$$

Où : $\dot{E}(t) = \frac{dE(t)}{dt}$ est la variation en fonction du temps de la tension $E(t)$.

Pour la perturbation $E(t)=Kt$, décrite à la fig.3, la réponse $I(t)$ présente donc deux phases:

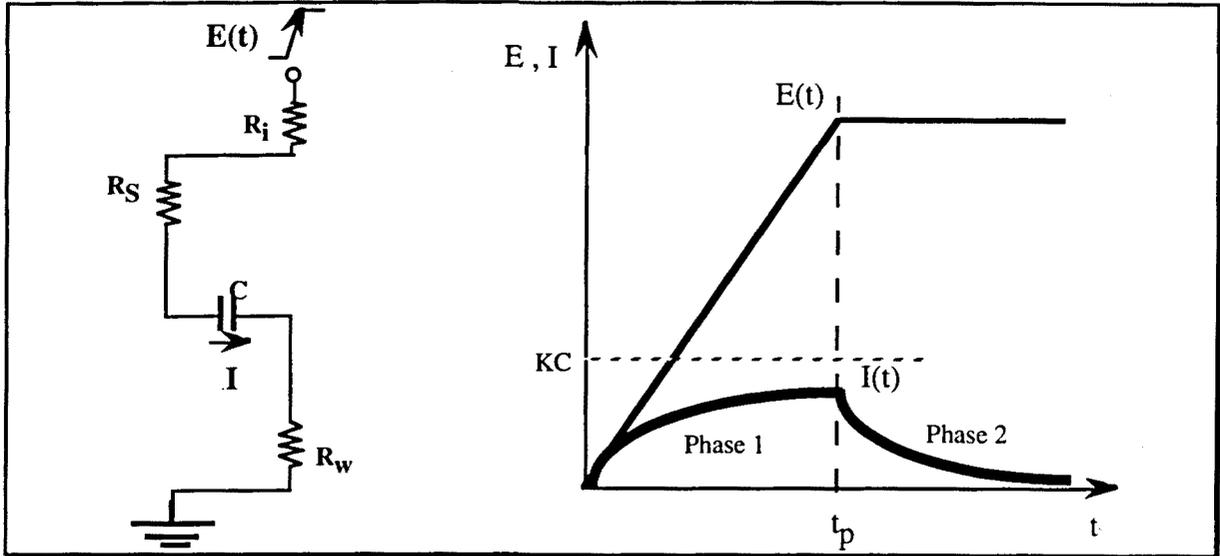


Fig.3: Comportement en dynamique. Région 1.

Phase 1: $0 < t < t_p$ courant capacitif à travers la jonction puits / substrat.

$$I(t) = KC(1 - e^{-t/\tau_1}) \quad (25)$$

Le transitoire finit avant que le transistor bipolaire vertical Q_V puisse se mettre en route. L'établissement du latch-up est donc impossible.

Phase 2: $t > t_p$ coupure du courant capacitif à travers la jonction puits / substrat.

$$I(t) = KC(1 - e^{-t_p/\tau_1})e^{-(t-t_p)/\tau_1} \quad (26)$$

Le courant qui traverse la structure est un courant capacitif non suffisant ou de durée trop courte pour mettre en conduction le bipolaire parasite, le courant diminue exponentiellement à la fin du transitoire.

2ème région:

Le courant qui traverse la structure est suffisant pour polariser un transistor bipolaire parasite ($I_{V,on}$) et la durée du transitoire est supérieur au temps nécessaire pour mettre en route le premier transistor bipolaire parasite (t_1). La condition nécessaire est donc $KC > I_{V,on}$ et $t_p > t_1$.

Le premier transistor à être polarisé est celui présentant la plus forte résistance de base. Dans notre structure $R_W > R_S$, c'est donc le transistor bipolaire vertical Q_V qui est polarisé en premier. Le schéma électrique équivalent est le circuit RC précédent auquel il faut ajouter le transistor bipolaire vertical parasite Q_V (Fig.4). L'équation différentielle qui décrit le comportement du circuit est alors:

$$C \frac{d}{dt} [E(t) - RI(t)] = I_C(t) \tag{27}$$

où $R = R_i + R_S$

$$I_C(t) = I(t) - \alpha_{fn}(I(t) - I_{v,on}) \quad I_C(t_1) = I_{v,on}$$

et $\tau_2 = (R_i + R_S) C / (1 - \alpha_{fn})$ est la 2^{ème} constante de temps (28)

La solution de l'équation (27) est donnée par:

$$I(t) = \frac{-I_{v,on}}{1 - \alpha_{fn}} [\alpha_{fn} - e^{-(t-t_1)/\tau_2}] + \frac{1}{R} \int_{t_1}^t \dot{E}(x) e^{-(t-x)/\tau_2} dx \tag{29}$$

La représentation de cette solution pour une perturbation $E(t)$ est décrite à la fig.4 et se divise en quatre phases:

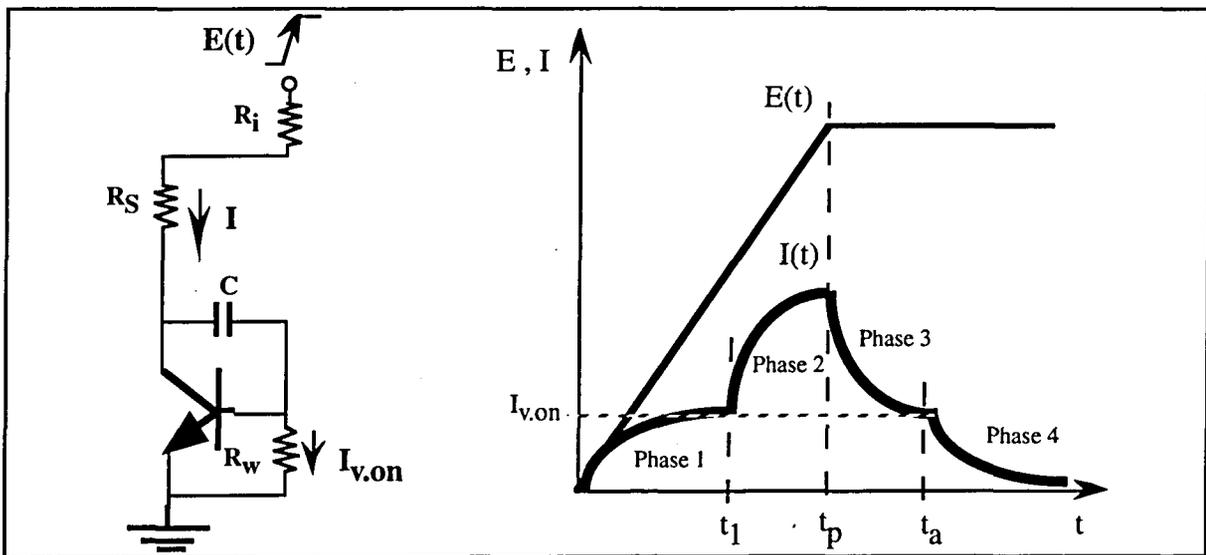


Fig.4: Comportement en dynamique. Région 2.

Phase 1: $0 < t < t_1$ courant capacitif à travers la jonction puits / substrat.

$$I(t) = KC(1 - e^{-t/\tau_1}) \tag{30}$$

Phase 2: $t_1 < t < t_p$ mise en conduction du transistor bipolaire vertical Q_V .

$$I(t) = I_{v,on} + \frac{KC - I_{v,on}}{1 - \alpha_{fn}} (1 - e^{-(t-t_1)/\tau_2}) \quad (31)$$

Le transitoire s'achève avant que le deuxième transistor puisse se mettre en route. L'établissement du latch-up est donc impossible.

Phase 3: $t_p < t < t_a$ coupure de la conduction du transistor bipolaire vertical Q_V .

$$I(t) = \frac{-\alpha_{fn} I_{v,on}}{1 - \alpha_{fn}} + \frac{1}{1 - \alpha_{fn}} (I_{v,on} + KC e^{-(t_p - t_1)/\tau_2} - 1) e^{-(t-t_1)/\tau_2} \quad (32)$$

Phase 4: $t_a < t$ coupure du courant capacitif à travers la jonction puits / substrat.

$$I(t) = I_{v,on} e^{-(t-t_a)/\tau_1} \quad (33)$$

Le temps t_1 nécessaire à la mise en conduction du bipolaire vertical Q_V est déterminé à partir de l'équation (30) avec la condition aux limites:

$$I(t_1) = I_{v,on}$$

$$\text{d'où} \quad t_1 = \tau_1 \ln \left(\frac{KC}{KC - I_{v,on}} \right) \quad (34)$$

Un autre paramètre important est le courant, $I_{c,on}$, qui traverse la capacité de jonction puits / substrat quand le transistor bipolaire latéral Q_L commence à conduire.

$$I_C(t_2) = I_{c,on} = \alpha_{fn} I_{v,on} + (1 - \alpha_{fn}) I_{l,on} \quad \text{puisque } I(t_2) = I_{l,on} \quad (35)$$

Le temps t_2 nécessaire à la mise en conduction du transistor bipolaire latéral Q_L est déduit de l'équation (31) avec la condition aux limites:

$$I(t_2) = I_{l,on}$$

$$t_2 = t_1 + \tau_2 \ln \left(\frac{KC - I_{v,on}}{KC - I_{c,on}} \right) \quad (36)$$

Le temps t_a nécessaire pour couper le bipolaire vertical Q_V est déduit de l'équation (32) avec la condition aux limites:

$$I(t_a) = I_{v,on}$$

$$t_a = \tau_1 + \tau_2 \ln \left[1 + \frac{KC}{I_{v,on}} \left(e^{-(t_p - t_1)/\tau_2} - 1 \right) \right] \quad (37)$$

Le deuxième transistor bipolaire parasite ne s'allume pas car le courant de déplacement (KC) est inférieur au courant I_C qui traverse la capacité de jonction puits / substrat quand le transistor bipolaire latéral Q_L commence à conduire ($KC < I_{c,on}$), ou simplement parce que la durée du transitoire est trop courte pour le mettre en conduction ($t_p < t_2$). Le courant diminue exponentiellement à la fin du transitoire.

3ème région:

Le courant qui traverse la structure est maintenant suffisant pour polariser les deux transistors bipolaires parasites ($I_{c,on}$) et la durée du transitoire est supérieur au temps nécessaire au déclenchement du deuxième transistor bipolaire parasite (t_2). La condition nécessaire est donc $KC > I_{c,on}$ et $t_p > t_2$. Le schéma électrique équivalent est le circuit RC avec les deux transistors bipolaires verticaux parasites Q_V et Q_L (Fig.5). L'équation différentielle qui décrit le comportement du circuit est:

$$C \frac{d}{dt} [E(t) - RI(t)] = I_c(t) \quad (38)$$

où $R = R_i$

$$I_C(t) = I(t) - \alpha_{fn}(I(t) - I_{v,on}) - \alpha_{fp}(I(t) - I_{l,on}) \quad I_C(t_2) = I_{c,on}$$

$$\text{et } \tau_3 = R_i C / (1 - \alpha_{fn} - \alpha_{fp}) \quad \text{est la 3ème constante de temps} \quad (39)$$

La solution de l'équation (38) est donnée par:

$$I(t) = \frac{\alpha_{fn} I_{v,on} + \alpha_{fp} I_{l,on}}{(\alpha_{fn} + \alpha_{fp}) - 1} - \frac{I_{c,on} e^{-(t-t_2)/\tau_3}}{(\alpha_{fn} + \alpha_{fp}) - 1} + \frac{1}{R_i} \int_{t_2}^t \dot{E}(x) e^{-(t-x)/\tau_3} dx \quad (40)$$

Sachant que le premier terme de cette solution est le courant au point de coupure (I_{TO}), on peut en déduire une condition pour éviter le déclenchement du latch-up en imposant que le courant total à travers la structure soit inférieur au courant de maintien. Une simplification a été faite en supposant que le courant de maintien est très proche du courant de coupure:

En supposant $I_H \approx I_{TO}$ la condition $I(t) < I_H$ devient $I(t) < I_{TO}$

On obtient alors:

$$I_{TO} = \frac{\alpha_{fn} I_{v,on} + \alpha_{fp} I_{l,on}}{(\alpha_{fn} + \alpha_{fp}) - 1} \quad (41)$$

L'établissement du latch-up devient impossible si $I(t_p) < I_{TO}$. A partir de l'équation (40) en imposant cette condition, une relation est obtenue:

$$\int_{t_2}^{t_p} \dot{E}(x) e^{-(t_2-x)/\tau_3} dx < \frac{R_i I_{c,on}}{(\alpha_{fn} + \alpha_{fp}) - 1} \quad (42)$$

La représentation de la solution générale se divise en six phases schématisées sur la figure.5.

Phase 1: $0 < t < t_1$ courant capacitif à travers la jonction puits / substrat.

$$I(t) = KC(1 - e^{-t/\tau_1}) \quad (43)$$

Phase 2: $t_1 < t < t_2$ mise en conduction du transistor bipolaire vertical Q_V .

$$I(t) = I_{v,on} + \frac{KC - I_{v,on}}{1 - \alpha_{fn}} (1 - e^{-(t-t_1)/\tau_2}) \quad (44)$$

Phase 3: $t_2 < t < t_p$ mise en conduction du transistor bipolaire latéral Q_L .

$$I(t) = I_{l,on} + \frac{KC - I_{c,on}}{1 - \alpha_{fn} - \alpha_{fp}} (1 - e^{-(t-t_2)/\tau_3}) \quad (45)$$

Le transitoire s'arrête avant que le courant de maintien soit atteint. Le courant total diminue donc exponentiellement.

Phase 4: $t_p < t < t_b$ coupure du transistor bipolaire vertical Q_V .

$$I(t) = I_{TO} - \frac{I_{c,on} + KC(e^{-(t_p-t_2)/\tau_3} - 1)e^{-(t-t_2)/\tau_3}}{(\alpha_{fn} + \alpha_{fp}) - 1} \quad (46)$$

Phase 5: $t_b < t < t_c$ coupure du transistor bipolaire latéral Q_L .

$$I(t) = \left(I_{l,on} + \frac{\alpha_{fn} I_{v,on}}{1 - \alpha_{fn}} \right) e^{-(t_p - t_1) / \tau_2} - \frac{\alpha_{fn} I_{v,on}}{1 - \alpha_{fn}} \quad (47)$$

Phase 6: $t_c < t$ coupure du courant capacitif à travers la jonction puits / substrat.

$$I(t) = I_{v,on} e^{-(t - t_c) / \tau_1} \quad (48)$$

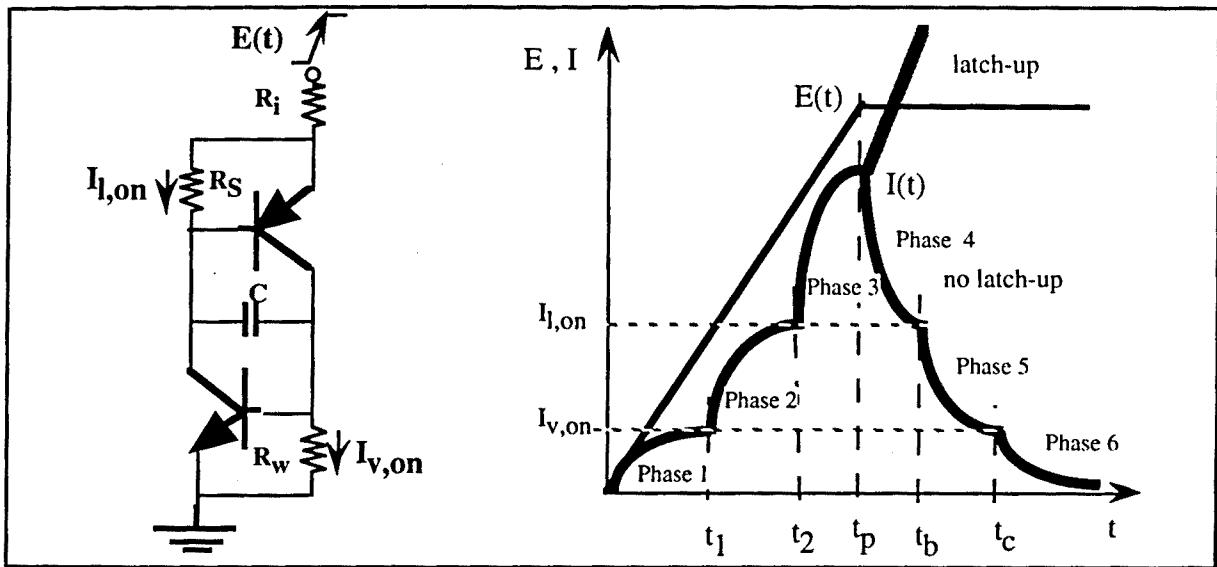


Fig.5: Comportement en dynamique. Région 3.

Le temps t_{TO} nécessaire pour que le courant total atteigne la valeur du courant de maintien est déterminé à partir de l'équation (45) et de la condition aux limites:

$$I(t_{TO}) = I_{TO}$$

$$t_{TO} = t_2 + (-\tau_3) \ln \left(\frac{KC}{KC - I_{c,on}} \right) \quad (49)$$

Le temps t_b nécessaire pour couper le bipolaire latéral Q_L est calculé à partir de l'équation (46) et de la condition aux limites:

$$I(t_b) = I_{l,on}$$

$$t_b = t_2 + \tau_3 \ln \left[1 + \frac{KC}{I_{c,on}} \left(e^{-(t_p - t_2) / \tau_3} - 1 \right) \right] \quad (50)$$

Le temps t_c nécessaire pour couper le bipolaire vertical Q_V est calculé à partir de l'équation (47) et de la condition aux limites:

$$I(t_c) = I_{v,on}$$

$$t_c = t_b + \tau_2 \ln \left[1 + (1 - \alpha_{fn}) \left(\frac{R_W}{R_S} - 1 \right) \right] \quad (51)$$

L'établissement du latch-up devient impossible si la durée du transitoire t_p est inférieure au temps nécessaire pour que le courant total atteigne la valeur du courant de maintien, $t_p < t_{TO}$, ou le courant de déplacement KC n'est pas suffisant pour que le courant total atteigne le courant de maintien, $I(t_p) < I_H$. A partir de l'équation (42) cette dernière condition devient:

$$KC < \frac{I_{c,on}}{1 - e^{-(t-t_2)/\tau_3}} \quad (52)$$

Pour des raisons de simplicité dans la nomenclature, on peut définir $I_{c,on}^*$:

$$I_{c,on}^* = \frac{I_{c,on}}{1 - e^{-(t-t_2)/\tau_3}} \quad (53)$$

4ème région:

Les deux transistors se saturent et un chemin de basse impédance est établi vers la masse. Le latch-up est donc établi. La condition nécessaire est donc $KC > I_{c,on}^*$ et $t_p > t_{TO}$.

Annexe 2

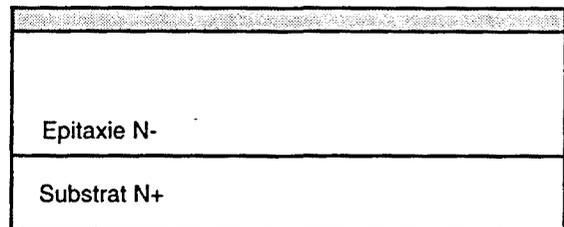
**Filière Technologique CMOS Grille Aluminium
Compatible VDMOS**

Etapes Technologiques

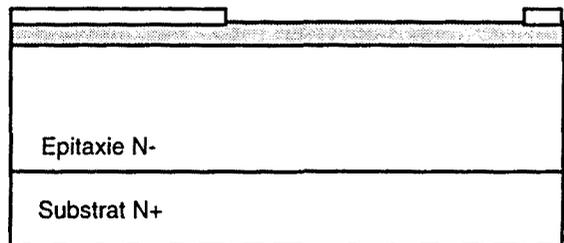
La technologie développée pour valider nos idées de conception est une technologie CMOS grille aluminium à laquelle on a rajouté une diffusion P⁺ profonde qui permet la réalisation de diodes N⁺/P⁺ et qui sera mise à profit pour augmenter l'immunité au latch-up. Elle comporte 40 étapes, qui sont synthétiquement décrites ci-après:

Substrat de départ: (100)

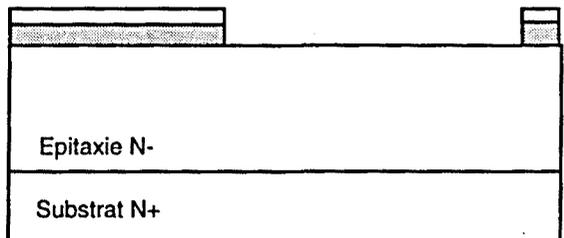
Epitaxie N⁻: concentration de 10^{15}cm^{-3} et $10 \mu\text{m}$ d'épaisseur sur substrat N⁺.



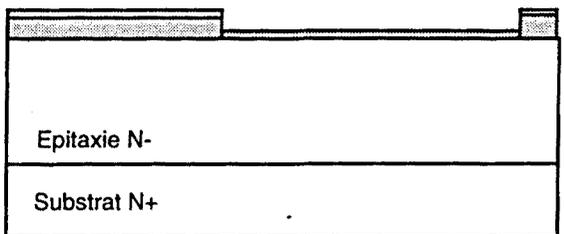
1) Oxydation initiale (5000Å).



2) Photomasquage puits P⁻.
(Niveau de masque 1)

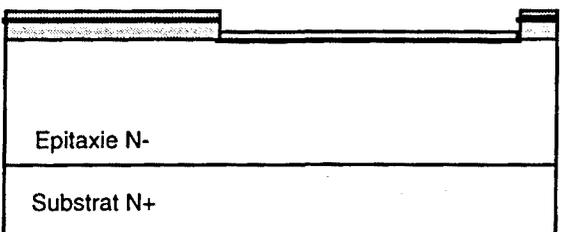


3) Attaque oxyde de silicium (SiO_2).



4) Attaque de la résine.

5) Oxydation d'implantation (200Å).

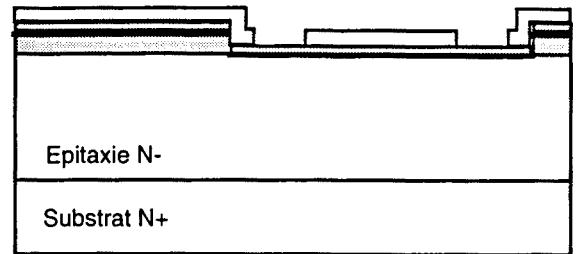


6) Implantation de bore P⁻.

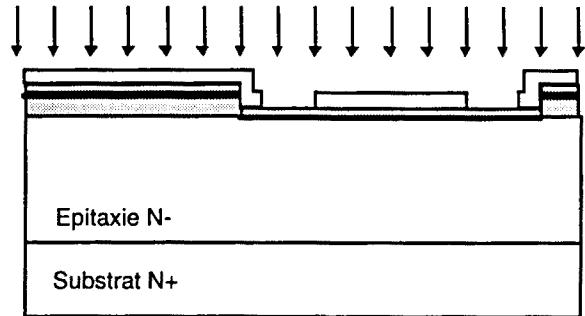
Dose: $2 \cdot 10^{13} \text{cm}^{-2}$

Energie: 45 KeV

- 7) Photomasquage puits P⁺ profond.
(Niveau de masque 2)

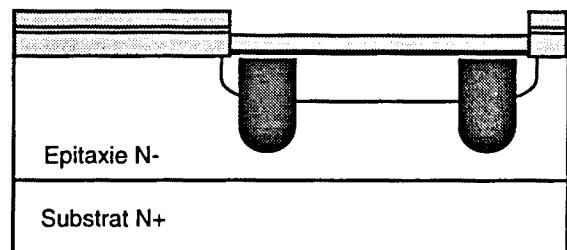


- 8) Implantation de bore P⁺.
Dose: $8 \cdot 10^{15} \text{ cm}^{-2}$
Energie: 45 KeV

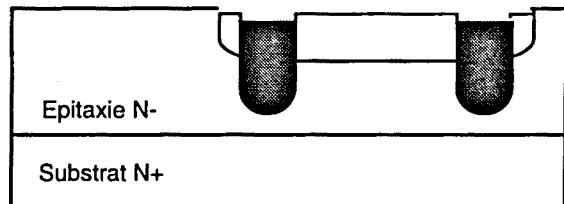


- 9) Attaque de la résine.

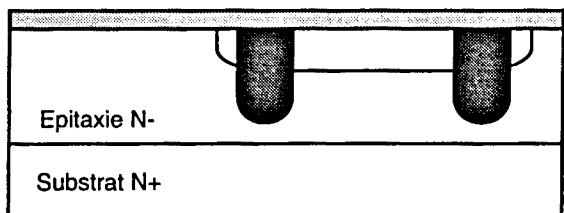
- 10) Redistribution diffusions P⁻ et P⁺.
(T= 1150°C, t=4h 55min)



- 11) Attaque oxyde de Silicium (SiO₂).

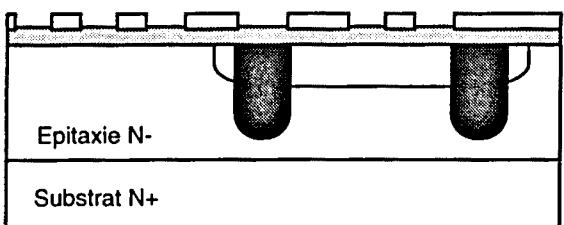


- 12) Oxydation de champ (5000Å).

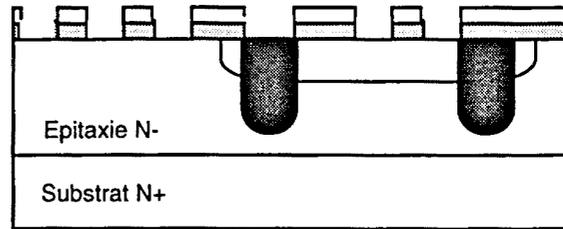


- 13) Photomasquage diffusions Source/ Drain NMOS et PMOS.

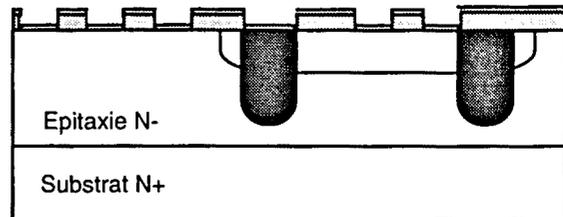
(Niveau de masque 3).



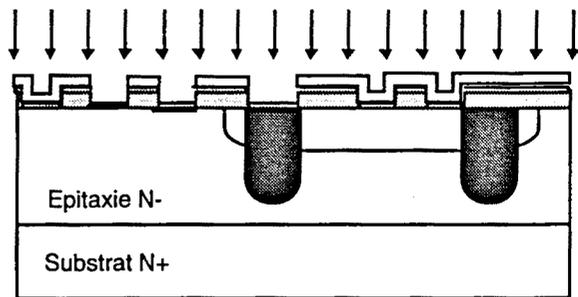
14) Attaque oxyde de Silicium (SiO₂).



15) Attaque de la résine.



16) Oxydation d'implantation (200Å).

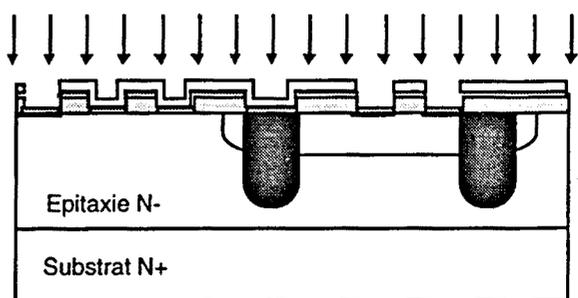


17) Photomasquage Source/Drain PMOS.
(Niveau de masque 4).

18) Implantation de bore P⁺.

Dose: $2 \cdot 10^{15} \text{ cm}^{-2}$

Energie: 45 KeV

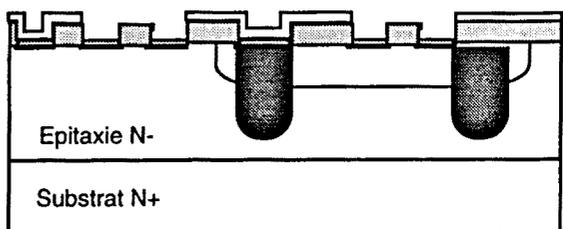


19) Photomasquage Source/Drain NMOS.
(Niveau de masque 5).

20) Implantation d'arsenic N⁺.

Dose: $5 \cdot 10^{16} \text{ cm}^{-2}$

Energie: 80KeV

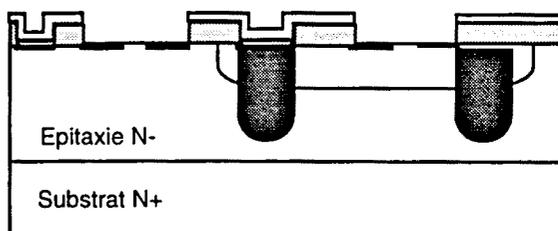


21) Attaque de la résine.

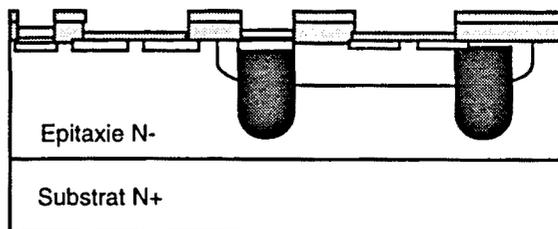
22) Photomasquage de grille.

(Niveau de masque 6).

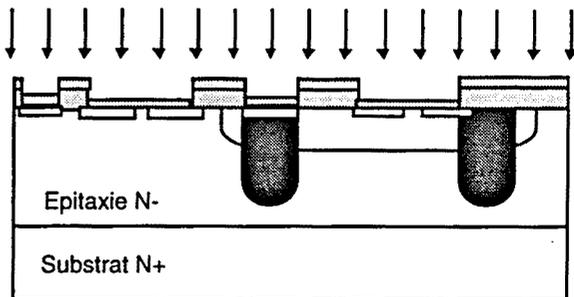
23) Attaque oxyde de Silicium (SiO_2).



24) Attaque de la résine.

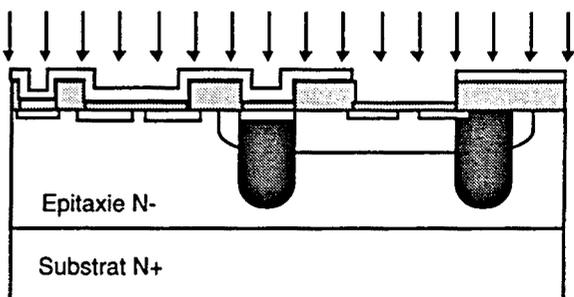


25) Oxydation de grille (1100Å).



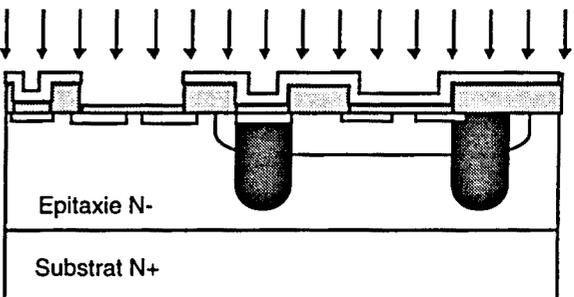
26) Ajustement de seuil.

Implantation de bore pleine plaque.



27) Ajustement de seuil des transistors NMOS.

(Niveau de masque 7).



28) Ajustement de seuil des transistors PMOS

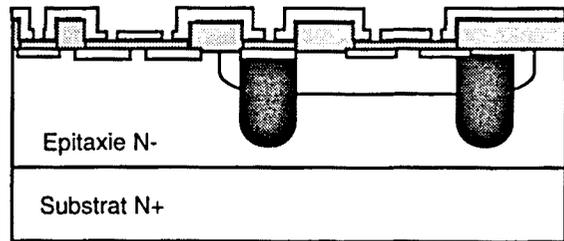
29) Attaque de la résine.

30) Recuit d'implantation.

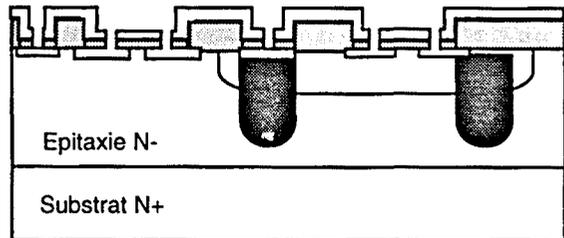
($T=950^{\circ}\text{C}$, $t=10\text{min}$)

31) Photomasquage ouvertures de contact.

(Niveau de masque 9).

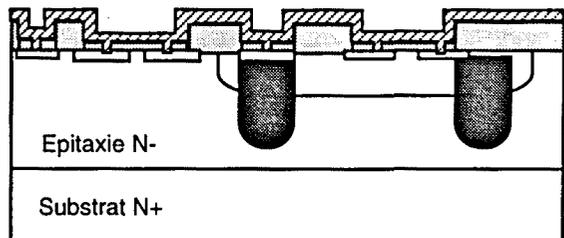


32) Attaque oxyde de Silicium (SiO_2).



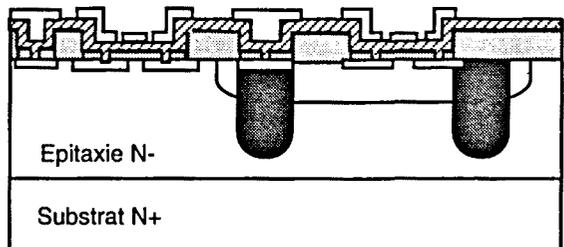
33) Attaque de la résine.

34) Dépôt Aluminium (8000\AA).

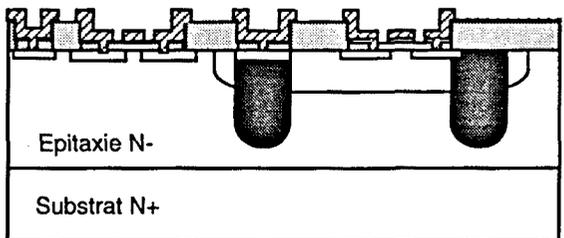


35) Photomasquage métallisation.

(Niveau de masque 10).



36) Attaque Aluminium.



37) Attaque de la résine.

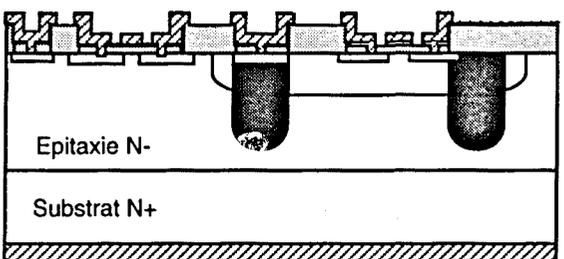
38) Récuit Aluminium.

($T=450^{\circ}\text{C}$, $t=20\text{min}$)

39) Dépôt Or-Antimoine (Au-Sb) face arrière.

40) Récuit Or-Antimoine (Au-Sb).

($T=250^{\circ}\text{C}$, $t=10\text{min}$)



Annexe 3

Véhicule Test: LATCH

Les structures réalisées dans ce premier véhicule de test peuvent être divisées en deux groupes:

- Un premier groupe d'inverseurs CMOS. Ces inverseurs ont été dessinés afin de permettre d'analyser leur immunité respective au latch-up sous l'effet d'une perturbation extérieure.
- Un deuxième groupe de structures dessinées pour la caractérisation électrique des différents éléments actifs parasites (diodes et transistors) présents dans un inverseur CMOS.

Pour appliquer une perturbation extérieure, nous avons prévu des diffusions N^+ sur le substrat épitaxié auprès de chaque structure. Cette perturbation peut également être introduite à partir de la source d'alimentation V_{DD} , le contact de masse V_{SS} ou à la sortie de l'inverseur V_{OUT} .

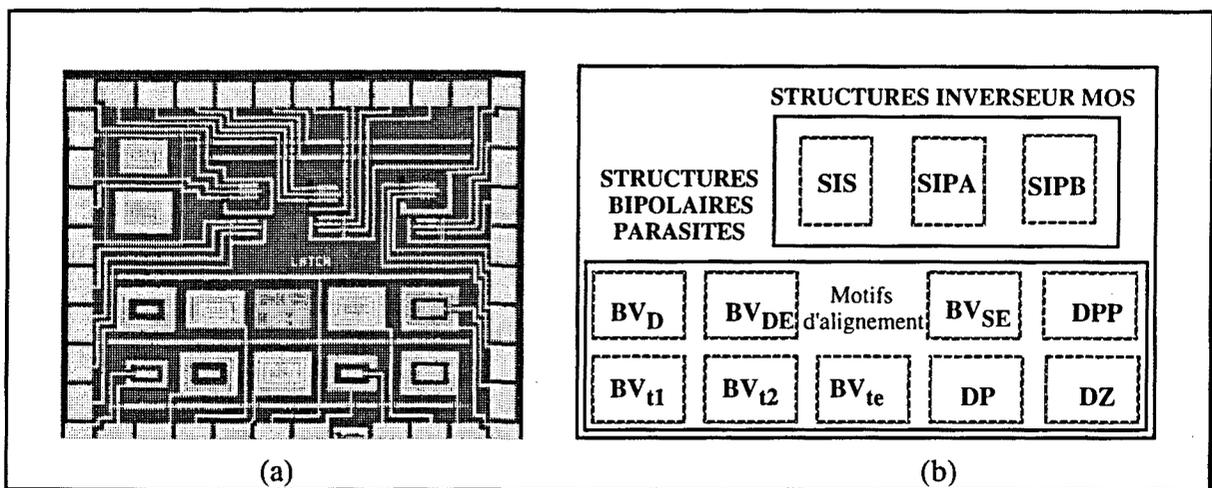


Fig.1: Véhicule test LATCH (a) et bloc diagramme des dispositifs présents (b).

1.- Structures d'inverseur MOS

Pour assurer une étude complète des différentes solutions de layout envisagées pour se protéger du latch-up, on a dessiné trois structures. Ce sont trois inverseurs MOS nommés:

- **SIS**: Structure Inverseur Standard.
- **SIPA**: Structure Inverseur Protégée A.
- **SIPB**: Structure Inverseur Protégée B.

L'inverseur standard appelé SIS (Fig.2) permettra:

- L'étude du comportement vis à vis du latch-up d'un inverseur CMOS classique avec son puits attaché à la masse face à une perturbation extérieure.

- L'étude du comportement vis à vis du latch-up d'un inverseur CMOS classique avec son puits flottant face à une même perturbation extérieure.

Les inverseurs SIPA (Fig.3) et SIPB (Fig.4) permettront:

- Une étude comparative du comportement vis à vis du latch-up d'un inverseur MOS à puits flottant comportant un anneau P⁺ profond qui entoure le transistor NMOS et recouvre légèrement la jonction N⁺/P⁺ au niveau de la source du NMOS.

- L'étude de l'influence de la résistance de collecteur du transistor bipolaire latéral parasite (Q_L). C'est à dire, de l'espacement entre les diffusions P⁺ du transistor PMOS et N⁺ du transistor NMOS. Pour atteindre cet objectif, la structure SIPA est dessinée de façon à ce que le drain du transistor NMOS soit centré par rapport à l'anneau P⁺ profond (à 55 μm) et la structure SIPB avec le drain placé beaucoup plus près de cet anneau P⁺ profond (à 25 μm).

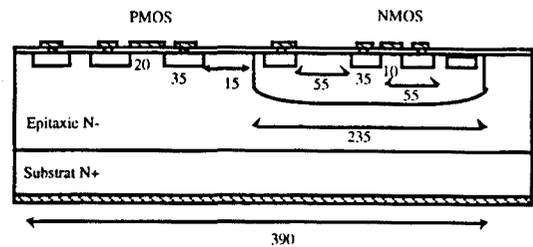


Fig.2: Structure SIS

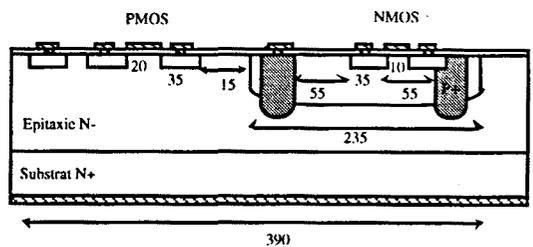


Fig.3: Structure SIPA.

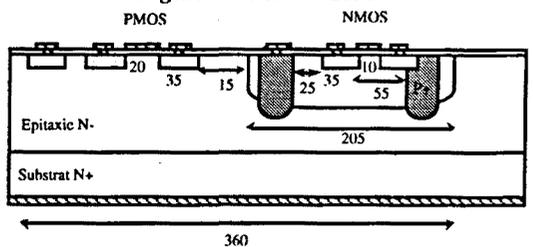


Fig.4: Structure SIPB.

2.- Structures Bipolaires Parasites

Pour bien étudier les solutions de dessin destinées à améliorer l'immunité au latch-up d'un inverseur MOS, il est nécessaire de connaître les caractéristiques électriques des différents éléments actifs présents. Pour cela, nous avons dessiné les structures suivantes:

Diodes:

a) DP: Structure pour caractériser la diode puits P⁻ / substrat N⁻ épitaxié (Fig.5).

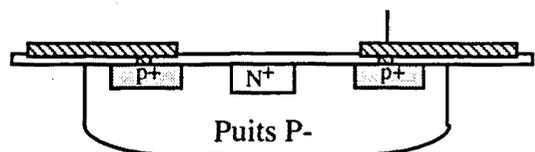


Fig.5: Structure DP.

b) **DZ**: Structure pour caractériser la diode zener constituée par la diffusion de source N^+ et le puits P^+ profond (Fig.6).

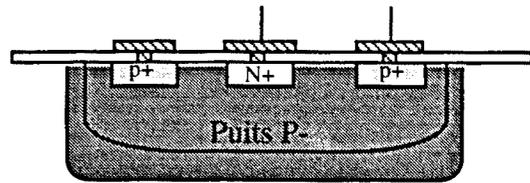


Fig.6: Structure DZ.

c) **DPP**: Structure pour caractériser la diode puits P^+ profond / substrat N^- épitaxié (Fig.7).

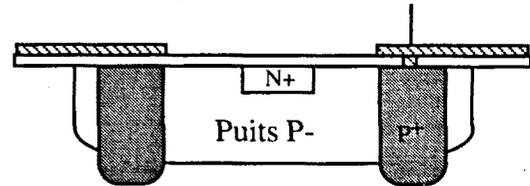


Fig.7: Structure DPP.

Les structures DZ et DPP possèdent une protection périphérique contre le claquage en surface réalisée à l'aide d'une plaque de champ et d'un dopage graduel P^+/P^- pour DPP.

Bipolaires

a) **BV_{t1}** et **BV_{t2}** : Structures pour caractériser les tensions de claquage BV_{CEO} et BV_{CBO} du transistor parasite bipolaire vertical dans une structure CMOS. La structure BV_{t1} (Fig.8) est dessinée avec une plaque de champ sur oxyde mince en périphérie du puits P^- pour augmenter la tension de claquage dans la surface. BV_{t2} (Fig.9) ne présente pas une plaque de champ.

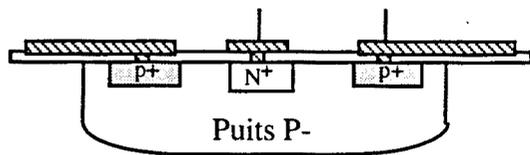


Fig.8: Structure BV_{t1} .

La technologie utilisée ne possédant qu'un seul niveau aluminium, l'anneau de protection de la jonction en surface doit être interrompu pour accéder à l'émetteur. La jonction puits P^- /épitaxie N^- sera plus fragile en surface à cet endroit, et la mesure de BV_{CBO} pourrait être inférieure à celle espérée avec une plaque de champ périphérique continue. C'est pour cette raison que nous avons dessiné d'autres structures où il n'y a pas ce problème. La structure **DP** (Fig.5) servira à caractériser le BV_{CBO} et la structure **BV_{te}** (Fig.10) pour caractériser le BV_{CEO} . En comparant les résultats obtenus, on pourra constater les performances de la technologie et vérifier la nécessité de cet anneau de protection.

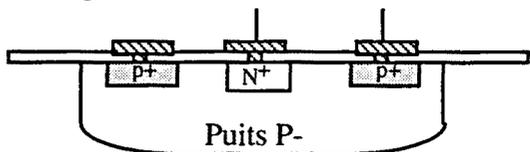


Fig.9: Structure BV_{t2} .

b) BV_{te} : Structure, servant à caractériser le BV_{CEO} d'un transistor bipolaire vertical parasite dans une structure d'inverseur CMOS (Fig.10) .

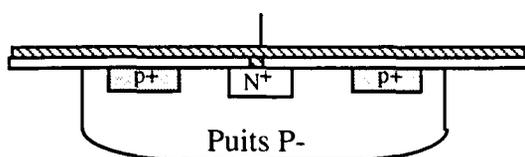


Fig.10: Structure BV_{te} .

c) BV_D : Structure dessinée (Fig.11) pour caractériser également le BV_{CEO} et BV_{CBO} dans une structure protégée SIP. Cette structure est réalisée avec des anneaux de protection comme BV_{t1} . Compte tenu de la

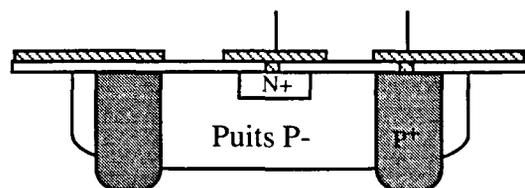


Fig.11: Structure BV_D .

technologie, la plaque de champ périphérique en bord de puits a dû être interrompu. D'autres structures permettent de mesurer la bonne valeur de BV_{CEO} (BV_{DE}) et BV_{CBO} (DPP). Nous pourrons également comparer les résultats obtenus et en tirer les conclusions nécessaires.

d) BV_{DE} : Structure (Fig.12), servant à caractériser le BV_{CEO} du transistor bipolaire vertical parasite de drain dans une structure d'inverseur SIP.

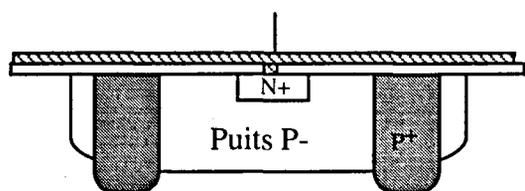


Fig.12: Structure BV_{DE}

e) BV_{SE} : Structure (Fig.13) servant à caractériser le BV_{CEO} du transistor bipolaire vertical parasite de source dans une structure d'inverseur protégée SIP. Il faut dire que le BV_{CBO} du transistor de source est le même que pour le transistor de drain trouvé avec la structure DPP.

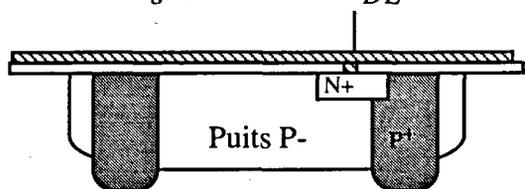


Fig.13 Structure BV_{SE} .

