

Universitat de Barcelona
Facultat de Física
Departament de Física Aplicada i Electrònica

**DEVELOPPEMENT D'UNE TECHNOLOGIE DE
PUISSANCE INTELLIGENTE CMOS/DMOS
IMMUNE AU "LATCH-UP" BASÉE SUR UN
CONCEPT DE PUIS FLOTTANT**

Manuel PUIG i VIDAL

Memòria presentada per a optar
al grau de doctor en Ciències Físiques

Barcelona, juny de 1993

Universitat de Barcelona
Facultat de Física
Departament de Física Aplicada i Electrònica

**DEVELOPPEMENT D'UNE TECHNOLOGIE DE
PUISSANCE INTELLIGENTE CMOS/DMOS
IMMUNE AU "LATCH-UP" BASÉE SUR UN
CONCEPT DE PUIITS FLOTTANT**

Programa de doctorat: Microelectrònica Física

Bienni: 89-91

Barcelona, Juny 1993



Autor: Manuel Puig i Vidal



Director Tesi: Atilà Herms i Berenguer



Tutor: Atilà Herms i Berenguer

En Dr. Atilà HERMS i BERENGUER, Professor Titular de la Facultat de Física de
la Universitat de Barcelona:

CERTIFICA que la memòria "DEVELOPPEMENT D'UNE TECHNOLOGIE DE
PUISSANCE INTELLIGENTE CMOS/DMOS IMMUNE AU "LATCH-UP" BASÉE SUR
UN CONCEPT DE PUIITS FLOTTANT" que presenta en Manuel Puig i Vidal per a optar
al grau de Doctor en Ciències Físiques, ha sigut realitzada sota la seva direcció.

Barcelona, 3 de Juny de 1993

A handwritten signature in black ink, appearing to read 'Atilà Herms i Berenguer', with a long horizontal line extending to the right.

Dr. Atilà HERMS I BERENGUER

Agraïments

M'agradaria trobar paraules escaients per a agrair a la Dra. M. BAFLEUR, chargée de recherche en el LAAS-CNRS, i la meva responsable durant els quasi 4 anys que he passat en el LAAS. Els seus coneixements, els seus consells i les nombroses discussions científiques han sigut molt valuoses en el desenvolupament del meu treball.

De la mateixa manera també agraeixo en Dr. A. HERMS, professor titular de Electrònica de la facultat de físiques de la UB, el meu director de Tesi, que tot i la distància ha estat seguint el meu treball amb interès. Pel seu suport i els seus consells sempre prodigats amb bon humor.

Voldria agrair en Dr. JR. MORANTE, catedràtic d'Electrònica de la Facultat de Físiques de la UB, per donar-me la possibilitat d'anar a Toulouse per a realitzar el treball de doctorat en el LAAS.

Agraeixo també en Dr. A. COSTES, director del LAAS-CNRS, per la bona acollida que he tingut en el seu laboratori.

Agraeixo sincerament en Dr. SAMITIER, per haver confiat en mí i proposar-me d'anar al LAAS en el marc d'una col.laboració Barcelona - Toulouse. En el seu dia m'ho vaig pensar molt, però reconeixo que ha estat una molt bona experiència.

Agraeixo en Dr. G. SARRABAYROUSSE, directeur de recherche al LAAS-CNRS, per la seva activa contribució en el transcurs del nostre treball de tesi. Li agraeixo els seus nombrosos consells i les discussions científiques compartides.

Agraeixo en Dr. E. LORA-TAMAYO, Director Adjunt del Centre Nacional de Microelectrònica (CNM), on he efectuat una part del meu treball durant el primer any de tesi, i per haver finançat un dels circuits realitzats en el MPC francès.

Agraeixo en Dr. R ALCUBILLA i Dr. X. CORREIG, professors titulars de l'ETSE

de Telecomunicacions a la UPC de Barcelona, amb qui vaig treballar el primer any d'estada al LAAS, per la seva paciència en els meus inicis com a "investigador".

Vull agrair sincerament als membres de l'equip TEAM en el LAAS, amb qui he compartit dos anys del meu treball, per la seva competència i la seva disponibilitat.

A tots els amics que he conegut en el LAAS: Philippe Givelin, Véronique, Abdel, Nicolas, Laurent, Juanjo, Florence, Hicham, Philippe Requena, Emmanuelle, Hélène, Chantal, Elena, Sophie, René, Anna, Momo, Thierry Camps, Amine, Kassmi, Beydoun, Stefanov, Thierry Parra, Olivier, Philippe André, Jean Christophe, Jean-Marc, Tif, Fred, Philippe Taurines, Léonce, Eric, Jean-Luc, Radouane, Emilson, Adel...

A la gent del grup d'electrònica del departament de Física Aplicada i Electrònica: Albert, Josep M^a, Pere, Alex, Albert, Sebas, Blas, Santi, Toni, Oscar, Mercè, Carles, Oscar, El Hassani, Lorenzo, Toni, Lurdes, Said, Rachid, José M^a, Andrés, Paco...

A tota aquella gent que he pogut conèixer durant la meva estada a Toulouse amb qui he passat molts bons moments i en conservo records inolvidables.

A tots els meus amics d'Igualada amb qui he intentat sempre guardar el contacte i que m'han encoratjat en tot moment.

Finalment, a la meva família, sempre present, per el seu suport durant la meva estada a França i en tot moment.

Aquest treball ha estat parcialment finançat pel "Conseil Régional Midi-Pyrénées", el "Ministère de la Recherche et de la Technologie" i pel programa europeu POMETHEUS / PROCHIP.

Table de matières

Introduction Générale	xiii
Chapitre I	
Phénomène Régénératif du "Latch-up"	1
Introduction	3
1.1.- Description du phénomène:	4
1.1.1.- Description physique.	4
1.1.2.- Conditions nécessaires au déclenchement du latch-up.....	7
1.1.3.- Modes de déclenchement.....	7
1.2.- Modèles et analyse:	12
1.2.1.- Analyse des modèles du Latch-up en statique.	13
1.2.2.- Analyse des modèles du Latch-up en dynamique.	16
1.3.- Protection contre le Latch-up:	22
1.3.1.- Généralités.	23
1.3.2.- Solutions technologiques.....	23
1.3.2.1.- Techniques de procédé et structure technologique.....	24
a) Utilisation d'un substrat épitaxié.....	24
b) Technique des puits jumeaux	24
c) Isolation par tranchées	24
d) Techniques d'isolation diélectrique: substrat isolant SOI	25
1.3.2.2.- Techniques de dégradation des transistors bipolaires. .	25
a) Réduction de la durée de vie.....	25
b) Puits P- rétrogradé.....	26
c) Réduction de l'efficacité d'injection	27
1.3.3.- Solutions de conception.	27
a) Contact substrat.....	27
b) Anneaux de garde	28
c) Puits Flottant.....	29
1.4.- Conclusion	30
Chapitre II	
Technologie de Puissance Intelligente, Concept de Puits Flottant et Comportement vis a vis du Latch-up.	37
Introduction	39

2.1.- Technologie de puissance intelligente.....	40
2.1.1.- Isolation Logique-Puissance.....	40
a) Technique de l'auto-isolement:	40
b) Technique de l'isolation par jonction:.....	41
c) Technique de l'isolation diélectrique:	43
d) Technique d'isolation RESURF:.....	44
2.1.2.- Choix d'une technologie de puissance intelligente à compromis rendement-coût avantageux	45
2.2.- Concept de Puits Flottant.....	46
2.2.1.- Principe.....	47
a) Protection statique.....	49
b) Protection dynamique.....	53
a) Transitoire en tension négatif couplé au drain du NMOS:.....	53
b) Transitoire en tension positif dans le substrat couplé au puits:.....	58
2.2.2.- Résultats expérimentaux.....	60
2.2.2.1.- Caractérisation électrique.	61
a)Diodes	62
b) Transistors bipolaires	63
c) Structures thyristor parasites	66
2.2.2.2.- Protection contre le latch-up.....	68
a) Statique	68
b) Dynamique	71
1.- Cas d'un transitoire négatif ($dV/dt < 0$).....	72
2.- Cas d'un transitoire positif ($dV/dt > 0$)	73
3.- Mise sous tension de l'inverseur CMOS	74
Conclusion.....	76

Chapitre III

Performances d'une Technologie CMOS à Puits Flottant et Méthodologie de Conception..... 81

Introduction.....83

3.1.- Performances de la technologie CMOS à puits flottant.....83

3.1.1.- Effets d'un substrat flottant dans les transistors MOS..... 84

a) Effet "Kink"..... 84

b) Effet bipolaire..... 85

c) Effet de la température

86

3.1.2.- Résultats expérimentaux.....	87
a) Caractéristiques I(V) du transistor NMOS à puits flottant.....	88
b) Effet de la température.....	90
3.2.- Méthodologie de conception.....	92
3.2.1.- L'élément de puissance: le transistor DMOS vertical.....	93
3.2.2.- Transistors NMOS.....	94
a) Transistors NMOS basse tension.....	95
b) Transistors NMOS haute tension.....	97
3.2.3.- Transistors PMOS.....	98
a) Transistors PMOS basse tension.....	98
b) Transistors PMOS haute tension.....	99
3.2.4.- Placement des blocs.....	100
3.3.- Conclusion.....	101

Chapitre IV

Retombées du Concept de Puits Flottant.....105

Introduction.....	107
4.1.- Utilisation du bipolaire vertical parasite de la technologie CMOS.....	107
4.1.1.- Optimisation des caractéristiques du transistor bipolaire parasite	109
4.1.2.- Contrôle du courant inverse dans le transistor bipolaire à base flottante.....	116
4.2.- Détecteur Thermique.....	118
4.1.1.- Principe de fonctionnement:.....	118
4.1.2.- Circuit proposé réalisant la fonction de détecteur de température limite.....	121
4.1.3.- Technologie utilisée et réalisation sur Silicium.....	122
4.1.4.- Résultats expérimentaux.....	123
4.1.5.- Conclusions.....	124
4.3.- Détecteur Photonique.....	124
4.3.1.- Principe de fonctionnement.....	125
4.3.2.- Caractérisation du dispositif.....	126
4.3.2.1.- Etude en statique.....	129
a) Rendement de photogénération.....	129
b) Etalonnage de la structure.....	131
c) Réponse spectrale.....	133
4.3.2.2.- Etude en Dynamique.....	134
4.3.3.- Application possibles.....	136

4.3.3.1.- Vision artificielle, basse résolution en temps réel.....	137
4.3.3.2.- Photomètre auto-adaptatif large bande.....	138
Conclusion.....	141
Conclusion Générale.....	145
Annexe 1	
Modèles en Statique et en Dynamique du Déclenchement du Latch-up.....	151
Annexe 2	
Filière Technologique CMOS Grille Aluminium Compatible VDMOS.....	167
Annexe 3	
Véhicule Test: LATCH.....	175

Liste de figures

CHAPITRE I

Fig.1.1: Coupe inverseur MOS (a) et schéma électrique équivalent (b).....	4
Fig.1.2: Caractéristique I(V) d'un thyristor.....	6
Fig.1.3: Déclenchement du latch-up.....	6
Fig.1.4: Tensions hors norme sur le noeud de sortie.....	8
Fig.1.5: Pompe de Gupta.....	8
Fig.1.6: Circuit de protection de grille.....	9
Fig.1.7: Photocourant.....	11
Fig.1.8: Courant de déplacement pendant la mise sous tension de la circuiterie CMOS.....	11
Fig.1.9: Courant de déplacement pendant la coupure de l'élément VDMOS de puissance.....	12
Fig.1.10: Modèle statique du latch-up.....	14
Fig.1.11: Schéma électrique du thyristor à l'état passant.....	16
Fig.1.12: Analyse du latch-up en dynamique.....	17
Fig.1.13: Comportement en dynamique. Région 1.....	18
Fig.1.14: Comportement en dynamique. Région 2.....	19
Fig.1.15: Comportement en dynamique. Région 3.....	20
Fig.1.16: Comportement en dynamique. Les régions grisées sont libres de latch-up.....	22
Fig.1.17: Substrat épitaxié, puits jumeaux et isolation par tranchées.....	24
Fig.1.18: Techniques de substrat isolant SOS (a) et SOI (b).....	25
Fig.1.19: Puits rétrogradé.....	26
Fig.1.21: Anneaux de garde: cas d'une protection d'entrée.....	29

CHAPITRE II

Fig.2.1: Principe de l'auto-isolement.....	41
Fig.2.2: Isolation par jonction. Double épitaxie.....	42
Fig.2.3: Isolation par jonction. Reprise d'épitaxie.....	43
Fig.2.4: Isolation diélectrique. Substrat Polycristallin.....	44
Fig.2.5: Technique d'isolation RESURF.....	45
Fig.2.6: Principe du puits flottant.....	47
Fig.2.7: Méthodologie de conception proposée.....	49
Fig.2.8: Cas d'un transitoire positif.....	53
Fig.2.9: Cas d'un transitoire négatif.....	53
Fig.2.10: Couplage capacitif d'une perturbation négative au substrat.....	54
Fig.2.11: Modèle d'un puits flottant soumis à un transitoire négatif au drain.....	55

Fig.2.12: Evolution de la tension et du courant dans le puits.....	58
Fig.2.13: Transitoire $\Delta V > 0$ au substrat. Atténuation capacitive.....	59
Fig.2.14: Véhicule test LATCH (a) et bloc diagramme des dispositifs présents (b).....	61
Fig.2.15: Transistors bipolaires parasites présents dans une structure SIS (a) et SIP (b).....	62
Fig.2.16: Caractéristique $I(V)$ de la diode N+/P+profond (a) et caractéristiques $I(V)$ diodes N+/P+ (DZ) et N+/P- (DN) (b).....	63
Fig.2.17: Caractéristiques de gain des transistors bipolaires verticaux parasites dans une structure SIS (a) et SIP (b).....	64
Fig.2.18: Caractéristique de gain d'un transistor DZ, N+/P+/Pépi.....	64
Fig.2.19: Caractéristiques de gain des transistors bipolaires latéraux parasites.....	65
Fig.2.20: Caractéristiques de gain du transistor bipolaire Drain/Puits/Source.....	65
Fig.2.21: (a) et (b) Claquage BVCEO (c) claquage BVCBO.....	66
Fig.2.22: Structures thyristor parasites.....	67
Fig.2.23: Caractéristiques $I(V)$ des structures thyristor T1 et T2.....	67
Fig.2.24: Caractéristique statique latch-up: schéma de polarisation (a) et $I(V)$ structure SIPA et SIS (b).....	69
Fig.2.25: Schéma de polarisation structure thyristor en fonction de RW.....	70
Fig.2.26: Influence de la résistance de puits, RW, sur le courant de maintien (a) et la tension de maintien (b).....	70
Fig.2.27: Schéma de polarisation structure thyristor en fonction de REN.....	71
Fig.2.28: Influence de la résistance de contact, Ren, sur le courant de maintien (a) et la tension de maintien (b).....	71
Fig.2.29: Tension du puits P structure SIPA: schéma de polarisation (a) et résultat expérimental (b).....	72
Fig.2.30: Courant collecteur QVD structures SIPA et SIS.....	73
Fig.2.31: Atténuation capacitive: schéma de polarisation (a) et résultat expérimental (b).....	73
Fig.2.32: Mise sous tension de l'inverseur CMOS: schéma de polarisation (a) et courant traversant la structure d'après le modèle théorique (b).....	74
Fig.2.33: Mise sous tension d'une structure SIS et SIPA.....	75
Fig.2.34: Mise sous tension: Coupes structures SIS et SIPA (a), schéma de polarisation (b) et treg expérimentaux (c).....	76

CHAPITRE III

Fig.3.1: Effet "Kink": courant inverse de jonction drain-substrat et ionisation par impact.....	85
Fig.3.2: "Snapback": effet de la réduction de dimensions.....	86
Fig.3.3: Caractéristiques PMOS (a) et NMOS (b).....	87
Fig.3.4: Caractéristiques $I_{DS}(V_{DS})$ des transistors NMOS des structures SIS (a) et SIPA (b) à substrat flottant (F) et à substrat relié à la masse. Ici la source a été polarisée à la masse et la	

tension de drain varie entre 0 et 7V. Les valeurs de la tension de grille sont 0,5 - 0,8 - 1,1 et 1,4V.....	89
Fig.3.5: Topologie structures SIPA et SIPB.....	89
Fig.3.6: Caractéristiques IDS(VDS) des transistors NMOS des structures SIPA (a) et SIPB (b) à substrat flottant (F) et à substrat relié à la masse. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 7V. Les valeurs de la tension de grille sont 0,5 - 0,8 - 1,1 et 1,4V pour la structure SIPA et 0,5 - 0,8 - 1,1 - 1,4 et 1,7V pour la structure SIPB.....	90
Fig.3.7: Influence de la température sur ICEO et BVCEO.....	90
Fig.3.8: IDS(VDS) NMOS structure SIS (a) et SIPA (b) à substrat flottant (F) et à substrat relié à la masse (A). Influence de la température. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 10V. Les valeurs de la tension de grille sont 2 et 4V pour les deux structures.....	91
Fig.3.9: IDS(VDS) NMOS structure SIPA (a) et SIPB (b) à substrat flottant et à substrat relié à la masse. Influence de la température. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 10V. Les valeurs de la tension de grille sont 2 - 3 et 4V pour les deux structures SIPA et SIPB.....	92
Fig.3.10: Transistor VDMOS de puissance.....	94
Fig.3.11: Transistors NMOS basse tension.....	95
Fig.3.12: Agencement du puits P-.....	96
Fig.3.13: Transistors NMOS haute tension à enrichissement (a) et appauvrissement (b).....	97
Fig.3.14: Transistor PMOS basse tension.....	98
Fig.3.15: Transistor PMOS HT.....	99
Fig.3.16: Placement logique - puissance.....	100

CHAPITRE IV

Fig.4.1: Principe physique.....	108
Fig.4.2: Structures bipolaires verticales parasites.....	110
Fig.4.3: Courants Ib Ic dans les structures (a) BN1 et (b) BFG1: influence du bipolaire latéral parasite.....	111
Fig.4.4: Valeur du gain dans les structures BN2, BN3 et BN4: influence de la largeur de base....	111
Fig.4.5: Valeur du gain dans les structures: BN2 et BN2g (WBL=5µm) (a) et BN3 et BN3g (WBL=10µm) (b): influence du type d'interface à la surface de base.....	112
Fig.4.6: Courants Ib Ic structures BFG grille non polarisée.....	113
Fig.4.7: Courants Ib Ic structures BFG grille polarisée à 1V.....	114
Fig.4.8: Valeur de gain dans les structures: (a) BN2, BFG2 et (b) BN3 et BFG3 avec oxyde mince.....	114
Fig.4.9: Valeur de gain dans des structures: (a) BN2g, BFG2g et (b) BN3g, BFG3g avec oxyde épais.....	115

Fig.4.10: Schéma du bipolaire BFG3 retenu.....	115
Fig.4.11: Physique du fonctionnement du transistor proposé.....	116
Fig.4.12: Diagramme de bandes pour structure émetteur en l'air.....	117
Fig.4.13: Diagramme de bandes pour structure émetteur polarisé.....	117
Fig.4.14: Variation du courant inverse en fonction de la température.....	119
Fig.4.15: Principe de fonctionnement du détecteur thermique.....	119
Fig.4.16: Fluctuations de potentiel aux proximités du VDMOS.....	120
Fig.4.17: Optimisation du dispositif.....	120
Fig.4.18: Circuit détecteur d'une température critique.....	121
Fig.4.19: Coupe de la structure détecteur d'une température critique réalisée.....	122
Fig.4.20: Réalisation technologique.....	122
Fig.4.21: Courant généré thermiquement sur différentes structures.....	123
Fig. 4.22: Structure photosensible proposée.....	125
Fig. 4.23: Bande de Transmission (a) et Triangle de Sensibilité (b) du filtre utilisé.....	127
Fig. 4.24: Structures photosensibles dessinées.....	128
Fig.4.25: Courant de photogénération en fonction de l'éclairement.....	132
Fig.4.26: Gain théorique-expérimental en fonction de l'éclairement.....	133
Fig.4.27: Courbes de photoréponse spectrale structures DD et PHOBIP.....	134
Fig. 4.28: Etude en dynamique.....	135
Fig. 4.29: Temps de réponse du dispositif photosensible DP3.....	136
Fig.4.30: Courbe de gain du photodétecteur pour vision artificielle.....	137
Fig.4.31: Cellule de vision artificielle proposée.....	138
Fig.4.32: Définition de la "région dynamique" du transistor.....	138
Fig.4.33: Structure photomètre proposée.....	140
Fig.4.34: Gamme d'intensité de lumière mesurables.....	141

Liste de symboles

ASIC	Application Specific Integrated Circuits.
α_p et α_n	Efficacités d'injection du transistor PNP et NPN, respectivement.
α_p^* et α_n^*	Efficacités d'injection effective du transistor PNP et NPN, respectivement.
BV_{CBO}	Tension de claquage collecteur - base à émetteur flottant.
BV_{CEO}	Tension de claquage collecteur - émetteur à base flottante.
C	Capacité de la jonction puits P ⁻ / substrat épitaxié N ⁻ .
CAO	Conception Assistée par Ordinateur.
C_{Dp}	Capacité de jonction drain PMOS / substrat N ⁻ épitaxié.
C_{GDn}	Capacité grille - canal côté drain du NMOS.
C_{GSn}	Capacité grille - canal côté source du NMOS.
C_j	Capacité de jonction.
CMOS	Complementary Metal Oxide Semiconductor.
CMP	Circuit Multi-Projet.
C_{OX}	Capacité d'oxyde de grille par unité de surface.
DMOS	Diffused Metal Oxide Semiconductor.
E_i	Niveau d'énergie de Fermi intrinsèque.
ELO	Epitaxial Lateral Overgrowth.
ϵ_s	Permittivité du silicium.
FIPOS	Full Insulation of Porous Oxidized Silicon.
γ_p^* et γ_n^*	Facteurs d'injection du transistor PNP et NPN, respectivement.
η	Rendement de photogénération.
I_{CBO}	Courant de fuite collecteur - base à émetteur flottant.
I_{CEO}	Courant de fuite collecteur - émetteur à base flottante.
$I_{c,on}$	Courant traversant la capacité C au moment où le transistor Q_L conduit.
$I_{c,on}^*$	Courant de déplacement limite au-delà duquel le latch-up s'établit.
I_g	Courant inverse d'une jonction P/N.
$I_{v,on}$ et $I_{l,on}$	Courant base nécessaire pour polariser les transistors bipolaires Q_V et Q_L .
LDD	Lightly Doped Drain.
LDMOS	Lateral Diffused Metal Oxide Semiconductor.
LOCOS	LOCAl Oxide of Silicon.
N_B	Concentration du substrat.
n_i	Concentration intrinsèque de porteurs.
Ψ_F	Différence de tension entre niveau de Fermi et centre de la bande interdite.

Q_{LD} et Q_{LS}	Transistor bipolaire latéral parasite de drain et de source, respectivement.
Q_{VD} et Q_{VS}	Transistor bipolaire vertical parasite de drain et de source, respectivement.
r_{ep} et r_{en}	Résistances d'émetteur du transistor PNP et NPN, respectivement.
RESURF	REduced SURface Field
R_S et R_W	Résistance du substrat N^- épitaxié et du puits P^- , respectivement.
RTA	Rapid Thermal Annealing.
SCR	Silicon Controlled Rectifier.
SIMOX	Separation by IMplantation of OXigen.
SOI	Silicon On Insulator.
SOS	Silicon On Sapphire.
σ_n et σ_p	Sections de capture des électrons et des trous, respectivement.
τ_A	Durée de vie liée aux recombinaisons AUGER.
$T(\lambda)$	Bande de transmission d'un filtre.
$Tr(\lambda)$	Triangle de sensibilité de l'oeil.
τ_{SRH}	Durée de vie liée aux recombinaisons de SHOCKLEY-READ-HALL.
U	Taux de recombinaison.
V_{BS}	Tension substrat-source.
VDMOS	Vertical Diffused Metal Oxide Semiconductor.
V_{FB}	Tension de bande plate
V_H, I_H	Tension et courant de maintien du phénomène de latch-up, respectivement.
v_{th}	Vitesse thermique.
V_{TN} et V_{TP}	Tensions de seuil des transistors NMOS et PMOS, respectivement.
V_{TO}, I_{TO}	Tension et courant de coupure du phénomène de latch-up, respectivement.
V_S, I_S	Tension et courant d'amorçage du phénomène de latch-up, respectivement.
ZMR	Zone Melting Recrystallization.

Introduction Générale

Au cours de ces dix dernières années, l'évolution des performances des circuits intégrés n'a cessé de croître, essentiellement grâce à la sophistication des technologies, à la maîtrise de dimensions submicroniques et à la possibilité d'intégration d'un nombre croissant de fonctions sur une même puce.

Ces performances ont également augmenté grâce à la possibilité de réaliser des technologies mixtes combinant les avantages de deux technologies complémentaires telles que la technologie CMOS et la technologie bipolaire. Il s'agit des technologies BICMOS qui sont maintenant les technologies clés pour la réalisation de circuits rapides.

Une autre révolution des technologies microélectroniques rendue possible par cette évolution est l'avènement d'une nouvelle famille de circuits appelés circuits intégrés de puissance intelligente. Il s'agit de circuits intégrant monolithiquement un ou plusieurs interrupteurs de puissance avec leur circuiterie de contrôle et de protection. Le terme de révolution n'est pas trop fort pour exprimer les retombées d'une telle famille électronique car ces circuits sont nécessaires dans tous les domaines qui nous entourent que ce soit la distribution électrique, l'éclairage néon, l'automobile, la télévision, les télécommunications...

Les retombées concernent l'élimination des nombreux boîtiers et circuits d'interface, la possibilité de dialoguer avec un microprocesseur, une réduction significative du volume et du poids de l'électronique ainsi que de son câblage. D'autre part, ces circuits comme leur nom l'indique permettent d'introduire une certaine intelligence et tout d'abord de protéger l'interrupteur de puissance qui est souvent soumis à des contraintes de tension et de température à la limite de son aire de sécurité. Un autre point important va être également la possibilité de mieux contrôler la consommation induite par les systèmes électrotechniques. Un exemple frappant est celui de la consommation induite par les moteurs: aux Etats-Unis, elle représente 50% de l'énergie consommée [1]. L'introduction de circuits de contrôle de moteurs permettant de moduler leur vitesse induirait une chute considérable de cette consommation.

Depuis le début des années 1980, les industriels ont commencé à introduire des technologies pour réaliser ce mariage qui, quelques années plus tôt, aurait paru impossible. Les technologies envisagées doivent avoir pour rôle d'isoler au mieux la région de puissance où transitent des ampères sous quelques centaines de volts de la région petit signal qui véhicule au plus des mA sous quelques volts.

Jusqu'à aujourd'hui ces technologies de puissance intelligente ont encore du mal à percer chez les utilisateurs de composants de puissance car les sophistications de la technologie nécessaires à un bon isolement galvanique ne permettaient pas de concurrencer les solutions réalisées en discret.

L'application automobile est une de celles où le facteur coût est le plus draconien. Nous nous sommes donc intéressé à ce domaine d'application qui concerne des basses tensions

[1] V.RUMENNIK, "Power Devices are in the Chips", IEEE Spectrum, July 85, p.42.

($\leq 100V$) dans l'objectif de proposer une technologie faible coût mais également robuste. En effet, outre le facteur coût, l'environnement automobile est un des plus durs pour l'électronique: gamme de température (allant de -40 à $+150^{\circ}C$), humidité, vibrations, fortes surcharges en tension, tension d'alimentation très variable, perturbations électromagnétiques...

Pour les applications basses tensions et la nécessité de la configuration haute en automobile, un interrupteur DMOS vertical est le plus adapté et l'association à une technologie CMOS connue pour sa robustesse aux conditions de fonctionnement semble une solution attrayante. Profiter de leur propriété d'auto-isolément pour que le DMOS vertical partage son substrat N^- qui n'est autre que son drain, avec le substrat de la technologie CMOS permet d'aboutir à une technologie simple et peu coûteuse.

Cependant, ce substrat commun sera le siège de fluctuations transitoires de tension lors de chaque commutation de l'interrupteur de puissance. Le danger est alors le couplage de ces transitoires en tension à la circuiterie CMOS et le risque d'initialisation du latch-up qui peut être fatal pour le circuit.

Dans ce mémoire, dans le cadre d'une technologie CMOS/DMOS auto-isolée, nous proposons une méthodologie de conception basée sur un concept de puits flottant permettant de se prémunir contre le phénomène du latch-up aussi bien en statique qu'en dynamique.

Le premier chapitre décrit le phénomène régénératif du latch-up dans une technologie CMOS, les modes de déclenchement et les conditions qui lui sont nécessaires, ainsi que l'analyse du déclenchement du latch-up en statique et dynamique. Enfin, les différentes techniques de protection contre le latch-up sont répertoriées.

Dans le deuxième chapitre, nous présentons les technologies de puissance intelligente aujourd'hui disponibles basées sur différentes techniques d'isolation logique-puissance. Dans le cadre de l'application automobile basse tension ($\leq 100V$), de façon à réaliser un compromis rendement-coût avantageux, nous avons choisi une technologie de puissance intelligente utilisant la technique d'auto-isolément. A partir de cette technologie choisie, nous avons défini une structure CMOS basée sur un concept original de puits flottant et convenablement protégée contre le latch-up à la fois en statique et dynamique. Un véhicule test a été réalisé sur la base d'une technologie développée au LAAS et les résultats obtenus valident l'efficacité des protections proposées contre le déclenchement du latch-up.

Le troisième chapitre analyse d'un point de vue théorique et expérimental les performances d'une technologie CMOS à puits flottant. En effet, les résultats expérimentaux montrent que la solution de conception proposée, non seulement est efficace contre l'établissement du latch-up, mais permet aussi de se prémunir contre les effets d'un substrat flottant dans les transistors NMOS. Une méthodologie de conception d'une technologie CMOS compatible DMOS basée sur un concept de puits flottant est enfin clairement définie sur des bases physiques et technologiques.

Dans le dernier chapitre, nous proposons deux applications qui sont des retombées directes du concept de puits flottant. La première de détection thermique est directement applicable dans le domaine de la puissance intelligente. La deuxième cherche à montrer que ce concept peut aussi être utilisé dans certains circuits VLSI, nous avons choisi ici la photodétection appliquée à la vision basse résolution en temps réel et à la photométrie.

Chapitre I

Phénomène Régénératif du "Latch-up"

Introduction

La technologie CMOS proposée autour des années 60 avait des performances très médiocres et ne fut développée au début que pour des applications précises: les montres et calculatrices portables pour sa faible dissipation de puissance, les circuits militaires et spatiaux du fait de son insensibilité aux niveaux modérés de haute radiation, etc. Cependant, avec l'amélioration de ses performances découlant des progrès de la technologie et la complexité constante des applications, la technologie CMOS a commencé à s'imposer par rapport aux technologies classiques telles que la technologie bipolaire ou NMOS.

En effet, ce virage important s'est opéré pour deux raisons fondamentales: la forte dissipation en puissance des technologies bipolaires et NMOS, et l'augmentation de la complexité d'un circuit en technologie NMOS. Tout un ensemble de raisons fait que la technologie CMOS est devenue attrayante pour un grand nombre de concepteurs de circuits.

Les avantages majeurs de cette technologie sont essentiellement[I.1][I.2]:

- Faible dissipation en puissance permettant de diminuer la taille des sources de tension.
- Possibilité de réaliser de bons générateurs de courant.
- Bonne tolérance aux variations de conditions de fonctionnement sur une gamme étendue de températures et de tensions d'alimentation.
- Plus grande insensibilité de la tension de seuil logique de l'inverseur CMOS vis à vis des variations des paramètres V_{Tn} et V_{Tp} .
- Facilité de conception ayant permis l'introduction de la Conception Assistée par Ordinateur (CAO) et plus tard, des circuits prédiffusés et précaractérisés appelés ASIC (Application Specific Integrated Circuits).
- Immunité aux hautes radiations.

L'ensemble de ces avantages font de cette technologie CMOS le choix naturel pour des circuits digitaux et analogiques.

Tous ces avantages font également que c'est la technologie de choix pour les applications de puissance intelligente qui marient sur une même puce un interrupteur de puissance et sa circuiterie de contrôle.

La technologie CMOS présente cependant un inconvénient: par structure, elle possède un thyristor parasite qui dans certaines conditions peut être déclenché. Le déclenchement de ce thyristor parasite est appelé phénomène de "latch-up". Une fois initialisée, la conduction de ce thyristor ne peut être arrêtée que par la coupure de l'alimentation et de ce fait, peut être fatale pour le circuit.

La susceptibilité au "latch-up" représente donc un problème majeur pour les applications de puissance intelligente, du fait que pour des raisons de simplicité cette circuiterie CMOS sera réalisée sur le même substrat que celui de l'interrupteur de puissance.

Dans ce chapitre, après un rappel des différents cas possibles d'initialisation du phénomène du "latch-up", nous allons analyser en détail quels sont les paramètres fondamentaux qui régissent le phénomène du "latch-up". Nous ferons cette analyse à la fois en statique et en dynamique et nous examinerons dans chaque cas l'influence de l'utilisation d'un puits flottant sur le déclenchement du "latch-up".

Nous rappellerons enfin les solutions aussi bien technologiques que de conception utilisées jusqu'à ce jour pour situer notre solution de concept de puits flottant que nous décrirons dans le chapitre 2 suivant.

1.1.- Description du phénomène:

Malgré l'importance croissante que prend la technologie CMOS sur la scène des circuits intégrés, le problème du déclenchement du thyristor parasite PNP, inhérent à la structure de la technologie CMOS, est encore un phénomène qui limite la réduction des dimensions [1.3][1.4]. Ce phénomène, appelé verrouillage mais dont la dénomination anglaise, "latch-up" est plus familière et sera la seule utilisée dans ce mémoire, peut conduire à la perte de la fonctionnalité du circuit et même à sa destruction.

1.1.1.- Description physique.

Dans une technologie CMOS à puits P, ce thyristor parasite est formé de deux transistors bipolaires parasites, un NPN vertical (Q_V) et un PNP latéral (Q_L) (Fig.1.1). Le transistor NPN vertical Q_V , est formé par la diffusion N^+ de source/drain NMOS (émetteur), le puits P^- (base) et le substrat N^- épitaxié (collecteur). De la même façon, le transistor PNP latéral Q_L , est formé par la diffusion P^+ source/drain PMOS (émetteur), le substrat N^- épitaxié (base) et le puits P^- (collecteur).

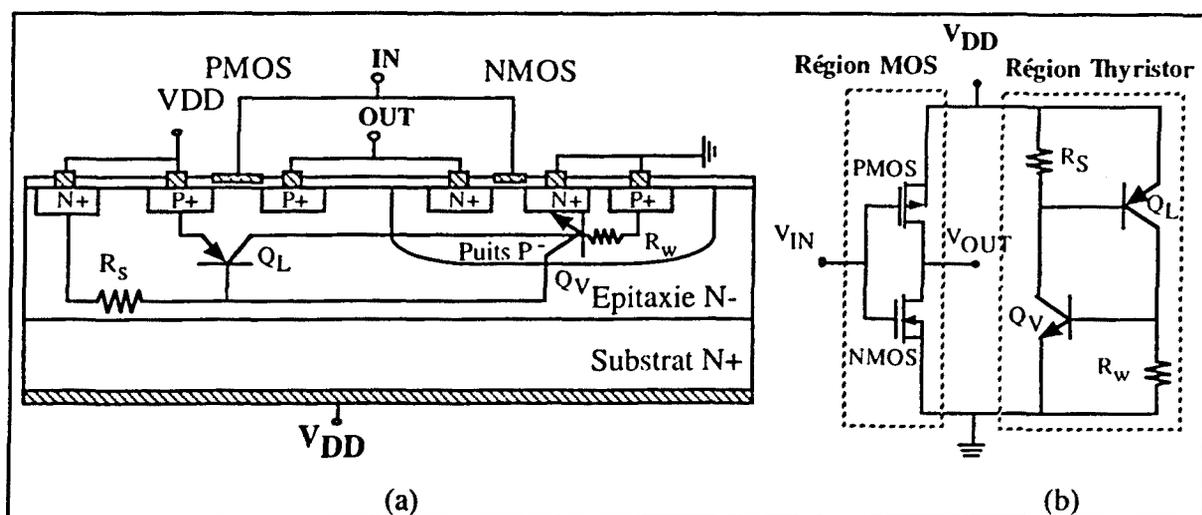


Fig.1.1: Coupe inverseur MOS (a) et schéma électrique équivalent (b).

En fonctionnement normal, ces deux transistors sont à l'état bloqué et n'interfèrent pas avec le circuit. La structure thyristor PNP est à l'état bloqué et seulement un petit courant inverse traverse la jonction puits P^- / substrat N^- épitaxié.

Par contre, si une perturbation externe conduit à l'injection de courants importants dans le substrat N^- épitaxié ou dans le puits P^- , il est possible que ces deux bipolaires parasites commutent. La structure thyristor PNP peut alors atteindre l'état passant et déclencher le phénomène du latch-up. La conséquence du déclenchement du phénomène du latch-up est la commutation rapide vers une situation de fort courant et faible tension.

Sur la Fig.1.1.a, on a superposé une coupe d'une structure typique d'inverseur CMOS avec le circuit bipolaire parasite équivalent. Il y a, en réalité, deux transistors bipolaires verticaux parasites NPN et deux transistors bipolaires latéraux parasites PNP. L'émetteur du premier sera la diffusion de drain et l'émetteur du deuxième sera la diffusion de source. Le puits P^- est à la fois base des transistors bipolaires verticaux parasites et collecteur des transistors bipolaires latéraux parasites, de même que l'épitaxie N^- est base des transistors bipolaires latéraux parasites et collecteur des transistors bipolaires verticaux parasites. Des résistances de substrat N^- épitaxié et de puits P^- sont aussi prises en compte. La valeur de ces résistances, comme nous le verrons plus loin, joue un rôle important dans le déclenchement du thyristor parasite.

Le circuit équivalent total de cette structure d'inverseur CMOS est représenté sur la Fig. 1.1.b. Ce circuit est constitué par deux parties séparées: région MOS et région thyristor parasite. En fonctionnement normal, le circuit agit comme un inverseur et la région thyristor parasite peut être ignorée puisqu'elle se trouve en état de haute impédance ou état bloqué. Par contre, sous certaines conditions, la région thyristor parasite peut commuter de son état normal de haute impédance à l'état de basse impédance ou état passant. La source d'alimentation voit alors un chemin de basse impédance vers la masse, et donc l'action de cette région thyristor parasite domine le comportement du circuit. Le courant fourni par l'alimentation V_{DD} augmente fortement et la tension développée devient faible par la faible impédance de cette région thyristor. Si le courant fourni par l'alimentation V_{DD} n'est pas limité, l'échauffement produit peut conduire à la fusion de pistes d'aluminium dans le circuit intégré et même du silicium. Si le courant est limité, même si on n'arrive pas à une panne irréversible, l'état de basse impédance de la région thyristor parasite conduit à un dysfonctionnement du circuit. Pour assurer le bon fonctionnement du circuit CMOS, le thyristor parasite doit rester à l'état de haute impédance ou état bloqué.

Une caractéristique typique d'un thyristor est représentée sur la Fig. 1.2. Deux points clefs peuvent être identifiés dans cette caractéristique: le point d'amorçage (V_S, I_S) et le point de maintien (V_H, I_H). Le point d'amorçage marque le passage de la région haute impédance ou état bloqué à la région de résistance négative et le point de maintien marque le passage de la région de résistance négative à la région basse impédance ou état passant.

La transition entre l'état bloqué et la région de résistance négative est caractérisée par le début de saturation des transistors bipolaires parasites qui étaient en régime de forte conduction. Parallèlement, la polarisation de la jonction centrale puits P⁻/substrat épitaxié N⁻ qui était fortement inversée lors de l'état bloqué du thyristor, diminue progressivement jusqu'à zéro, point souvent appelé point de coupure (turn-off point) (V_{TO}, I_{TO}) dans la région de résistance négative. La polarisation de cette jonction devient ensuite légèrement en direct lorsqu'on atteint le point de maintien. Les deux transistors bipolaires parasites travaillent alors en régime fortement saturé puisque leurs jonctions base/collecteur (jonction centrale de la structure thyristor) sont polarisées en direct. Une fois atteint le point de maintien, le retour à l'état bloqué du thyristor est impossible tant qu'on ne coupe pas l'alimentation V_{DD} .

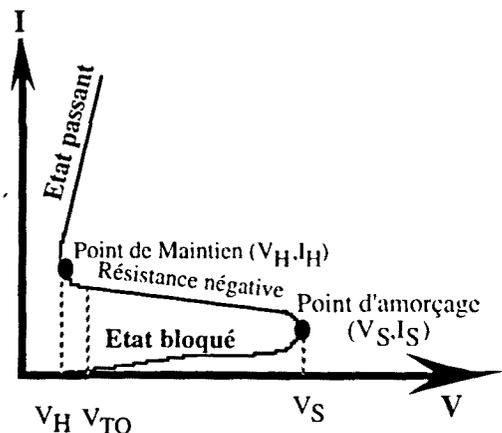


Fig.1.2: Caractéristique $I(V)$ d'un thyristor.

De façon à mieux comprendre le déclenchement de ce phénomène, nous analysons en détail la commutation du thyristor de l'état bloqué à l'état passant dans le cas d'une perturbation en tension positive dans le substrat N⁻ (Fig.1.3).

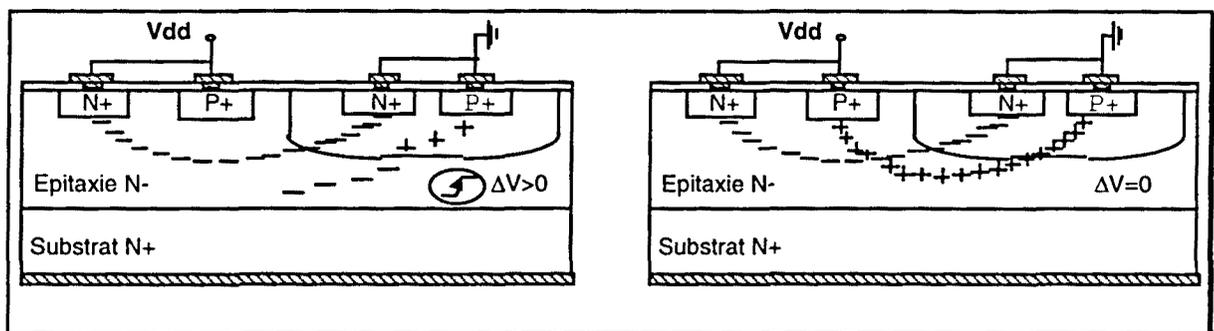


Fig.1.3: Déclenchement du latch-up.

Cette perturbation induit un courant de déplacement de trous dans le puits. Ces porteurs majoritaires vont être évacués vers la masse grâce au contact P⁺ de masse. Du fait de la forte résistivité du puits, lors de leur passage dans le puits vers la masse, un gradient de tension positif peut être induit et suffisant pour mettre en conduction le transistor bipolaire vertical parasite associé à la source du transistor NMOS (Q_{VS}). Ce transistor Q_{VS} injecte alors des électrons dans l'épitaxie qui vont être évacués par l'alimentation V_{DD} . L'épitaxie étant également résistive, sur le passage de ce courant va se produire un gradient de potentiel négatif susceptible de mettre en direct la jonction P⁺ de source du transistor PMOS. Le transistor bipolaire latéral parasite Q_{LS} va alors se mettre en conduction et injecter des trous dans l'épitaxie qui par effet transistor vont se reboucler dans le puits P. Les deux transistors Q_{VS} et

Q_{LS} sont alors bouclés ou "verrouillés", c'est à dire, le courant de collecteur du Q_{LS} devient courant de base du Q_{VS}, et le courant de base du Q_{LS} provient du courant de collecteur du Q_{VS}, c'est le phénomène régénératif du latch-up.

1.1.2.- Conditions nécessaires au déclenchement du latch-up.

Plusieurs conditions doivent être accomplies pour que le thyristor parasite puisse se déclencher et entraîner l'apparition du phénomène régénératif du latch-up:

1.- La perturbation doit polariser suffisamment les transistors bipolaires parasites afin que le courant traversant la structure thyristor atteigne le niveau du courant d'amorçage (I_S).

2.- Le produit des gains de ces transistors doit être suffisamment grand pour permettre l'effet régénératif.

3.- Les alimentations et la circuiterie externe doivent pouvoir fournir un courant égal ou supérieur au courant de maintien (I_H) associé au thyristor parasite.

Toutes ces conditions sont nécessaires mais ne sont pas suffisantes, car même si elles sont accomplies il faut également, dans le cas du déclenchement du latch-up en dynamique, que la perturbation soit appliquée pendant un temps suffisamment long nécessaire à la mise en place de ce mécanisme régénératif.

1.1.3.- Modes de déclenchement.

Plusieurs excitations peuvent être à l'origine d'un courant suffisant pour déclencher le latch-up dans la structure. Nous allons décrire certaines causes de perturbation et leur effet sur la structure.

1.- Déclenchement par les émetteurs.

a) Tensions hors norme sur le noeud de sortie:

Un circuit intégré CMOS est particulièrement vulnérable au niveau de ses entrées-sorties, puisqu'il est en contact direct avec le monde extérieur. Les sorties présentent des jonctions drain de grande surface qui pourront être facilement mises en direct. En effet, quand la tension sur le plot de sortie devient inférieure à la polarisation du puits P⁻ (normalement la masse), la diffusion N⁺ de drain connectée au plot de sortie est alors polarisée en direct et injecte des électrons dans le puits (Fig.1.4) induisant une réduction de la tension du puits et un appel de trous (porteurs majoritaires) en provenance de la masse. Si la jonction base Puits P⁻-émetteur N⁺ est polarisée suffisamment, le transistor bipolaire vertical parasite se met en route. Si le

temps pendant lequel ce transistor est en conduction est suffisant pour mettre en route le transistor bipolaire latéral parasite, le latch-up peut être établi.

Le même raisonnement peut être fait pour une perturbation sur le plot supérieure à V_{DD} qui peut alors déclencher le transistor bipolaire latéral parasite.

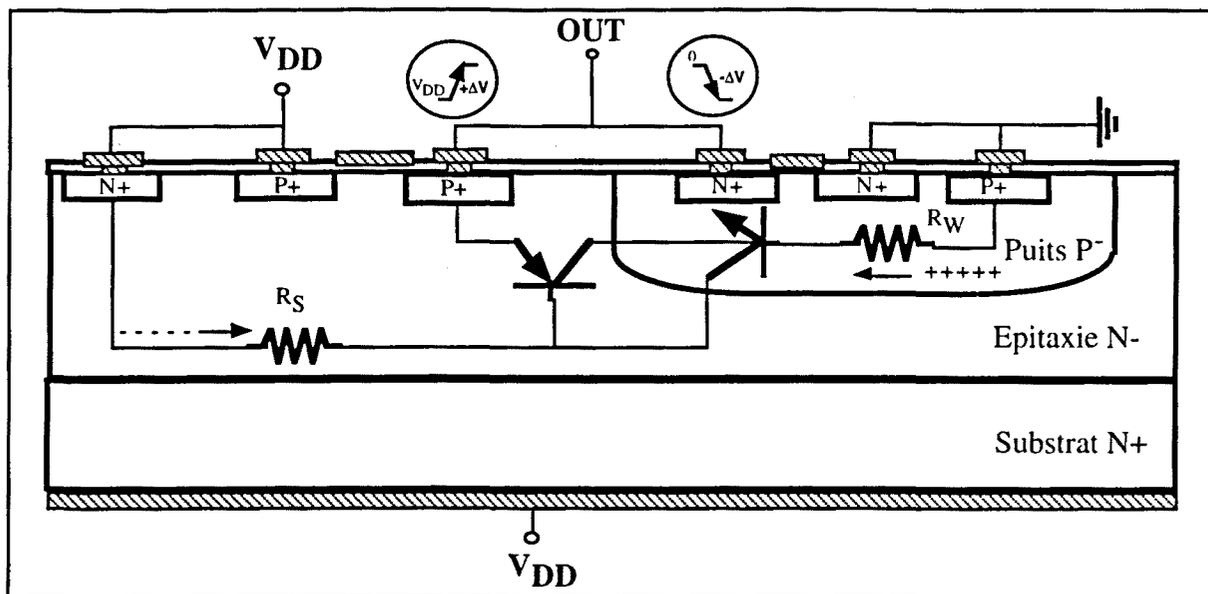


Fig.1.4: Tensions hors norme sur le noeud de sortie.

b) Couplage capacitif.

Les diffusions de la technologie fonctionnent toutes en inverse et offrent de ce fait un auto-isolément statique. Cependant, en dynamique, ces jonctions se comportent en capacités qui peuvent transmettre des signaux parasites à des parties fragiles du circuit CMOS. Par exemple, en technologie CMOS puits P, un transitoire $dV/dt < 0$ dans le substrat N peut être couplé capacitivement au drain P^+ d'un transistor PMOS et donc au drain du transistor NMOS qui lui est connecté. Si cette tension couplée est inférieure à $-0,6V$, il y aura mise en direct de la jonction drain N^- /puits P^- et risque d'initialisation du latch-up.

Un autre exemple de couplage capacitif se trouve dans la pompe à charges MOS classique à un étage: Pompe de A. Gupta [I.5]. Le principe de fonctionnement du circuit de pompe à charges (Fig.1.5) est basé sur le transfert des charges d'une capacité de faible valeur (C_p) sur une capacité beaucoup plus grande (C_{out}). Ce transfert se fait par l'intermédiaire d'un interrupteur entre les deux capacités, commandé par un circuit décaleur de niveau qui permet d'élever la tension sur l'électrode N de la capacité C_p . Dans l'application de puissance intelligente, ce circuit est destiné à amener le potentiel de la grille du VDMOS à un potentiel

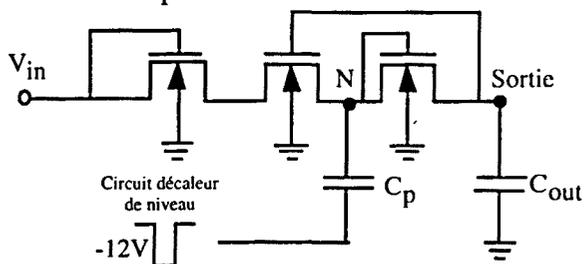


Fig.1.5: Pompe de Gupta.

supérieur à celui de la batterie, afin d'assurer un bon fonctionnement du transistor VDMOS de puissance en interrupteur. Au démarrage, la tension de sortie est nulle et le potentiel du drain N^+ du transistor NMOS interrupteur (noeud N) prend des valeurs négatives chaque fois que le signal d'horloge passe à zéro. Cette tension hors norme est obtenue par un couplage capacitif nécessaire à l'application mais qui si on ne prend pas des précautions supplémentaires (précharge du noeud N, par exemple) peut conduire au déclenchement du latch-up.

2.- Déclenchement induit par la circulation de courants de substrat.

a) Protections d'entrée:

Les entrées d'un circuit comportent systématiquement un circuit de protection de la grille (fig. 1.6) constitué d'un pont de diodes connecté à V_{DD} et à la masse. Ces diodes sont là pour limiter les surtensions positives ou négatives à l'entrée à $V_{DD}+V_{bi}$ et $-V_{bi}$, respectivement, V_{bi} étant la tension de mise en direct des diodes. Elles seront donc les seules jonctions du circuit à fonctionner en direct. La technologie CMOS ne comportant généralement pas d'isolation par jonction, il sera nécessaire de prendre des précautions vis à vis des porteurs injectés dans les substrats lors de l'activité de ces protections. En effet, étant donnée la faible résistivité des substrats (autour de 10^{15}cm^{-3}), la longueur de diffusion des porteurs minoritaires y est relativement élevée ($\geq 100 \mu\text{m}$). Ces dispositifs sont donc généralement placés le plus loin possible de la circuiterie CMOS, aux côtés des plots. Si les précautions prises n'ont pas été suffisantes, les courants de substrats associés pourront induire l'allumage d'un ou des deux bipolaires parasites et provoquer l'initialisation du latch-up. Pour collecter l'excès de porteurs minoritaires dans le substrat, on entoure ces diodes d'anneaux de garde comme indiqué dans la figure 1.6.

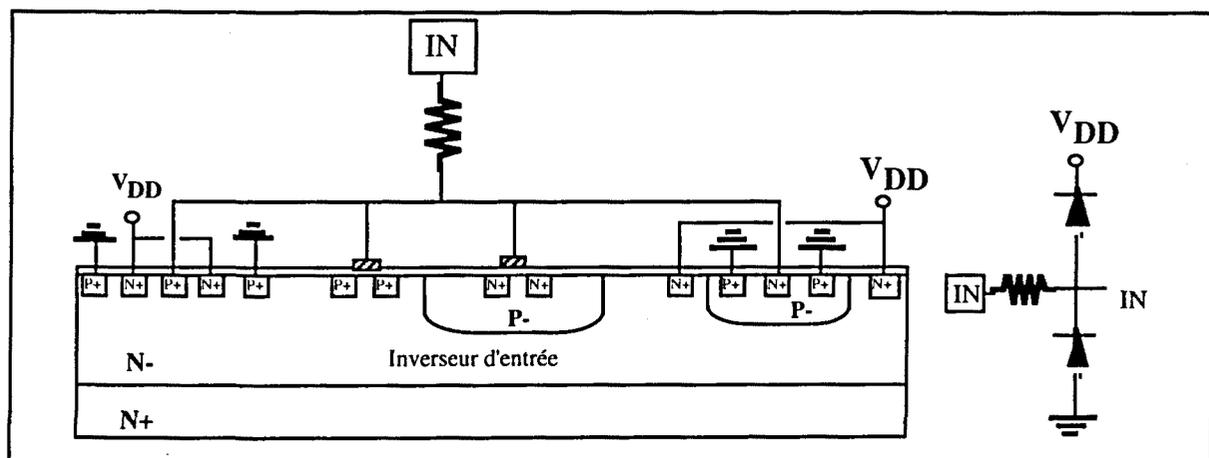


Fig.1.6: Circuit de protection de grille.

b) Tenue en tension de la structure CMOS.

La mise au point d'une technologie CMOS nécessite de garantir la tenue en tension de la structure. Les différents modes de claquage de la structure sont au nombre de trois:

- le perçage entre deux jonctions.
- la présence de canaux parasites.
- le claquage par avalanche.

La présence d'un court-circuit dégradant l'état de haute impédance du thyristor parasite de la technologie CMOS pourra être un facteur de déclenchement du latch-up [I.6]. Cet événement peut se produire lors d'un perçage entre deux jonctions ou lors de la formation d'un canal MOS parasite [I.7]. Deux jonctions sont en situation de perçage lorsque leurs charges d'espace respectives rentrent en contact, conduisant à un court-circuit qui peut faciliter le déclenchement du latch-up [I.8]. Cette situation peut se produire entre la jonction de puits P⁻ et le drain P⁺ d'un transistor PMOS ou entre le drain N⁺ d'un transistor NMOS et l'épithaxie N⁻. Ce phénomène est généralement évité par la définition de règles de dessin ainsi que des profils de dopage et une profondeur de puits appropriés. La présence de canaux parasites pouvant court-circuiter le puits P⁻ et le drain d'un PMOS ou l'épithaxie N⁻ et le drain d'un NMOS a longtemps été un problème jusqu'à l'avènement de l'oxydation localisée et de l'implantation ionique qui permettent d'éviter la formation de ces canaux parasites tout en conservant une bonne densité d'intégration. Ces deux problèmes sont donc actuellement bien maîtrisés.

En ce qui concerne l'avalanche, la tenue en tension de la jonction puits P⁻ / épithaxie N⁻ est parfaitement maîtrisée par l'optimisation des profils de dopage. Par contre, un phénomène de plus en plus critique avec la réduction des dimensions est celui du claquage par avalanche des jonctions de drain des transistors MOS. Un transistor MOS à canal court polarisé en régime saturé génère, près de la région pincée du canal proche au drain, un champ électrique latéral très élevé qui peut être suffisamment grand pour générer des paires électron-trou par ionisation par impact et induire le claquage par avalanche. Ce phénomène se traduit par l'injection de porteurs majoritaires dans le substrat ayant pour effet d'élever localement son potentiel et de mettre en direct une jonction proche.

L'amplitude de ce courant augmente exponentiellement avec la réduction des dimensions de la longueur du canal, des profondeurs de jonctions et de l'épaisseur de l'oxyde de grille [I.9]. Aux dimensions inférieures au micron, des solutions technologiques du type drain faiblement dopé (LDD) sont nécessaires [I.10].

c) Courant de porteurs minoritaires.

Deux contributions peuvent être prises en considération:

- le photocourant.
- les radiations ionisantes (particules α).

Différentes radiations, et la lumière en particulier, peuvent générer des paires électron-trou dans un substrat de silicium et aussi dans la zone de charge d'espace puits P / épithaxie N [I.11] (Fig.1.7). Les paires photogénérées sont séparées par le champ électrique dans la zone de charge d'espace. Les trous, injectés dans le puits P, sont des porteurs majoritaires et, pendant leur parcours vers la masse, peuvent mettre en conduction le transistor bipolaire

vertical parasite. De la même façon, les électrons, injectés dans le substrat N^- épitaxié, sont des porteurs majoritaires et, pendant leur parcours vers l'alimentation, peuvent mettre en conduction le transistor bipolaire latéral parasite.

Le problème des radiations ionisantes ne concerne pas que les applications spatiales. On entend de plus en plus parler des erreurs aléatoires ("soft errors") sur les ordinateurs. Le responsable est ici essentiellement le boîtier d'encapsulation [I.12]. En effet, pour des raisons de fiabilité, les circuits intégrés sont de préférence encapsulés dans des boîtiers céramiques. Ce type de boîtier présente, cependant, un inconvénient qui est l'émission de radiations ionisantes, appelées particules alpha, provenant de la décomposition radioactive d'éléments lourds tels que l'uranium ou le thorium présents, seulement à l'état de traces, dans la céramique.

Ce rayonnement très énergétique, peut traverser sans problème le semi-conducteur et générer sur son passage, des paires électron-trou. Tant que les dimensions des transistors étaient bien supérieures au micron, ce rayonnement n'avait aucune influence sur le comportement d'un circuit. Cependant, la réduction des dimensions a entraîné la diminution des quantités de charges stockées dans les noeuds de stockage des mémoires, comparables à celles générées par ces radiations.

d) Courant de déplacement:

Un transitoire rapide dans l'alimentation, au moment de la mise sous tension V_{DD} (power-up) de la logique CMOS, produit un courant de déplacement à travers la jonction puits P^- / substrat N^- épitaxié (Fig.1.8).

Ce courant, à travers les résistances, polarise la jonction base-émetteur des transistors parasites. Le premier transistor à se mettre en route sera celui qui possède une résistance supérieure entre les diffusions de base et émetteur. L'objectif sera donc de minimiser la valeur de ces résistances [I.13].

Dans le cadre d'un composant de puissance intelligente, la compatibilité de la technologie CMOS avec la technologie DMOS (Fig.1.9) permet l'association sur une même

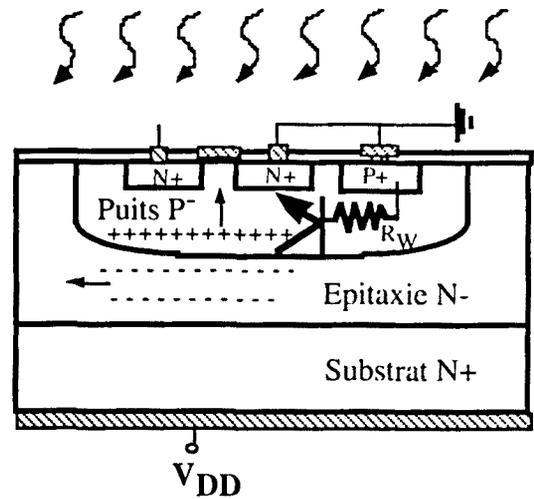


Fig.1.7: Photocourant.

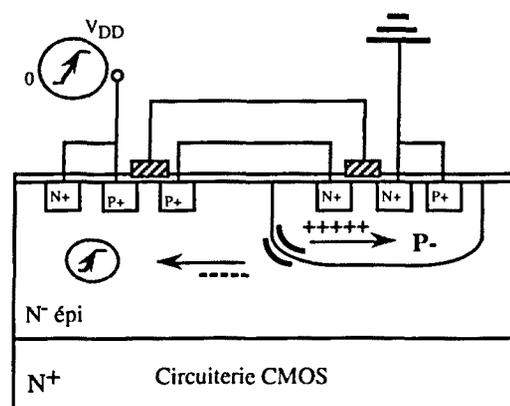


Fig.1.8: Courant de déplacement pendant la mise sous tension de la circuiterie CMOS.

puce d'une unité de puissance et de sa logique de commande. Les couplages capacitifs de ces dispositifs de puissance avec le substrat s'avèrent particulièrement dangereux pour la logique CMOS qui devra cohabiter.

En ce qui concerne la coupure de l'élément de puissance réalisé avec un transistor DMOS, le substrat épitaxié N verra son potentiel varier brusquement vers des tensions plus élevées. Un courant de déplacement est alors induit dans la jonction drain N⁻ épitaxié / substrat P⁺ du DMOS. Le drain du DMOS étant également le substrat de la technologie CMOS, cette fluctuation locale de potentiel pourra induire un courant de déplacement similaire au niveau de la jonction puits P⁻ / substrat N⁻ épitaxié. Cela se traduit dans le puits par la circulation d'un courant de trous ayant pour effet l'élévation locale de son potentiel avec risque d'initialisation du latch-up.

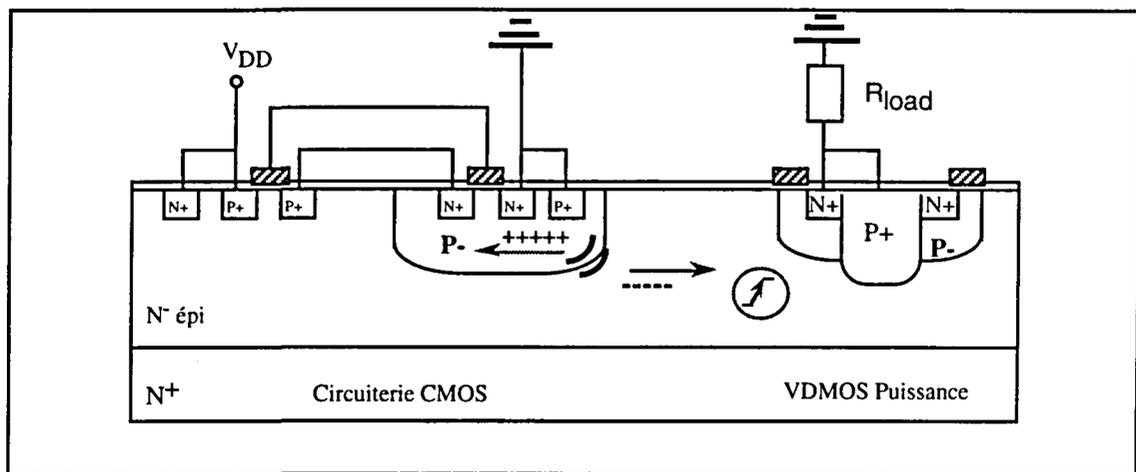


Fig.1.9: Courant de déplacement pendant la coupure de l'élément VDMOS de puissance.

1.2.- Modèles et analyse:

L'analyse et la modélisation du latch-up ont pour but la compréhension du phénomène et la maîtrise des conditions sous lesquelles une structure thyristor parasite commute de l'état bloqué à l'état passant, c'est à dire, le phénomène du latch-up s'établit [I.14][I.15]. Un modèle est une description mathématique de ces conditions s'appuyant sur les éléments discrets présents dans la structure modélisée [I.16][I.17].

Les éléments discrets principaux dans un modèle de latch-up sont les résistances de polarisation base-émetteur des transistors bipolaires parasites (R_w et R_s), la capacité de jonction puits-substrat (C) et les transistors bipolaires parasites (Q_V et Q_L). Compte tenu de leurs caractéristiques bidimensionnelles, il est difficile de leur donner des valeurs [I.18]. Une étude tridimensionnelle serait nécessaire pour établir un modèle représentatif de la réalité [I.19][I.20][I.21][I.22].

Etant donné que d'un point de vue expérimental nous nous placerons dans le cas d'un puits flottant, nous nous attacherons pour chaque grandeur importante du phénomène à analyser celle correspondant à cette situation. Nous présentons dans l'annexe 1 une étude plus détaillée des modèles de déclenchement du latch-up en statique et en dynamique.

1.2.1.- Analyse des modèles du Latch-up en statique.

Le modèle statique du latch-up utilisé ici (Fig. 1.10) est classique mais permet de se rendre compte facilement et rapidement de l'influence de chaque élément pour l'établissement du latch-up [I.23]. Les éléments présents dans ce modèle sont: Q_V transistor bipolaire vertical parasite ($N^+ /$ Puits $P^- /$ Epi N^-), Q_L transistor bipolaire latéral parasite ($P^+ /$ Epi $N^- /$ Puits P^-), R_w résistance de base du transistor Q_V (dans le puits P^-), R_s résistance de base du transistor Q_L (dans l'épitaxie N^-) et C capacité de la jonction puits $P /$ substrat N .

L'analyse du modèle aboutit à une expression du courant total $I(V)$ qui traverse la structure en fonction de la tension totale développée. Dans la caractéristique du courant, il existe deux points stationnaires où on a la condition $dV/dI=0$. Le premier correspond au point d'amorçage (V_s, I_s) et le deuxième a lieu à un courant supérieur correspondant au point de maintien (V_H, I_H). La région entre les deux correspond à la zone de résistance négative. Un troisième point intéressant est le point de coupure (V_{TO}, I_{TO}) qui peut être obtenu en imposant une tension aux bornes de la jonction puits $P /$ substrat N égale à zéro. Le courant I_C qui traverse alors cette jonction est donc nul.

Etant donné que l'expression générale dV/dI est assez complexe, l'analyse est réalisée en deux parties: caractérisation de l'état bloqué et de l'état passant.

1) Etat bloqué:

A l'état bloqué, l'expression du courant total I qui circule à travers la structure fournit des critères sur la limite du déclenchement du latch-up. Dans le cas général où les substrats sont attachés à la masse et à la tension V_{DD} respectivement, on arrive à l'expression:

$$I = \frac{I_C}{1 - (\alpha_{fn}^* + \alpha_{fp}^*)} \quad (1)$$

Où α_{fn}^* et α_{fp}^* sont les efficacités d'injection effectives des électrons et des trous respectivement.

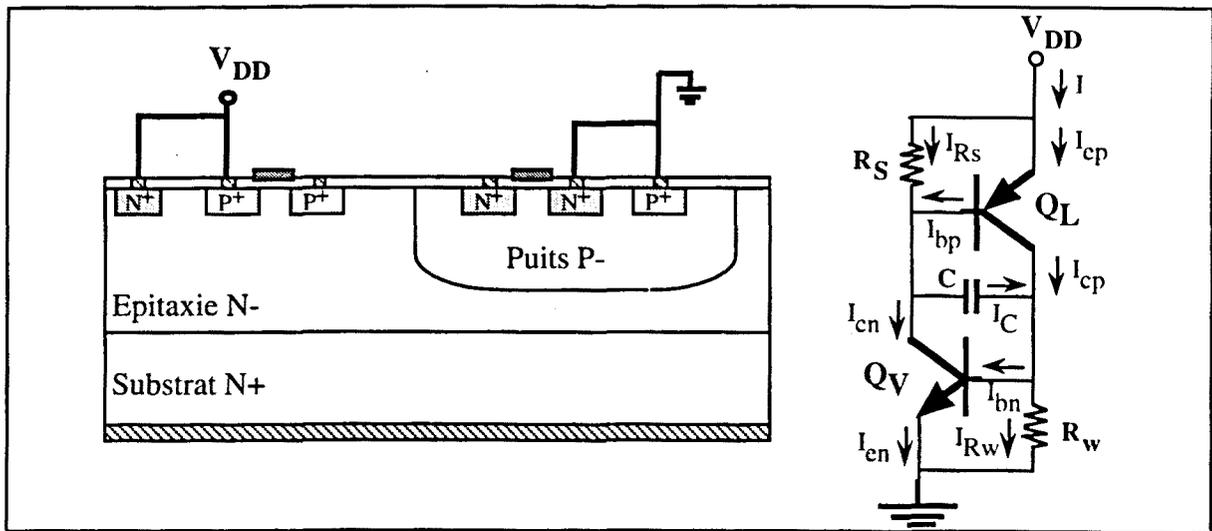


Fig.1.10: Modèle statique du latch-up.

On en déduit donc le critère de stabilité de l'état bloqué:

$$(\alpha_{fn}^* + \alpha_{fp}^*) < 1 \text{ région libre de latch-up}$$

Dans le cas où le substrat et le puits sont flottants ($R_s = \infty$, $I_{R_s} = 0$ et $R_w = \infty$, $I_{R_w} = 0$) l'efficacité d'injection effective est égale à l'efficacité d'injection, c'est-à-dire:

$$\alpha_{fp}^* \rightarrow \alpha_{fp} \qquad \alpha_{fn}^* \rightarrow \alpha_{fn}$$

Si le puits est flottant:

$$(\alpha_{fn} + \alpha_{fp}^*) < 1 \text{ région libre de latch-up}$$

Si le substrat est flottant:

$$(\alpha_{fn}^* + \alpha_{fp}) < 1 \text{ région libre de latch-up}$$

Si le puits et le substrat sont flottants:

$$(\alpha_{fn} + \alpha_{fp}) < 1 \text{ région libre de latch-up}$$

En tenant compte de la définition des efficacités d'injection effectives (annexe 1), l'apparition du latch-up est retardée quand le puits P est relié à la masse et le substrat N à la tension V_{DD} . D'un point de vue statique, cette solution semble donc être la meilleure pour se protéger du latch-up. L'expression (1) est valable uniquement dans la région de blocage. Dans cette région, la somme des efficacités d'injection s'approche asymptotiquement de l'unité et le courant I_C diminue puisque la tension appliquée à la jonction puits P / épitaxie N diminue aussi. Le cas où la somme des efficacités d'injection effectives est égale à l'unité correspondrait au point de coupure (V_{TO} , I_{TO}) où la tension appliquée aux bornes de la jonction puits P / substrat N devient nulle ainsi que le courant I_C . Le courant total I est alors indéterminé.

Avant que la somme des efficacités d'injection effectives soit égale à l'unité, les transistors bipolaires parasites entrent dans la région de haute injection, qui a pour effet d'augmenter la résistance d'émetteur (r_{en} et r_{ep}) et donc de réduire l'efficacité d'injection effective (α_{fn}^* et α_{fp}^*).

Dans le cas général où les bases sont reliées à la masse et à la tension d'alimentation V_{DD} respectivement, la condition de région libre de latch-up qui en découle est:

$$\frac{\alpha_{fp}}{1 + \frac{r_{ep}}{R_s}} + \frac{\alpha_{fn}}{1 + \frac{r_{en}}{R_w}} < 1 \quad (2)$$

Cette nouvelle condition définit une région libre de latch-up délimitée hyperboliquement par $\frac{r_{ep}}{R_s}$ et $\frac{r_{en}}{R_w}$.

Dans le cas d'une structure où un transistor parasite conduit bien avant l'autre, la solution de l'équation est simplifiée. Avec une résistance de puits R_w suffisamment supérieure à la résistance de substrat épitaxié R_s , ce qui est généralement le cas, la solution s'approche de celle d'un puits flottant ($R_w \rightarrow \infty$), c'est-à-dire:

$$\gamma_n^* \rightarrow 1 \quad \text{et} \quad \alpha_n^* \rightarrow \alpha_n$$

La région libre de latch-up est alors donnée par le critère:

$$\frac{\alpha_{fp}}{1 + \frac{r_{ep}}{R_s}} + \alpha_{fn} < 1 \quad (3)$$

Dans ce cas, la valeur limite pour la résistance d'émetteur r_{ep} du transistor latéral Q_L est indépendante de la résistance d'émetteur r_{en} du transistor vertical Q_V . La solution ici est plus simple et s'approche de celle du cas général lorsque la résistance de puits R_w est suffisamment grande par rapport à la résistance de substrat R_s et à la résistance d'émetteur du transistor bipolaire vertical parasite Q_V .

2) Etat passant:

A l'état passant, les transistors bipolaires parasites qui étaient en forte conduction, entrent dans la zone de saturation. La jonction puits P / substrat épitaxié N qui était polarisée en inverse à l'état bloqué, devient polarisée en direct à l'état passant. Au point de coupure, cette polarisation sera nulle.

Il faudra donc tenir compte à la fois du comportement en direct et en inverse pour l'analyse d'un transistor saturé. Un schéma électrique de la structure thyristor à l'état passant

est donnée sur la Fig.1.11. On peut remarquer que la seule modification par rapport à la Fig.10 est de remplacer la capacité C du puits P / substrat N, par sa diode équivalente pour tenir compte du fait que cette jonction travaille en direct.

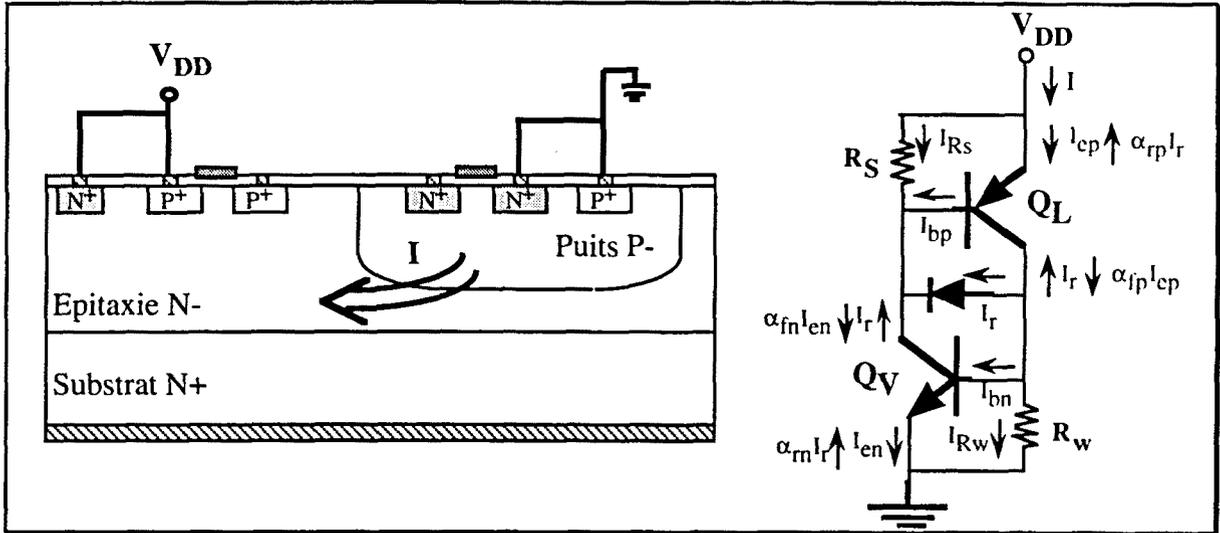


Fig.1.11: Schéma électrique du thyristor à l'état passant.

Le courant total qui traverse alors la structure est donné par la relation:

$$I = \frac{\alpha_{fp} I_{Rs} + \alpha_{fn} I_{Rw}}{\alpha_{fp} + \alpha_{fn} - 1} + \frac{(1 - \alpha_{fp} \alpha_{rp} - \alpha_{fn} \alpha_{rn}) I_r}{\alpha_{fp} + \alpha_{fn} - 1} \quad (4)$$

Cette expression est valable dans les régions de blocage ($V_f < 0$), coupure ($V_f = 0$) et saturation ($V_f > 0$).

L'expression du courant de maintien I_h , peut être déduite en imposant une condition de maximum sur la tension totale développée en fonction du courant qui traverse la structure. Sa valeur est très proche du courant au point de coupure I_{TO} .

$$I_h \approx I_{TO} = \frac{\alpha_{fp} I_{Rs} + \alpha_{fn} I_{Rw}}{\alpha_{fp} + \alpha_{fn} - 1} \quad (5)$$

En conclusion, le courant de maintien I_h , sera d'autant plus élevé que les résistances de substrat R_s et R_w seront faibles. Réduire ces résistances permettra donc d'éloigner les risques d'initialisation du latch-up.

1.2.2.- Analyse des modèles du Latch-up en dynamique.

Dans le paragraphe précédent, nous avons analysé les critères de régénération du latch-up sur la base d'un modèle unidimensionnel simple [1.23]. Les paramètres temporaires de la

perturbation, vitesse et temps de montée, doivent également être considérés. Le but de ce paragraphe est donc d'analyser le comportement dynamique du phénomène de latch-up.

Le paramètre qui limite le temps de régénération du latch-up dans une structure PNP est essentiellement le temps de transit des porteurs minoritaires dans la base respective des transistors bipolaires parasites.

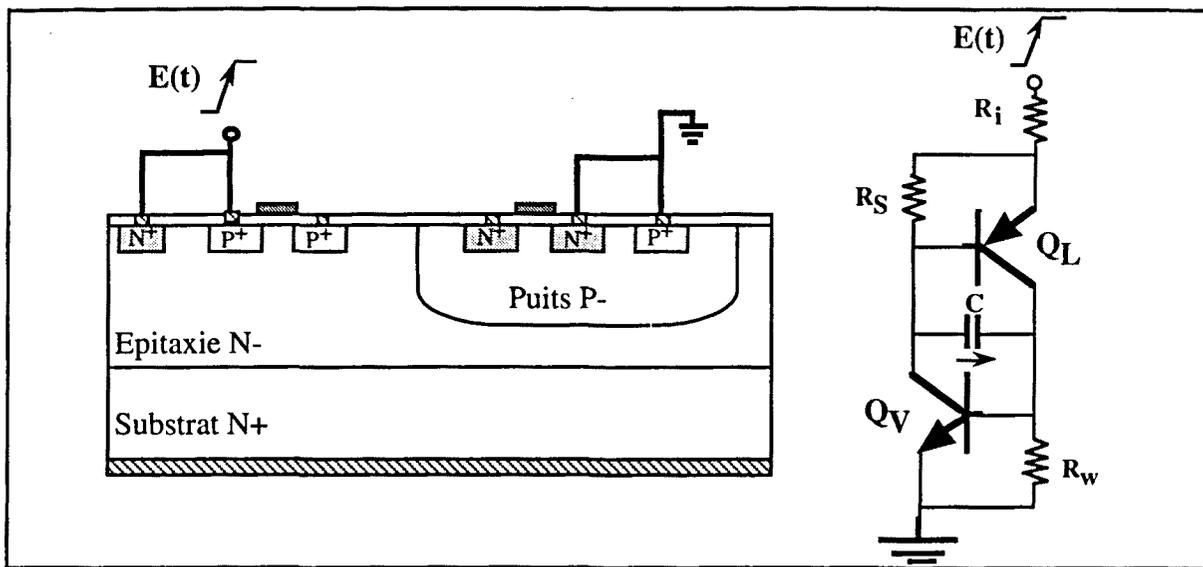


Fig.1.12: Analyse du latch-up en dynamique.

Le modèle adopté dans l'étude statique est ici repris pour l'étude en dynamique (Fig.1.12). Il s'agit d'un modèle unidimensionnel [I.24] avec une résistance d'accès (R_i), deux résistances de polarisation base-émetteur (R_w et R_s), une capacité de jonction puits P / substrat N (C) et deux transistors bipolaires parasites, un PNP latéral (Q_L) et un NPN vertical (Q_V).

La réponse d'une structure PNP est étudiée lors de l'application d'une rampe rapide en tension sur l'alimentation. La simplicité du modèle du transistor bipolaire utilisé permet d'écrire des solutions analytiques. On suppose les gains des transistors constants et que la mise en direct est instantanée lorsque la polarisation de la jonction base / émetteur atteint une valeur minimum ($V_{be}=V_{on}$).

La réponse de la structure à cette perturbation est divisée en quatre régions suivant l'état des transistors bipolaires parasites. Dans chaque région, une solution analytique du courant qui traverse la structure est obtenue sur toute la gamme de temps.

1ère région:

La tension $E(t)$ augmente à partir de zéro. Le courant qui traverse la structure n'est pas suffisant pour polariser les transistors bipolaires parasites.

Le schéma électrique équivalent est un circuit RC et le courant $I(t)$ traversant la structure est donné par:

$$I(t) = \frac{1}{R} \int_0^t \dot{E}(x) e^{-(t-x)/\tau_1} dx \quad (6)$$

Pour la perturbation $E(t)=Kt$, décrite à la fig.1.13, la réponse $I(t)$ présente donc deux phases.

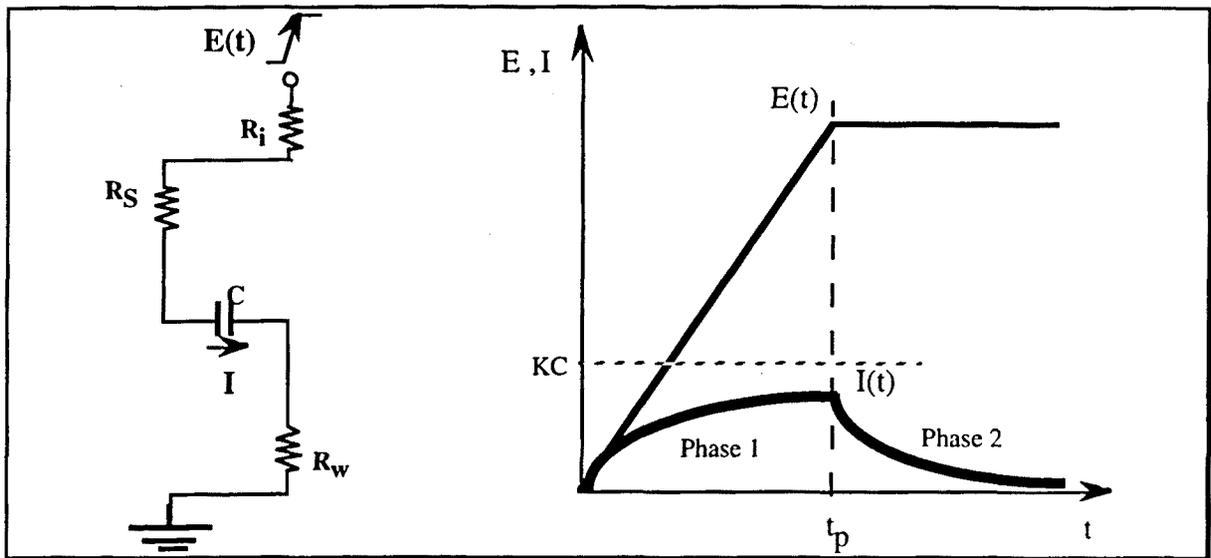


Fig.1.13: Comportement en dynamique. Région 1.

Phase 1: $0 < t < t_p$ courant capacitif à travers la jonction puits / substrat.

Le transitoire finit avant que le transistor bipolaire vertical Q_V puisse se mettre en route. L'établissement du latch-up est donc impossible.

Phase 2: $t > t_p$ coupure du courant capacitif à travers la jonction puits / substrat.

Le courant qui traverse la structure est un courant capacitif non suffisant ou de durée trop courte pour mettre en conduction le bipolaire parasite, le courant diminue exponentiellement à la fin du transitoire.

2ème région:

Le courant qui traverse la structure est suffisant pour polariser un transistor bipolaire parasite ($I_{v,on}$) et la durée du transitoire est supérieur au temps nécessaire pour mettre en route le premier transistor bipolaire parasite (t_1). La condition nécessaire est donc $KC > I_{v,on}$ et $t_p > t_1$. Le premier transistor à être polarisé est celui présentant la plus forte résistance de base. Dans notre structure $R_W > R_S$, c'est donc le transistor bipolaire vertical Q_V qui est polarisé en premier.

Le schéma électrique équivalent est le circuit RC précédent auquel il faut ajouter le transistor bipolaire vertical parasite Q_V (Fig.1.14). Le courant $I(t)$ traversant la structure est donné par:

$$I(t) = \frac{-I_{v,on}}{1 - \alpha_{fn}} [\alpha_{fn} - e^{-(t-t_1)/\tau_2}] + \frac{1}{R} \int_{t_1}^t \dot{E}(x) e^{-(t-x)/\tau_2} dx \quad (7)$$

Pour une perturbation $E(t)$, décrite à la fig.1.14, la réponse $I(t)$ présente donc quatre phases:

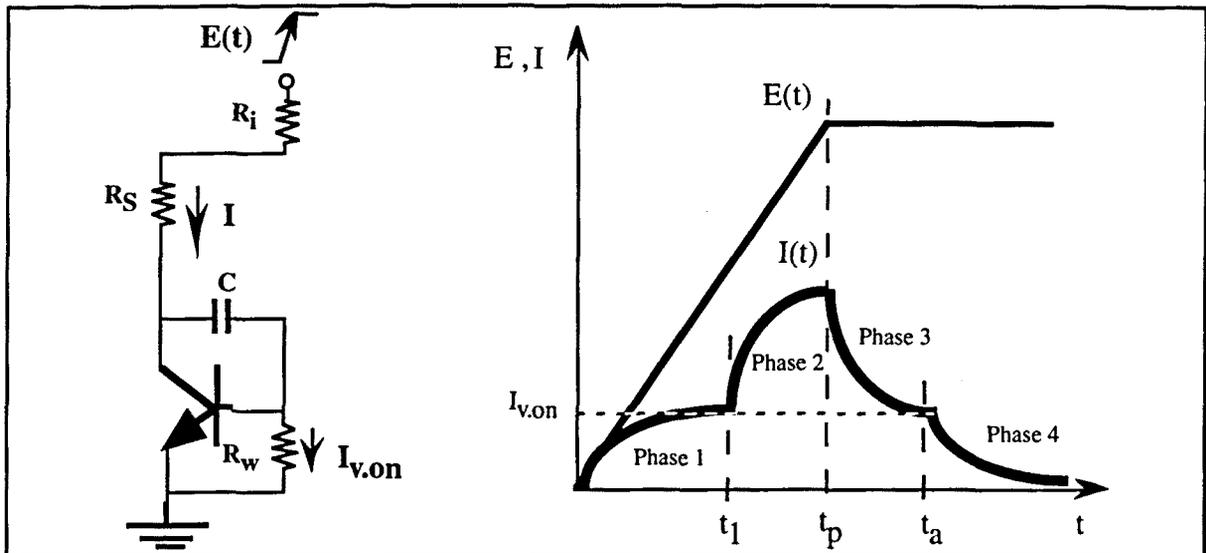


Fig.1.14: Comportement en dynamique. Région 2.

Phase 1: $0 < t < t_1$ courant capacitif à travers la jonction puits / substrat.

Phase 2: $t_1 < t < t_p$ mise en conduction du transistor bipolaire vertical Q_v .

Le transitoire s'achève avant que le deuxième transistor puisse se mettre en route. L'établissement du latch-up est donc impossible.

Phase 3: $t_p < t < t_a$ coupure de la conduction du transistor bipolaire vertical Q_v .

Phase 4: $t > t_a$ coupure du courant capacitif à travers la jonction puits / substrat.

Le deuxième transistor bipolaire parasite ne s'allume pas car le courant de déplacement (KC) est inférieur au courant I_C qui traverse la capacité de jonction puits / substrat quand le transistor bipolaire latéral Q_L commence à conduire ($KC < I_{c,on}$), ou simplement parce que la durée du transitoire est trop courte pour le mettre en conduction ($t_p < t_2$). Le courant diminue exponentiellement à la fin du transitoire.

3ème région:

Le courant qui traverse la structure est maintenant suffisant pour polariser les deux transistors bipolaires parasites ($I_{c,on}$) et la durée du transitoire est supérieure au temps nécessaire au déclenchement du deuxième transistor bipolaire parasite (t_2). La condition nécessaire est donc $KC > I_{c,on}$ et $t_p > t_2$. Le schéma électrique équivalent est le circuit RC avec les deux transistors bipolaires verticaux parasites Q_V et Q_L (Fig.1.15). Le courant $I(t)$ traversant la structure est donné par:

$$I(t) = \frac{\alpha_{fn} I_{v,on} + \alpha_{fp} I_{l,on}}{(\alpha_{fn} + \alpha_{fp}) - 1} - \frac{I_{c,on} e^{-(t-t_2)/\tau_3}}{(\alpha_{fn} + \alpha_{fp}) - 1} + \frac{1}{R_i} \int_{t_2}^t \dot{E}(x) e^{-(t-x)/\tau_3} dx \quad (8)$$

Pour une perturbation $E(t)$, décrite à la fig.1.15, la réponse $I(t)$ présente donc six phases:

Phase 1: $0 < t < t_1$ courant capacitif à travers la jonction puits / substrat.

Phase 2: $t_1 < t < t_2$ mise en conduction du transistor bipolaire vertical Q_V .

Phase 3: $t_2 < t < t_p$ mise en conduction du transistor bipolaire latéral Q_L .

Le transitoire s'arrête avant que le courant de maintien soit atteint. Le courant total diminue donc exponentiellement.

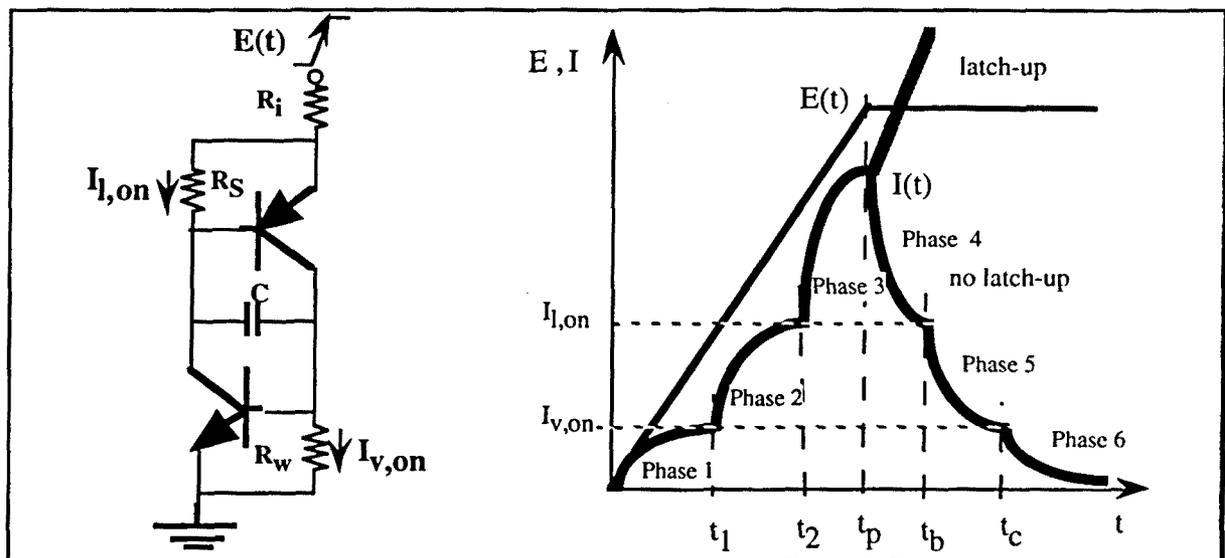


Fig.1.15: Comportement en dynamique. Région 3.

Phase 4: $t_p < t < t_b$ coupure du transistor bipolaire vertical Q_V .

Phase 5: $t_b < t < t_c$ coupure du transistor bipolaire latéral Q_L .

Phase 6: $t > t_c$ coupure du courant capacitif à travers la jonction puits / substrat.

L'établissement du latch-up devient impossible si la durée du transitoire t_p est inférieure au temps nécessaire pour que le courant total atteigne la valeur du courant de maintien, $t_p < t_{TO}$, ou le courant de déplacement KC n'est pas suffisant pour que le courant total atteigne le courant de maintien, $I(t_p) < I_H$, c'est-à-dire, $KC < I_{c,on}^*$.

4ème région:

Les deux transistors se saturent et un chemin basse impédance est établi vers la masse. Le latch-up est donc établi. La condition nécessaire est donc $KC > I_{c,on}^*$ et $t_p > t_{TO}$.

En conclusion à cette étude du comportement en dynamique, nous pouvons noter deux paramètres importants pour le déclenchement du latch-up en dynamique: la durée de la perturbation t_p et la pente du transitoire K qui définit le courant de déplacement. Pour que le latch-up ne s'établisse pas, deux conditions doivent être accomplies en même temps, une durée du transitoire suffisante et un courant de déplacement minimum.

L'ensemble des paramètres intervenant dans cette étude est résumé dans le tableau 1.1, et les régions de travail libres de latch-up sont schématiquement résumées dans la figure 1.16, en fonction de la durée de la perturbation et de la vitesse du transitoire en tension qui définit le courant de déplacement KC à travers la jonction puits P / substrat N.

t_p : Durée de la perturbation en tension.
t_1 : Temps nécessaire à la mise en conduction du bipolaire vertical Q_V .
t_2 : Temps nécessaire à la mise en conduction du bipolaire latéral Q_L .
t_{TO} : Temps nécessaire pour que le courant total atteigne la valeur du courant $I_{TO} \approx I_H$.
KC : Courant de déplacement à travers la capacité de jonction puits P^- / substrat N^- .
$I_{v,on}$: Courant de base nécessaire pour polariser le transistor bipolaire Q_V .
$I_{l,on}$: Courant de base nécessaire pour polariser le transistor bipolaire Q_L .
$I_{c,on}$: Courant traversant la capacité C de la jonction puits P^- / substrat N^- quand le deuxième transistor bipolaire parasite, Q_L , commence à conduire.
$I_{c,on}^*$: Courant de déplacement limite à partir duquel le latch-up est inévitable pour $t > t_2$

Tableau 1.1: Paramètres intervenant dans le déclenchement du latch-up en dynamique.

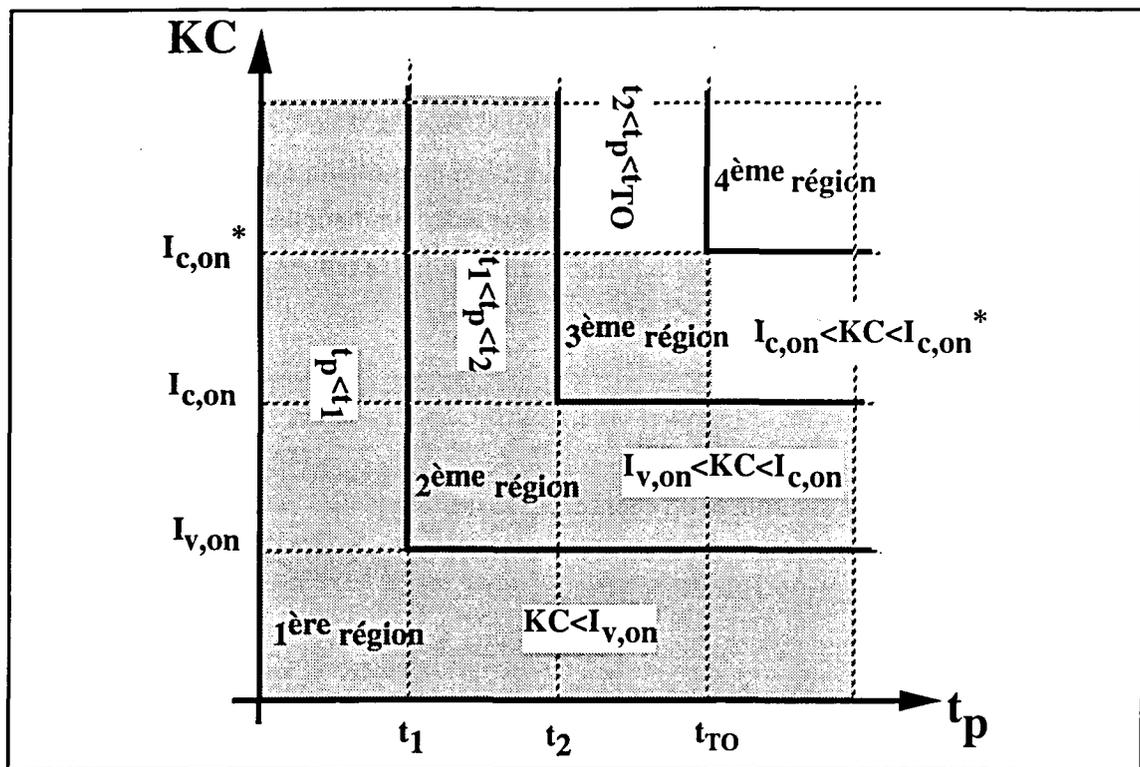


Fig.1.16: Comportement en dynamique. Les régions grisées sont libres de latch-up.

Si la somme des efficacités d'injection est inférieure à l'unité ($\alpha_{fn} + \alpha_{fp} < 1$), le latch-up ne peut pas s'établir. Par contre, si elle est supérieure à l'unité comme l'indique la fig.1.16, on peut encore éviter le déclenchement du latch-up:

- a) Si $KC < I_{c,on}$.
- b) Si $t_p < t_2$.
- c) Si $I_{c,on} < KC < I_{c,on}^*$, le latch-up peut être encore évité à condition que $t_p < t_{TO}$.
- d) Si $KC > I_{c,on}^*$, le latch-up peut être encore évité à condition que $t_p < t_2$.

1.3.- Protection contre le Latch-up:

Dans les paragraphes précédents, sur la base des équations physiques, nous avons analysé le phénomène du latch-up et compris ses mécanismes de déclenchement. L'objectif principal est alors de contrôler et de prévenir son apparition. Dans ce paragraphe, nous présentons une synthèse des différentes méthodes et techniques de contrôle du latch-up.

Eviter le latch-up signifie se situer dans des conditions telles que le phénomène ne puisse pas s'établir. Nous allons donc analyser les différentes méthodes permettant de fonctionner dans des conditions suffisamment éloignées des conditions limites de déclenchement du latch-up.

1.3.1.- Généralités.

Etant données les différentes causes de déclenchement du phénomène du latch-up, trois méthodes sont envisageables pour prévenir son établissement. Tout d'abord il faut éviter que les jonctions base-émetteur des transistors bipolaires parasites soient suffisamment polarisées. Ensuite, les gains des transistors bipolaires parasites doivent être réduits afin de minimiser leur produit. Enfin, prévenir le couplage entre les deux transistors bipolaires parasites va éliminer tout risque d'établissement du latch-up.

Considérons la structure thyristor parasite PNPN présente dans un inverseur CMOS, deux stratégies peuvent être envisagées pour éviter le latch-up:

- Maintenir le thyristor PNPN parasite dans son état bloqué.
- Eviter que ce thyristor PNPN parasite atteigne l'état passant.

La première stratégie consiste à rendre le point d'amorçage (V_S, I_S) inaccessible, c'est-à-dire à ce que le courant d'amorçage I_S soit supérieur au courant maximum fourni par l'alimentation.

La deuxième stratégie consiste à rendre le point de maintien (V_H, I_H) inaccessible, c'est-à-dire à ce que la tension de maintien soit supérieure à la tension d'alimentation ou que le courant de maintien supérieur au courant maximum fourni par cette alimentation. Dans ce cas, si le courant qui traverse la structure dépasse le courant d'amorçage I_S , la région de résistance négative peut être atteinte pendant une durée limitée. L'information du circuit peut alors être perdue si cette situation est maintenue trop longtemps.

Il est donc préférable d'éviter tout déclenchement du thyristor PNPN parasite, même transitoire. Maintenir le thyristor parasite dans son état bloqué permettra d'assurer un fonctionnement correct de la structure inverseur.

On peut diviser les méthodes et techniques de prévention du latch-up en deux catégories: solutions technologiques et solutions de conception.

1.3.2.- Solutions technologiques.

Ces différentes solutions consistent à modifier la technologie pour éloigner les risques de déclenchement du latch-up. Elles peuvent dans certains cas avoir l'inconvénient d'un coût élevé. Les méthodes technologiques de contrôle du latch-up peuvent être divisées en deux catégories: techniques de procédé et structure technologique et techniques de dégradation des transistors bipolaires parasites.

1.3.2.1.- Techniques de procédé et structure technologique.

Les techniques de procédé et structure technologique ont pour rôle de réduire la valeur des résistances de polarisation des jonctions base-émetteur ainsi que le couplage entre les bipolaires.

Les techniques les plus communes sont décrites ci-après:

a) Utilisation d'un substrat épitaxié

L'utilisation d'une couche N^- épitaxiée sur un substrat fortement dopé N^+ (Fig.1.17) permet de minimiser la résistance de base du transistor bipolaire latéral tout en gardant des bonnes caractéristiques du transistor PMOS localisé dans l'épitaxie [I.25]. La jonction épitaxie N^- / substrat N^+ a aussi des propriétés intéressantes:

- elle attire les porteurs majoritaires en évitant la polarisation du transistor bipolaire latéral.
- elle repousse les porteurs minoritaires vers la surface de l'épitaxie augmentant ainsi l'efficacité des anneaux de garde (pseudo-collecteur).

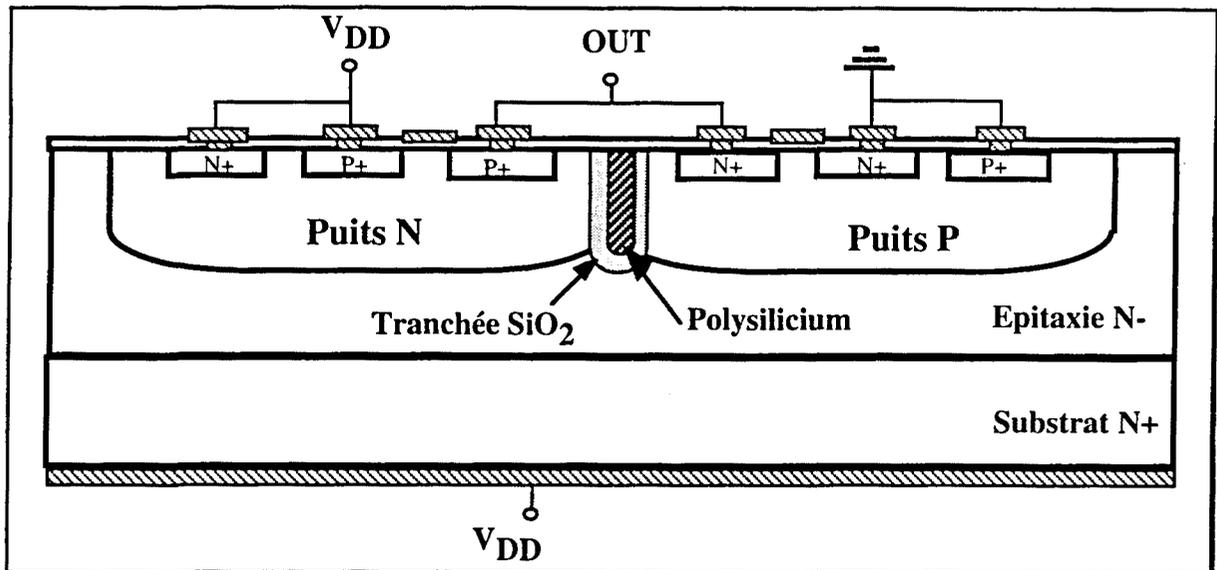


Fig.1.17: Substrat épitaxié, puits jumeaux et isolation par tranchées.

b) Technique des puits jumeaux

Cette technique associée à un substrat épitaxié consiste en l'utilisation de deux puits pour héberger les transistors PMOS et NMOS d'une structure inverseur (Fig.1.17) [I.26] [I.27]. Cette technique permet d'optimiser séparément la mobilité des canaux PMOS et NMOS ainsi que de diminuer la résistance de base des transistors bipolaires associés.

c) Isolation par tranchées

La réduction accrue des dimensions a nécessité d'envisager une isolation galvanique supérieure à celle des jonctions en inverse. La technique d'isolation par tranchées (Fig.1.17) a

donc été proposée pour remplacer celle de l'oxyde localisé (LOCOS). Avec cette méthode un espacement de $1,2\mu\text{m}$ entre les diffusions N^+ et P^+ est possible. L'isolation entre la zone des transistors PMOS et celle des NMOS est assurée par la tranchée qui est oxydée à sa surface et généralement remplie de polysilicium [I.28].

d) Techniques d'isolation diélectrique: substrat isolant SOI

Il s'agit ici de parfaitement isoler les deux substrats de la technologie CMOS en implantant les transistors dans des îlots isolés diélectriquement à la fois verticalement et latéralement (Fig.1.18).

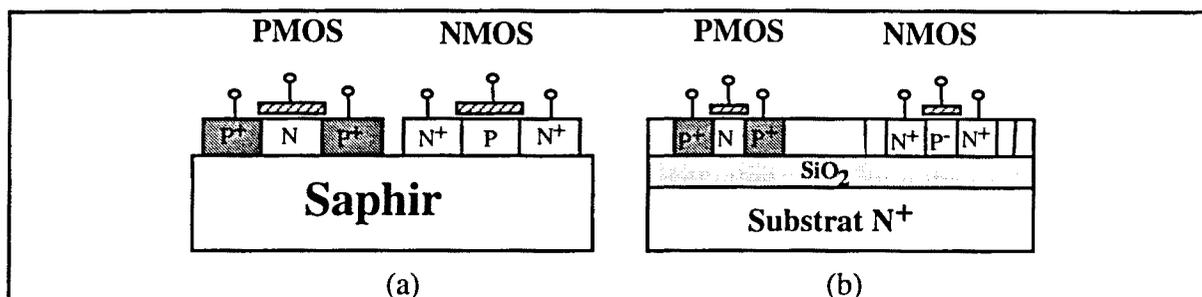


Fig.1.18: Techniques de substrat isolant SOS (a) et SOI (b).

La première technologie à voir le jour fut le silicium sur saphir ou SOS [I.29] qui vu son coût élevé laisse maintenant la place au silicium sur isolant ou SOI [I.30] basé sur des techniques moins coûteuses: SIMOX [I.31], silicium soudé [I.32], etc. L'établissement du latch-up devient alors impossible car il n'y a plus de couplage entre les deux transistors parasites [I.33].

Les inconvénients majeurs de ces technologies sont leur complexité et leur coût élevé, que les nouvelles techniques de silicium soudé devraient permettre d'abaisser.

1.3.2.2.- Techniques de dégradation des transistors bipolaires.

En ce qui concerne les techniques de dégradation des transistors bipolaires, des étapes technologiques spécifiques sont ajoutées pour réduire le gain des transistors bipolaires parasites. Cela est obtenu en réduisant le transport des porteurs à travers la base ou l'injection des porteurs vers cette base.

Différentes techniques utilisées couramment sont résumées ci-après:

a) Réduction de la durée de vie

Différentes techniques sont utilisées pour réduire la durée de vie des porteurs minoritaires dans la base des transistors bipolaires parasites: Irradiation de neutrons, dopage à l'or et au

platine. Les trois techniques ont pour effet d'augmenter le nombre de centres actifs de recombinaison dans le substrat.

L'irradiation de neutrons produit un déplacement des atomes dans le réseau cristallin du substrat de silicium. Cette technique est très bien maîtrisée car le contrôle de la durée de vie en fonction de la dose irradiée est très reproductible [I.11].

Le dopage à l'or consiste à introduire des atomes d'or sur les sites du réseau cristallin du substrat de silicium par diffusion thermique [I.34]. Puisqu'il présente un niveau accepteur ($E_c - 0,54\text{eV}$) et un niveau donneur ($E_v + 0,35\text{eV}$), il peut travailler comme centre de recombinaison dans des substrats de type N ou P. Cette technique est simple et efficace contre le latch-up. Le changement des tensions de seuil des transistors MOS est minimum dans la mesure où la concentration des impuretés d'or est suffisamment faible et que le substrat utilisé a une orientation $\langle 1,0,0 \rangle$ [I.35].

L'inconvénient principal de ces différentes techniques précédentes est l'augmentation du courant inverse de saturation des jonctions. Une possibilité proposée pour diminuer ce courant est le dopage au platine [I.36].

b) Puits P⁻ rétrogradé

Une autre technique ayant pour effet de dégrader les caractéristiques du bipolaire vertical parasite consiste à réaliser une diffusion de base dont la concentration augmente graduellement de l'émetteur au collecteur (fig.1.19). Les effets de ce puits rétrogradé sont:

- forte réduction du gain du transistor bipolaire vertical parasite.
- réduction de la valeur de la résistance de puits R_w .

Trois méthodes sont couramment utilisées pour réaliser ce puits rétrogradé:

- la première utilise une couche P⁺ enterrée sous le puits P⁻ [I.37]. Réalisée par une implantation de bore forte dose dans les régions de puits avant la croissance d'une épitaxie. Après la croissance de l'épitaxie, le puits est ensuite réalisé normalement, l'étape de redistribution permettant au puits P⁻ de rejoindre la couche enterrée P⁺.

- la deuxième réalise cette couche enterrée P⁺ à l'aide d'une implantation de bore forte énergie permettant de localiser le pic du profil de concentration à $1\mu\text{m}$ ou plus de la surface. Un recuit permet la redistribution du puits rétrogradé [I.38][I.39].

- la dernière technique pour obtenir un puits rétrogradé consiste à réaliser une implantation de bore, une redistribution et une autre implantation de phosphore pour compenser le dopage en surface jusqu'à une concentration voisine de 10^{15} cm^{-3} compatible avec celle du transistor MOS [I.40].

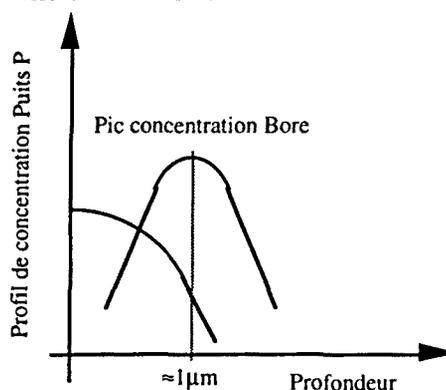


Fig.1.19: Puits rétrogradé.

c) Réduction de l'efficacité d'injection

Cette technique tire profit des caractéristiques des diodes Schottky pour dégrader les transistors bipolaires parasites. Une diode Schottky se caractérise principalement par une faible tension de conduction en direct et surtout une très faible efficacité d'injection. C'est cette dernière propriété que l'on cherche à utiliser pour réduire le risque de latch-up. Les barrières Schottky sont utilisées dans les diffusions P des transistors PMOS car il est plus facile de former une diode Schottky sur un substrat N.

Différentes techniques ont été mises au point pour, simultanément obtenir l'effet désiré et conserver des caractéristiques de transistors convenables. On est donc passé des jonctions S/D de PMOS réalisées seulement en siliciure de platine [I.41] avec contacts PtSi sur les diffusions des transistors NMOS, à des diffusions combinées P⁻ et PtSi [I.42] améliorant les performances du transistor PMOS ainsi réalisé et récemment à des barrières Schottky enterrées toujours avec contacts PtSi dans tout le circuit permettant de conserver les caractéristiques conventionnelles du transistor PMOS [I.43][I.44].

1.3.3.- Solutions de conception.

Les solutions de conception concernent des précautions particulières et supplémentaires à prendre, outre les règles de dessin découlant du problème du latch-up, lors du dessin d'un circuit. On ne peut pas donner ici des règles précises et exhaustives pour tous les types de circuits et technologies, mais on peut analyser les plus classiques et leur effet vis à vis du latch-up.

Les solutions classiques sont des solutions utilisées depuis plusieurs années et ayant fait leur preuve. Elles concernent essentiellement: les différents types de contacts substrat, leur polarisation et les anneaux de garde.

a) Contact substrat.

Etant donnée la forte résistivité des deux substrats de la technologie CMOS, afin d'y garantir une meilleure équipotentialité, il est d'usage de rappeler aussi souvent que possible le potentiel de l'alimentation ou de la masse à l'aide de contacts de substrat. La limite est bien sûr le compromis vis à vis de la surface de silicium consommée.

En effet, les porteurs majoritaires injectés dans le puits P, lors de leur passage vers la masse, peuvent développer des chutes de tension suffisantes pour déclencher les transistors bipolaires verticaux parasites. Des multiples contacts dans le puits P permettent alors de réduire la résistance du chemin ohmique vers la masse et donc la chute de potentiel associée.

L'effet de ces contacts substrat est encore amélioré par la présence de l'implantation de champ (P⁺ dans le puits P⁻ ou N⁺ dans le substrat N⁻) se trouvant en dessous de l'oxyde

localisé (LOCOS), qui du fait de son auto-alignement avec ceux-ci est également polarisée au même potentiel.

En ce qui concerne le substrat massif, une technologie à substrat épitaxié sur substrat faiblement résistif permet de diminuer considérablement le nombre de contacts substrat. On prend cependant toujours la précaution de rajouter un anneau N^+ tout autour du circuit pour récupérer les courants de substrat générés par les structures de protection entrée / sortie.

Le transistor bipolaire parasite le plus dangereux étant associé à la source du transistor MOS, ces contacts substrat sont généralement placés au plus près de celles-ci. Afin de court-circuiter au mieux le transistor bipolaire parasite, et de gagner en surface de silicium, la diffusion de contact substrat peut être accolée à la diffusion de source (Fig.1.20), les deux diffusions étant simultanément polarisées à l'aide d'un seul contact appelé "contact bouton".

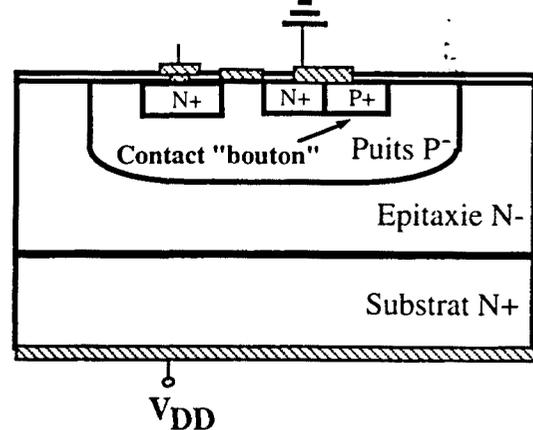


Fig.1.20: Contacts "bouton".

L'effet de ces contacts est une augmentation de la tension et du courant de maintien ainsi qu'une dégradation du gain du transistor bipolaire parasite.

Une amélioration dans l'isolement électrique est aussi obtenue en augmentant la polarisation inverse des jonctions drain / source, par exemple en portant le puits P^- à une tension inférieure à la masse ($-V_{SS}$). La polarisation nécessaire pour mettre en conduction le transistor bipolaire vertical parasite associé au drain NMOS augmente alors de $0,6V$ à $0,6+V_{SS}$. On peut procéder de la même façon avec le substrat N^- épitaxié [I.45].

Cette solution présente cependant l'inconvénient de l'introduction d'une ou deux sources de tension supplémentaires et d'un effet de substrat qui modifie les tensions de seuil des transistors PMOS et NMOS et donc les performances du circuit.

b) Anneaux de garde.

Les anneaux de garde sont utilisés pour éviter le bouclage des transistors bipolaires parasites. Ces anneaux de garde ont un double rôle suivant l'origine des courants de substrat: collection des porteurs minoritaires et également des porteurs majoritaires.

Ils sont généralement utilisés autour des protections d'entrée / sortie et des "buffers" de sortie ainsi qu'autour de circuiteries analogiques sensibles (ex: comparateur).

En ce qui concerne les protections d'entrée / sortie (Fig.1.21) et les "buffers" de sortie, il s'agit d'éviter que les courants de substrat qu'ils génèrent aillent perturber la sortie du circuit. Pour cela, on entoure le circuit de deux anneaux: l'interne étant pour les porteurs minoritaires (mise en direct de la jonction N^+ de la figure 1.21) et l'externe pour les porteurs majoritaires, on l'appelle pour cela pseudo-collecteur.

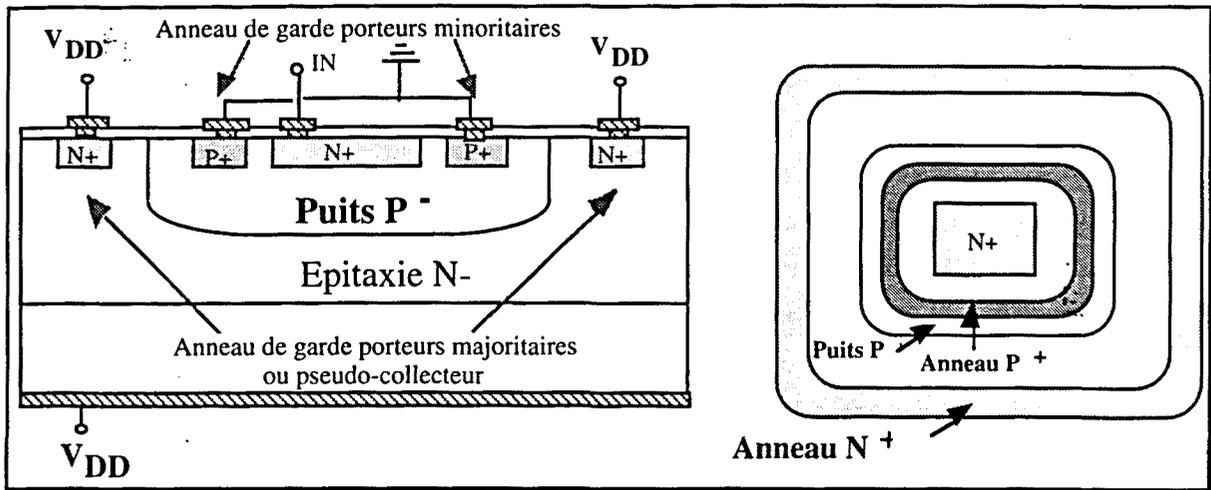


Fig.1.21: Anneaux de garde: cas d'une protection d'entrée.

L'anneau de garde externe de la figure 1.21, aussi appelé pseudo-collecteur, est utilisé pour évacuer des porteurs injectés avant qu'ils soient collectés par une jonction du circuit CMOS polarisée en inverse risquant de déclencher le latch-up [I.46]. Il a le même rôle qu'un collecteur de transistor bipolaire. L'utilisation d'un substrat épitaxié améliore l'efficacité de ces anneaux à cause du champ électrique présent à la jonction épitaxie N / substrat N⁺ qui repousse les porteurs minoritaires vers la surface et donc les anneaux de garde [I.47].

L'anneau de garde interne de la figure 1.21, protège également la structure contre le déclenchement du latch-up en recombinant les porteurs minoritaires injectés. En effet, ces anneaux de garde sont des diffusions du même type que le substrat sur lequel ils sont réalisés [I.48]. Dans le puits P, cet anneau P⁺ autour des diffusion N⁺ source-drain réduit la résistance de puits et évacue le courant injecté dans le puits en évitant la polarisation de la jonction base (puits P)-émetteur (diffusion N⁺) du transistor bipolaire vertical parasite. De même, dans le substrat N.

En ce qui concerne les circuiteries analogiques sensibles, l'implantation de ces anneaux est réalisée de façon inverse puisque les courants de substrat viennent de l'extérieur. Si cette circuiterie est hébergée dans un puits P, les anneaux de protection autour de ce puits seront: un anneau interne P⁺, polarisé à la masse, et un anneau externe N⁺ polarisé à V_{DD}. L'anneau N⁺ permettra de recombiner les porteurs minoritaires circulant dans l'épitaxie N⁻ et l'anneau P⁺ servira de pseudo-collecteur pour ces mêmes porteurs. L'efficacité de ce pseudo-collecteur, pourra être améliorée en utilisant une diffusion P⁺/puits P⁻ qui est plus profonde.

c) Puits Flottant.

Une solution alternative qui a déjà été envisagée pour les circuits CMOS VLSI [I.49] consiste à laisser flotter le puits de la logique, c'est-à-dire, éliminer tout contact à une tension fixe [I.50][I.51]. On protège parfaitement la logique contre une perturbation transitoire négative

sur le drain du transistor NMOS car la tension du puits peut suivre cette perturbation. La jonction Base (Puits) / Emetteur (Drain NMOS) ne se polarise jamais suffisamment pour déclencher le bipolaire vertical.

Par contre, si la perturbation est positive et provient du substrat, elle se transmet en dynamique au puits. Du fait qu'il n'y a pas possibilité d'évacuer rapidement les charges introduites, la tension du puits augmente en polarisant directement le transistor bipolaire vertical parasite de source (NMOS) qui peut alors déclencher le phénomène du Latch-up.

Cette solution avait dû être abandonnée à l'époque pour des problèmes de courants de fuite trop élevés et de tensions de claquage trop faibles ainsi que l'apparition de l'effet substrat qui perturbait le fonctionnement des transistors NMOS [I.52]. Nous discuterons ces problèmes plus en détail dans le chapitre 2 et nous proposerons une solution dans le cadre d'une technologie de puissance intelligente CMOS/DMOS qui permet de s'affranchir de ces inconvénients tout en garantissant l'immunité au latch-up désirée.

1.4.- Conclusion

Une étude approfondie du phénomène du latch-up dans une technologie CMOS a été effectuée dans ce chapitre. Une description physique et une modélisation du phénomène en statique et en dynamique nous ont permis de mettre en évidence les paramètres qui définissent la robustesse d'une structure d'inverseur CMOS contre le déclenchement du thyristor parasite et l'établissement du latch-up. On peut les rappeler ici, ce sont:

- les résistances de puits P^- (R_W) et de substrat N^- (R_S)
- La valeur de la capacité de jonction puits P^- / substrat N^- (C)
- la durée (t_p) et la vitesse (K) du transitoire en tension

Des solutions technologiques, souvent coûteuses permettent de diminuer et même d'éliminer complètement le latch-up.

En ce qui concerne les applications de puissance intelligente où le coût est la contrainte première, analyser des solutions qui n'introduisent pas d'étapes technologiques supplémentaires est une voie très attrayante. Une solution envisagée en circuits VLSI et abandonnée pour différents problèmes de faibles claquages et forts courants de fuite nous a paru mériter d'être à nouveau analysée car dans une technologie de puissance intelligente, on dispose de diffusions supplémentaires permettant de mieux contrôler le potentiel du puits flottant.

Cette analyse fait l'objet du chapitre 2 suivant qui présente également des résultats sur silicium montrant l'efficacité de la solution proposée.

BIBLIOGRAPHIE Chapitre I

- [I.1] N.H.E. WESTE et K. ESHRAIGHAN: "Principles of CMOS VLSI design" Addison & Wesley, 1985.
- [I.2] D. STRÖHLE: "La technologie CMOS: une voie d'avenir pour les circuits intégrés VLSI" *Électronique Industrielle* n°91, 15 juin 1985, pp. 49-52.
- [I.3] L. HERMAN, "Controlling CMOS latch-up", *VLSI Design*, p100, April 1985.
- [I.4] TIZIANA CAVIONI, MASSIMO CECCHETTI, MICHELE MUSCHITIELLO, GIORGIO SPIAZZI, IRENEO VOTTRE and ENRICO ZANONI: "Latchup Characterisation in Standard and Twin-Tub test Structures by Electrical Measurements, 2-D Simulations and IR Microscopy"; SGS THOMSON Technical Report, 1990.
- [I.5] A.GUPTA, T.CHIU, M.CHANG, A.RENNINGER et G.PERLEGOS, "A 5V-only 16K EEPROM utilizing Oxynitride Dielectrics and EEPROM Redundancy", *ISSCC Dig. Tech. Papers*, pp. 184-185, February 1982.
- [I.6] B. L. GREGORY and B. D. SHAFER, "Latch-up in CMOS Integrated Circuits", *IEEE Transactions Nucl. Sci.*, vol NS-20, pp. 293-299, Décembre 1973.
- [I.7] D. TAKACS, C. WERNER, J. HARTER and U. SCHUABE, "Surface induced Latch-up in VLSI CMOS Circuits", *IEEE Transactions on Electron Devices*, Vol. ED-31, pp. 279-286 Mars 1984.
- [I.8] D. L. WOLLESEN, J. HASKELL and J. HU, "N-well and P-well Performance comparison", 1983 *IEDM Technical Digest*, pp. 155-158, Décembre 1983.
- [I.9] D.M.BROWN, M.CHEZZ et J.M.PIMBLEY "Trends in Advanced Process Technology - Submicrometer Device Design and Process Requirements", *Proceedings of the IEEE*, vol. 74, n°12, pp. 1678, December 1986.
- [I.10] G.A.ARMSTRONG, W.D.FRENCH ET J.R.DAVIS "Design Considerations for 0.5 Micron Ultra-Thin Film Submicron SOI Transistors by Two-Dimensional Simulation" *ESSDERC 90*, session 5C1.
- [I.11] DONALD B. ESTREICH : "The Physics and Modeling of latch-up and CMOS Integrated Circuits" Technical Report. Stanford Electronics Laboratory. November 1980.

- [I.12] Y. SAVARIA et al., "Soft error Filtering : A Solution to Reliability of Future VLSI Digital Circuits", Proceedings of the IEEE, vol. 74, n°5, p.669, May 1986.
- [I.13] RONALD R. TROUTMAN, HANS P. ZAPPE : "A Transient Analysis of Latch-up in Bulk CMOS" IEEE Transactions on Electron Devices, vol. ED-30, n°2, February 1983.
- [I.14] W.D. RABURN: "A Model for the Parasitic SCR in Bulk CMOS"; IEDM Tech. Digest 84, pp.406.
- [I.15] ROBERT CHING-YUH FANG and JOHN L. MOLL : "Latch-up Model for the Parasitic p-n-p-n Path in Bulk CMOS" , IEEE Transactions on Electron Devices, Vol. ED-31, n° 1, January 1984.
- [I.16] J. E. HALL, J. A. SEITCHIK, L. A. ARLEDGE and P. YANG: "An Improved Circuit Model for CMOS Latchup"; IEEE Electron Device Letters, Vol. EDL-6, n° 7, July 1985.
- [I.17] CHUNG-YU WU, YEU-HAW YANG, CHIH CHANG and CHING-CHU CHANG: "A New Approach to Model CMOS Latchup"; IEEE Transactions on Electron Devices, Vol. ED-32, n° 9, September 1985.
- [I.18] YOUICHIRO NIITSU, HIROYUKI NIHIRA, KOICHI KANZAKI and SUSUMU KOHYAMA: "Resistance Modulation Effect Due to Current Injection and CMOS Latchup"; IEDM Tech. Digest 83, pp.164.
- [I.19] RONALD R. TROUTMAN and MICHAEL J. HARGROVE: "Transmission Line Modeling of Substrate Resistances and CMOS Latch-up"; IEEE Transactions on Electron Devices, Vol. ED-33, n° 7, July 1986.
- [I.20] JOHANN HARTEK, HERMANN JACOBS, MANFRED ZWAR and HELMUT SKAPA : "Quasi Two-Dimensional Simulation of Transient Latch-up Effect in VLSI CMOS Circuits" IEEE Transactions on Electron Devices, vol. ED-32, n°9, September 1985.
- [I.21] MICHAEL STRZEMPA-DEPRE, JOHANN HARTEK, CHRISTOPH WERNER, HELMUT SKAPA and RAINER KASSING: "Static and Transient Latchup Simulation of VLSI-CMOS with an Improved Physical Design Model"; IEEE Transactions on Electron Devices, Vol. ED-34, n° 6, June 1987.
- [I.22] ENRICO SANGIORGI, BRUNO RICCO and L. SELMI: "Three-Dimensional Distribution of CMOS Latchup Current"; IEEE Electron Device Letters, Vol. EDL-8, n° 4, April 1987.
- [I.23] RONALD R. TROUTMAN : "Latch-up in CMOS Technology" ED. 1986 by Kluwer Academic Publishers.

[I.2.4] RONALD R. TROUTMAN, HANS P. ZAPPE : "A Transient Analysis of Latch-up in Bulk CMOS" IEEE Transactions on Electron Devices, vol. ED-30, n°2, February 1983.

[I.2.5] RONALD R. TROUTMAN: "Epitaxial Layer Enhancement of n-Well Guard Rings for CMOS Circuits"; IEEE Electron Device Letters, vol. EDL-4, n° 12, December 1983.

[I.2.6] TIZIANA CAVIONI, MASSIMO CECCHETTI, MICHELE MUSCHITIELLO, GIORGIO SPIAZZI, IRENEO VOTTRE and ENRICO ZANONI: "Latchup Characterisation in Standard and Twin-Tub test Structures by Electrical Measurements, 2-D Simulations and IR Microscopy"; SGS THOMSON Technical Report, 1990.

[I.2.7] L. C. PARRILLO, R. S. PAYNE, R. E. DAVIS, G. W. REUTLINGER and R. L. FIELD, "Twin-Tub CMOS - A Technology for VLSI Circuits", 1980 IEDM Technical Digest, pp. 752-755, Décembre 1980.

[I.2.8] Y. NIITSU, S. TAGUCHI, K. SHIBATA, H. FUJI, Y. SHIMAMUNE, H. IWAI and K. KANZAKI: "Latchup-Free CMOS Structure Using Shallow Trench Isolation"; IEDM Tech. Digest 85, pp.509.

[I.2.9] YUJI OKUTO, MASAO FUKUMA and YASUO OHNO; "SOS/CMOS as a High-Performance LSI Device"; IEEE Transactions on Electron Devices, vol. ED-29, n°4, pp. 574-577 April 1982.

[I.3.0] B.Y. TSAUR, M.W. GEIS, J.C.C. FAN, D.J. SILVERSMITH and R.W. MOUNTAIN; "N-Channel Deep-Depletion Metal-Oxide-Semiconductor Field-Effect Transistors Fabricated in Zone-Melting-Recrystallized Polycrystalline Si films on SiO₂"; Applied Physics Letters, 39(11),pp.909-911, 1 December 1981.

[I.3.1] K.IZUMI, "Historical Review of SIMOX", Vacuum, vol.42, numbers 5/6, pp. 333-340, 1991. Special issue First SIMOX Workshop, SWI-88 Meeting, 7-8 novembre 1988, University of Surrey, UK.

[I.3.2] J.HAISMA et al., "Silicon-on-Insulator Wafer Thinning Technological Evaluations", Jap. Journal of Applied Physics, vol. 28, n°8, August 1989, pp.1426-1443.

[I.3.3] C.CHEN, M.MATLOUBIAN, R.SUNDARESAN, B.MAO, C.WEI and G.POLLACK;"Single-Transistor Latch in SOI MOSFETs" IEEE Electron Device Letters, vol.9, pp.636-638, December 1988.

[I.3.4] F.A.HUNTLEY and A.F.W.WILLOUGHBY,"The Diffusion of Gold in Thin Silicon Slices",Solid-State Electronics,13, pp.1231-1240, 1970.

- [I.3.5] P.RITCHMAN; "The Effect of Gold Doping Upon the Characteristics of MOS Field-Effect Transistors with Applied Substrate Voltage", Proc.IEEE, 56, pp.774-775, 1968.
- [I.3.6] K.P.LISIAK and A.G.MILNES; "Energy Levels and Concentrations for Platinum in Silicon", Solid-State Electronics, 18, pp. 533-540, 1975.
- [I.3.7] D.B.ESTREICH, A.OCHOA and R.W.DUTTON; "An Analysis of Latch-up Prevention in CMOS IC's Using an Epitaxial-Buried Layer Process", 1978 IEDM Technical Digest, pp. 230-234 (Dec.1978).
- [I.3.8] ROBERT D. RUNG, CONRAD J. DELL'OCA and LAURENCE G. WALKER: "A Retrograde p-Well for Higher Density CMOS"; IEEE Transactions on Electron Devices, vol. ED-28, n° 10, October 1981.
- [I.3.9] Y. TAUR, W.H. CHANG and R.H. DENNARD: "Characterization and Modeling of a Latchup-Free 1µm CMOS Technology"; IEDM Tech. Digest 84, pp.398.
- [I.4.0] J. MONTSERRAT I MARTÍ " Desenvolupament d'una Tecnologia CMOS amb Pou Retrógrad per Compensació del Dopatge" Thèse, Barcelona, febrer de 1991.
- [I.4.1] MICHAEL SUGINO, LEX A. AKERS and MICHAEL E. REBESCHINI: "Latchup-Free Schottky Barrier CMOS"; IEEE Transactions on Electron Devices, vol. ED-30, n° 2, February 1983.
- [I.4.2] C.J.KOENEKE and W.T.LYNCH, "Lightly Doped Schottky MOSFET", 1982 IEDM Technical Digest, pp. 466-469 (December 1982).
- [I.4.3] S. SWIRHUN, E. SANGIORGI, A. WEEKS, R.M. SWANSON, K.C. SARASWAT and R.W. DUTTON: "Latchup Free CMOS Using Guarded Schottky Barrier PMOS"; IEDM Tech. Digest 84, pp.402.
- [I.4.4] E. SANGIORGI and S. SWIRHUN: "Trenched Schottky Barrier PMOS for Latchup Resistance"; IEEE Electron Devices Letters, vol. EDL-5, n° 8, August 1984.
- [I.4.5] YEU-HAW YANG and CHUNG-YU WU: "The Effect of Layout, Substrate/Well Biases, and Triggering Source Location on Latch-up Triggering Currents in Bulk CMOS Circuits"; Solid-State Electronics, Vol. 32, n°4, pp 269-279, 1989.
- [I.4.6] CHUN-TEH LEE: "Pseudocollector Effect in a CMOS Inverter"; IEEE Transactions on Electron Devices, vol. ED-34, n° 10, October 1987.

[I.47] RONALD R. TROUTMAN: "Epitaxial Layer Enhancement of n-Well Guard Rings for CMOS Circuits"; IEEE Electron Device Letters, vol. EDL-4, n° 12, December 1983.

[I.48] R.S. PAYNE, N.W. GRANT and W.J. BERTRAM: "Elimination of Latchup in Bulk CMOS"; IEDM Tech. Digest 80, pp.248.

[I.49] E.THIBODEAUX, "Getting the most of CMOS Devices for Analog Switching Jobs"; Electronics, Décembre 1975, pp. 69-74.

[I.50] HANS P. ZAPPE, RAJESH K. GUPTA, KYLE W. TERRILL and CHENMING HU: "Floating Well CMOS and Latchup"; IEDM Tech. Digest 85, pp.517.

[I.51] Hans P. ZAPPE, RAJESH K. GUPTA, ISAMI SAKAI, CHENMING HU: "Operation of CMOS Devices with a Floating Well"; IEEE Transactions on Electron Devices, Vol. ED-34, n° 2, February 1987.

[I.52] JENÖ TIHANYI and HEINRICH SCHLÖTTERER: "Influence of the Floating Substrate Potential on the Characteristics of ESFI MOS Transistors"; Solid-State Electronics 1975, Vol.18, pp. 309-314.

Chapitre II

Technologie de Puissance Intelligente, Concept de Puits Flottant et Comportement vis a vis du Latch-up.

Introduction.

Les composants de puissance intelligente commencent à jouer un rôle primordial notamment dans le domaine de l'automobile, où l'intégration permet l'amélioration des performances à des coûts plus faibles. Ce composant de puissance remplace alors le relais mécanique résolvant ainsi le problème de l'encombrement du câblage et améliorant la fiabilité de l'interrupteur.

Avec la maîtrise de la technologie du petit signal, on peut maintenant intégrer monolithiquement sur une même puce des interrupteurs de puissance avec leurs fonctions électroniques de contrôle et de protection. Pour cette raison, ils sont dits composants de puissance intelligente (Smart-Power).

Cependant, des problèmes économiques et techniques se posent. Problèmes économiques, dans la mesure où le besoin d'obtenir un bon rendement technologique à des coûts très faibles s'impose. Problèmes techniques, du fait, surtout de la sensibilité du circuit au phénomène de latch-up dû aux couplages entre partie puissance et partie petit signal.

Le choix de l'élément de puissance qui joue le rôle d'interrupteur, dépend étroitement de la tenue en tension désirée et de son calibre en courant ainsi que de la résistance à l'état passant et des performances dynamiques lors de la commutation. Cependant, nous devons aussi tenir compte des circuits de commande et de protection, et principalement du facteur coût.

Les transistors MOS de puissance sont généralement utilisés aux moyennes tensions (<100V) jusqu'à des calibres en courant de 20-30A et le sont naturellement aussi dans les applications de puissance intelligente. Ces transistors (interrupteurs), dans le domaine automobile sont connectés en configuration "haute", c'est-à-dire, la tension d'alimentation (batterie) est connectée au drain tandis que la charge l'est à la source. Cette contrainte est imposée par l'environnement automobile, étant donné que les charges sont reliées au châssis qui est lui-même relié à la masse.

Pour la circuiterie de commande, dans l'environnement difficile de l'automobile, la robustesse de la technologie CMOS aux fluctuations des conditions de fonctionnement est appréciée.

Après un rappel des différentes techniques d'isolement galvanique pouvant être utilisées pour isoler la partie puissance de la partie circuiterie de contrôle et de protection, nous présentons un concept de puits flottant permettant d'améliorer l'immunité au latch-up d'une technologie CMOS/DMOS auto-isolée. Les résultats expérimentaux obtenus sur un véhicule test comparant des structures CMOS standard à la structure CMOS protégée proposée permet de montrer l'efficacité de la méthode vis à vis du latch-up aussi bien en statique qu'en dynamique.

2.1.- Technologie de puissance intelligente

Une technologie de puissance intelligente est caractérisée par l'intégration sur la même puce des interrupteurs de puissance avec leurs fonctions électroniques de contrôle et de protection.

Cependant, des problèmes techniques compte tenu de cette intégration apparaissent. En effet, l'intégration doit assurer l'isolation de la partie logique de commande et protection par rapport à la partie puissance et aussi à l'environnement bruyant de l'application.

Pour cela, différentes techniques d'isolation sont présentées dans le cas d'une application de puissance intelligente. Une discussion autour du compromis fiabilité et coût de fabrication est aussi réalisée.

2.1.1.- Isolation Logique-Puissance.

Dans un circuit intégré de puissance intelligente, le composant de puissance et ses circuits de commande et de contrôle sont intégrés sur la même puce, l'isolement entre ces deux blocs est alors le problème majeur à résoudre. Il est nécessaire de distinguer les problèmes d'isolement statique et dynamique.

En technologie CMOS compatible DMOS, l'isolement statique peut être facilement réalisé puisque toutes les jonctions des transistors, puissance et basse tension, sont polarisées en inverse.

L'isolement dynamique est également nécessaire lors des commutations très rapides de l'élément de puissance, ou de la réponse provoquée par une charge inductive. L'épithaxie N^- située sous la région du transistor de puissance, sera soumise à des fluctuations de tension et de courant rapides qui se propageront à travers toute l'épithaxie. Ces fluctuations de tension transitoires peuvent être transmises par couplages capacitifs dans le puits P^- de la logique et déclencher le phénomène du latch-up dans cette partie logique.

Différentes solutions technologiques peuvent être envisagées. Ce sont les techniques de l'auto-isolement, de l'isolation par jonction, de l'isolation diélectrique et de l'isolation RESURF.

a) Technique de l'auto-isolement:

Le principe de l'auto-isolement est basé sur la polarisation en inverse des jonctions P/N intervenant dans le fonctionnement normal des transistors MOS. Dans le cadre de l'application automobile où l'interrupteur DMOS est en configuration haute, l'épithaxie N^- , polarisée à V_{BAT} , est le drain du transistor VDMOS et constitue le substrat des transistors PMOS [II.1] (Fig.2.1). La source des transistors PMOS étant polarisée à V_{DD} , tension inférieure ou égale à V_{BAT} , et le

puits P^- de la logique à la masse ou à une tension inférieure à V_{BAT} , les jonctions P/N seront polarisées en inverse. On voit donc ici l'intérêt de faire fonctionner la circuiterie de contrôle à une tension V_{DD} bien inférieure à V_{BAT} .

Généralement, dans ces techniques, le puits P de la logique CMOS est mis à la masse. Du fait de la forte résistivité de cette diffusion (environ 2 à 4 $K\Omega/\text{carré}$), les règles de dessin préconisent pour garantir une relative équipotentialité, un rappel de la masse tous les $50\mu\text{m}$ à l'aide des contacts de substrat. Cependant, pour des raisons de densité d'intégration, ces contacts ne peuvent pas être aussi rapprochés qu'il serait souhaitable et donc des précautions supplémentaires sont à prendre au niveau des parties sensibles du circuit. Par exemple, implantation d'anneaux de gardes autour des buffers de sortie susceptibles d'injecter des courants minoritaires dans le substrat ou autour de zones critiques analogiques.

Si d'un point de vue statique, cette structure offre une bonne isolation, il n'en est pas de même d'un point de vue dynamique et comme nous le verrons plus loin, de nombreuses précautions seront nécessaires pour garantir un bon fonctionnement en dynamique.

En ce qui concerne l'élément de puissance, l'inconvénient de cette technique est qu'elle ne permet pas de travailler en multi-interrupteur et seulement en configuration haute.

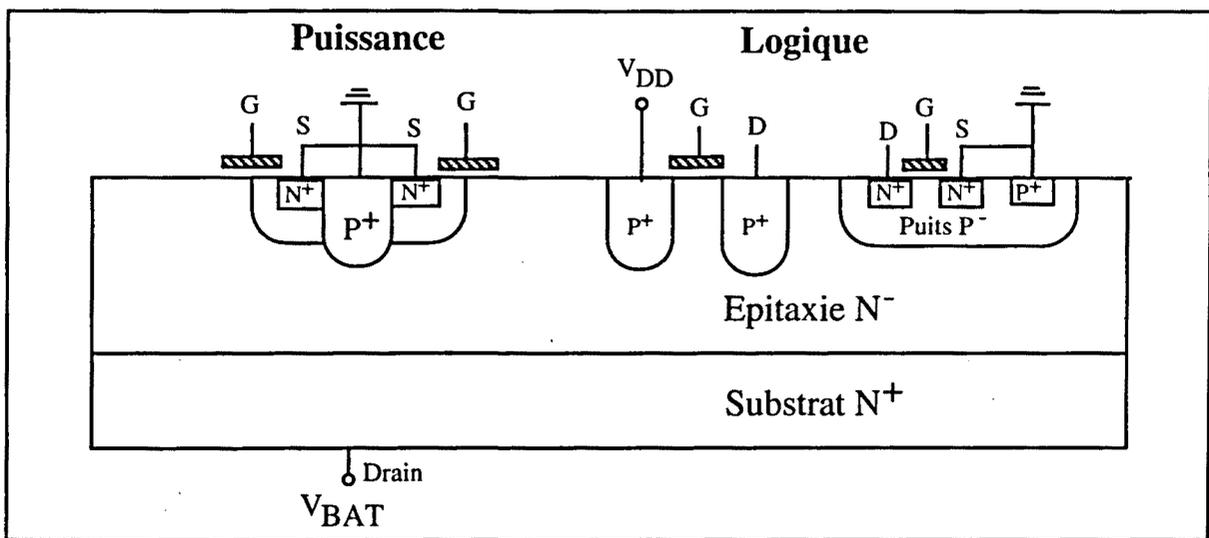


Fig.2.1: Principe de l'auto-isolément.

b) Technique de l'isolation par jonction:

Cette technique, couramment utilisée en technologie bipolaire, utilise des jonctions supplémentaires, polarisées en inverse, pour séparer totalement l'élément de puissance de la logique de contrôle.

Une des méthodes comporte une double couche épitaxiale de type N^- et P^- sur substrat N^+ , et consiste à réaliser des diffusions profondes d'impuretés P^+ dans l'épitaxie de type N^- de manière à créer des îlots isolés du reste du circuit [II.2]. Les transistors PMOS et NMOS sont fabriqués dans des zones séparées de la puissance. Une couche enterrée de type N^+ doit être réalisée sous le drain du MOS de puissance pour permettre au courant de transiter verticalement (Fig.2.2). Cette technique d'isolation a l'avantage de permettre de travailler en multi-interrupteurs en ramenant le contact de drain en surface du silicium. Par contre, la tenue en tension maximum est limitée par la possibilité de diffuser profondément les murs d'isolation verticaux P^+ .

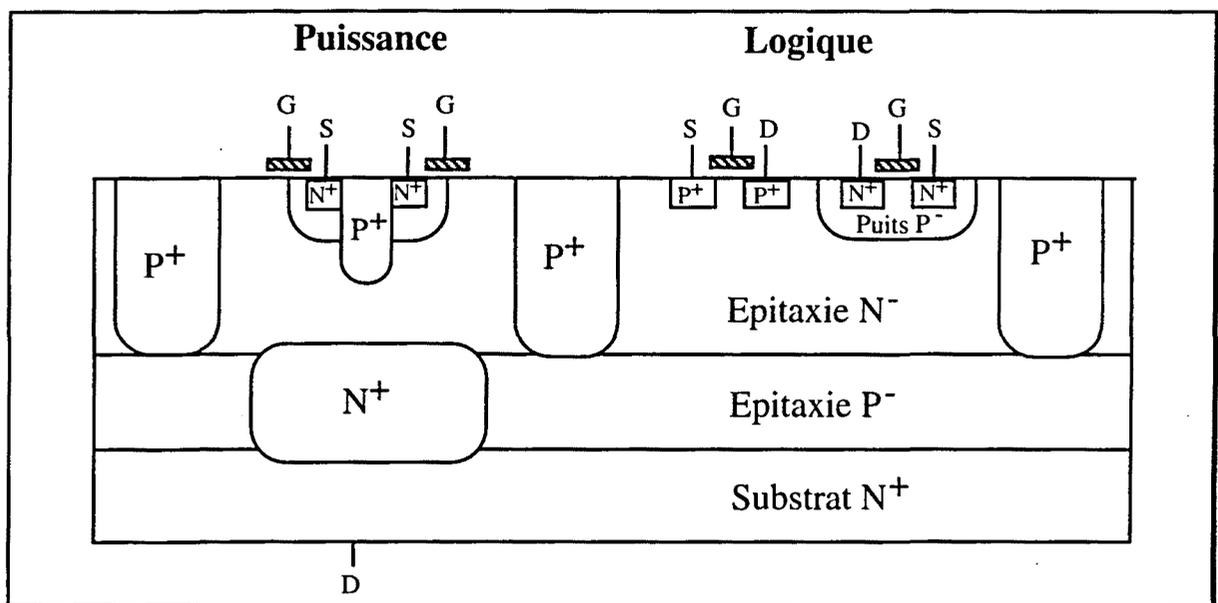


Fig.2.2: Isolation par jonction. Double épitaxie.

Une autre méthode comporte une seule épitaxie N^- , réalisée en deux étapes, sur un substrat N^+ . Une couche enterrée de type P^+ est réalisée sous la région où la logique de contrôle va être hébergée après la première étape d'épitaxie [II.3]. Après la reprise d'épitaxie, des jonctions P^+ profondes diffusées jusqu'à cette couche enterrée définissent un caisson d'isolation de la logique par rapport à l'élément de puissance (Fig.2.3). L'avantage de cette deuxième méthode est que l'épaisseur du drain de l'élément de puissance est aussi l'épaisseur de l'épitaxie N^- qui n'est pas limitée par des considérations technologiques. Elle est donc bien adaptée aux éléments de puissance qui doivent tenir une très haute tension.

Ces technologies offrent une bien meilleure isolation aussi bien statique que dynamique que celle de l'auto-isolement. Cependant, par couplage capacitif, des structures parasites de type bipolaires, voire des structures thyristor, sont susceptibles de se déclencher lors de forts transitoires en dV/dt . La conception d'un tel circuit nécessite donc un certain nombre de précautions et présente donc des difficultés non négligeables.

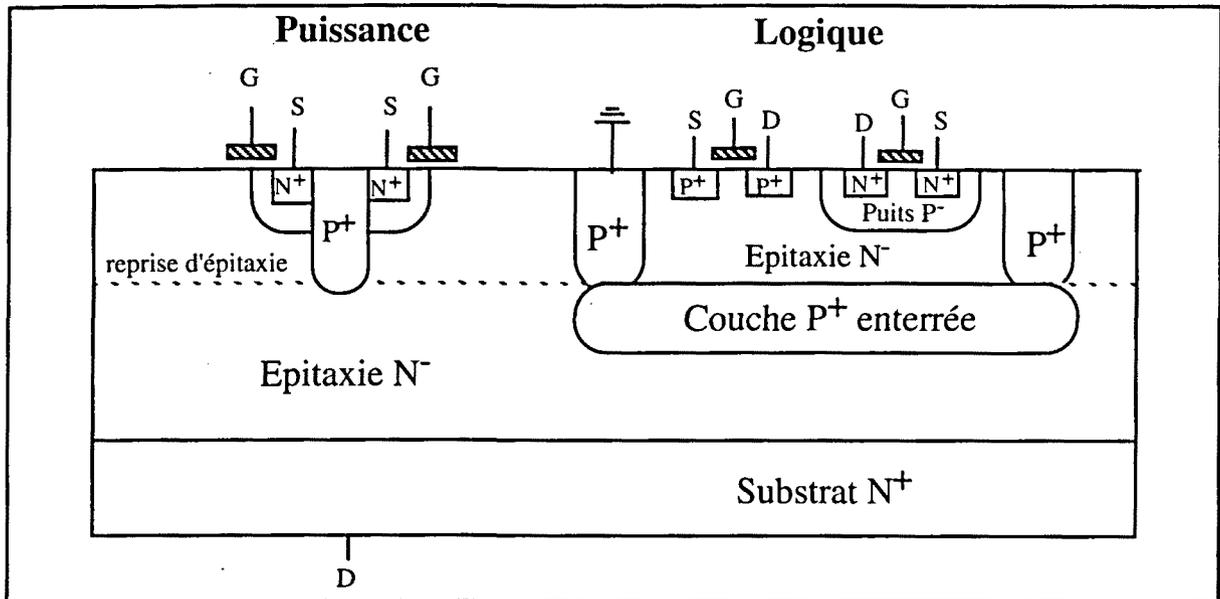


Fig.2.3: Isolation par jonction. Reprise d'épitaxie.

c) Technique de l'isolation diélectrique:

L'isolation diélectrique est une technologie capable d'intégrer des dispositifs de différente nature sur une même puce tout en gardant une forte rapidité, une grande densité d'intégration et une bonne immunité au latch-up. En effet, la couche de diélectrique permet d'éliminer les structures bipolaires parasites responsables de l'initialisation du latch-up. Dans le cas d'un circuit de puissance intelligente il s'agit d'isoler une logique de contrôle CMOS d'un élément de puissance .

Le procédé conventionnel sur substrat polysilicium [II.4] (Fig.2.4), a été envisagé pour supprimer le substrat coûteux de saphir dans des technologies SOS (Silicon On Saphir) [II.5]. Cependant, le coût associé à son faible rendement et le fait qu'on ne peut pas réaliser des composants verticaux, ne permettent pas d'utiliser cette technique pour les circuits intégrés haute tension. D'autres technologies SOI (Silicon On Insulator) ont ainsi été étudiées:

- Procédé SIMOX (Separation by IMplantation of OXYgen), où l'oxyde est implanté à une très haute énergie pour former dans le silicium une couche d'oxyde enterrée [II.6].

- Procédé FIPOS (Full Insulation of Porous Oxidized Silicon), où une couche de silicium poreux est utilisée pour réaliser l'oxyde enterré et les murs diélectriques verticaux. La grande vitesse d'oxydation du silicium poreux permet d'isoler une couche de silicium monocristallin qui y est déposée par la technique d'épitaxie par jets moléculaires MBE (Molecular Beam Epitaxy) [II.7].

- Procédé ZMR (Zone Melting Recrystallization), où on dépose du silicium par épitaxie sur un substrat de silicium monocristallin oxydé puis gravé. Ce dépôt de silicium est inhomogène: monocristallin sur les zones libres d'oxyde et polycristallin sur les zones oxydées.

Une recristallisation du silicium polycristallin en phase liquide par recuit rapide à haute température RTA (Rapid Thermal Annealing) [II.8] est alors ensuite effectuée.

- Procédé ELO (Epitaxial Lateral Overgrowth), où avec le même substrat de départ que précédemment, le dépôt de silicium est ajusté de manière à ce que le silicium ne se dépose pas sur l'oxyde, mais se forme à partir des régions monocristallines. La croissance de silicium se fait, au début, verticalement entre les zones oxydées, puis latéralement jusqu'à ce que les fronts de silicium se rencontrent [II.9].

- Procédé de soudure directe sur silicium (Wafer bonding), récemment développée, cette technique permet de souder deux plaquettes de silicium, oxydées ou non, face à face. Un rodage mécano-chimique précis permet ensuite d'ajuster l'épaisseur de silicium sur oxyde désirée [II.10] [II.11].

Le choix de l'une ou l'autre de ces technologies dépendra d'une part des caractéristiques de tenue en tension et de calibre en courant désirées et d'autre part, du facteur coût.

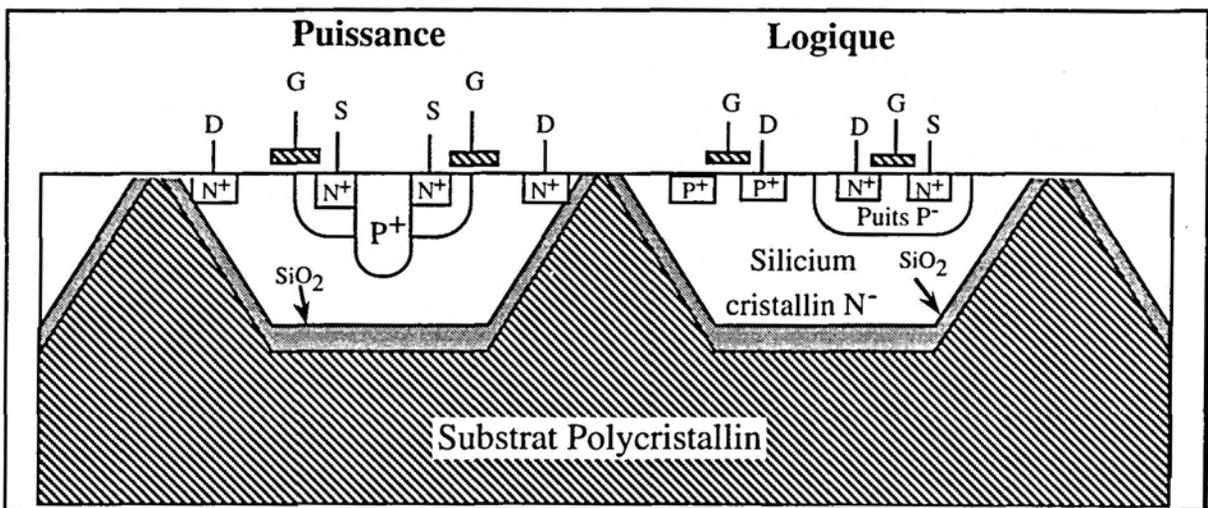


Fig.2.4: Isolation diélectrique. Substrat Polycristallin.

d) Technique d'isolation RESURF:

Il s'agit d'une nouvelle technique utilisée pour l'isolation entre une logique CMOS et un transistor latéral de puissance LDMOS (Lateral Double Diffused Metal Oxide Semiconductor). Deux couches épitaxiées, P⁻ et N⁻, sont réalisées sur un substrat P⁺ [II.12] [II.13].

L'isolation est obtenue grâce à la polarisation à la masse du substrat P⁺ et du puits P (Fig.2.5). La région épitaxiée sous l'élément de puissance est alors fortement dépeuplée, ce qui a pour effet d'atténuer les perturbations en tension et courant survenant lors de la coupure ou de la mise en conduction de l'élément de puissance et permet donc d'implanter à côté de l'élément de puissance une logique CMOS isolée.

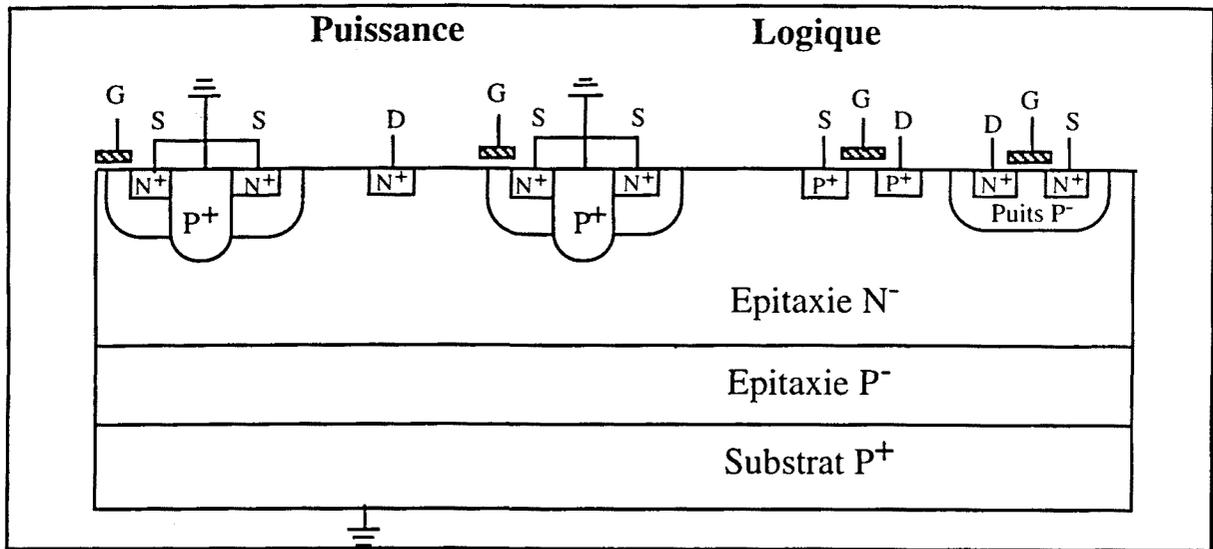


Fig.2.5: Technique d'isolation RESURF.

2.1.2.- Choix d'une technologie de puissance intelligente à compromis rendement-coût avantageux

Comme nous venons de le voir, il existe de nombreuses techniques permettant d'obtenir un isolement efficace entre région de puissance et région de petit signal. Cependant, leur coût est un facteur important dans le choix final de la technologie.

En effet, le choix d'une telle technologie doit être fait en tenant compte de différents facteurs. Le coût de fabrication et les performances des circuits représentent un compromis à résoudre en fonction de l'application.

Le coût de fabrication de ces techniques d'isolation dépend principalement de deux facteurs: le nombre de masques et d'étapes critiques, qui doit être maintenu faible, et la surface, qui doit rester réduite. Le coût de la technologie utilisée représente une forte limitation dans une application de puissance. La moins coûteuse des techniques décrites ici est bien évidemment celle de l'auto-isolement.

Les performances des circuits réalisés avec ces techniques d'isolation sont entre autres: leur reproductibilité, leur vitesse de réponse et leur consommation sur le plan électrique. Cependant, dans les applications de puissance intelligente, pour maintenir ces performances il faut assurer un bon isolement de la logique de commande contre différentes perturbations. Ces perturbations peuvent être internes, c'est-à-dire, en provenance de la partie puissance et externes, c'est-à-dire, en provenance de l'environnement bruyant comme c'est le cas, par exemple, de l'application automobile.

L'isolement dynamique, lors des commutations très rapides de l'élément de puissance ou de la réponse provoquée par une charge inductive, pose un problème majeur à résoudre.

L'épithaxie N^- située sous la région du transistor de puissance, sera soumise à des fluctuations de tension et de courant rapides qui se propageront à travers toute l'épithaxie. Ces fluctuations de tension transitoires peuvent être transmises par couplage capacitif dans le puits P^- de la logique et déclencher le phénomène du latch-up dans cette partie logique. Ce problème peut être résolu dans le cadre d'une technologie d'isolation diélectrique, par contre, dans le cas d'une technologie d'isolation par jonction, l'isolation dynamique n'est pas assurée dans tous les cas.

Une solution attrayante permettant de concilier coût et fiabilité du circuit est d'utiliser la technologie la moins coûteuse associée à une méthodologie de conception destinée à améliorer l'auto-blindage.

2.2.- Concept de Puits Flottant.

Nous allons présenter une solution de conception qui tient compte du phénomène régénératif du latch-up, de son origine et de ses modes de déclenchement. Son originalité réside dans le fait qu'elle utilise un concept de puits flottant dans une structure d'inverseur CMOS conservant de bonnes caractéristiques de transistors MOS et efficacement protégée contre l'établissement du latch-up à la fois en statique et en dynamique, grâce à un certain nombre de précautions et de compromis.

Le bipolaire parasite NPN vertical est l'élément le plus critique dans l'établissement du latch-up d'une logique CMOS à puits P. En effet, le gain de ce transistor, hébergé dans la région de puits P, peut atteindre des valeurs élevées (supérieures à 100) augmentant la susceptibilité au latch-up. C'est donc dans cette zone que l'on cherche à minimiser le risque de l'établissement du latch-up.

D'un point de vue statique, la **solution classique** permettant d'obtenir une structure avec de bonnes caractéristiques MOS, consiste à mettre le puits de la logique à la masse (Fig.2.1). Pour éviter des fluctuations locales de potentiel de ce puits, la technique d'un oxyde localisé (LOCOS) assure par l'intermédiaire de contacts de substrat, une polarisation de toute la surface du puits à la masse. La tension maximum de drain du transistor vertical de puissance VDMOS est limitée par le claquage BV_{CBO} des transistors bipolaires verticaux parasites (Q_V) et le courant de fuite dans le puits dû à la polarisation en inverse de la jonction puits P / substrat N est donné par le courant I_{CBO} des transistors Q_V .

D'un point de vue dynamique, une perturbation positive dans le substrat N^- induit un courant de déplacement dans le puits P. La polarisation du puits à la masse permet d'évacuer efficacement le courant de déplacement vers la masse en évitant une polarisation de la jonction Base (Puits) / Emetteur (Source ou Drain) des transistors Q_V . La mise en marche des bipolaires parasites est liée à la résistance de puits R_W qui dépend de l'espacement entre le contact de substrat (ou de puits) et les sources des transistors MOS.

Cette solution de puits flottant déjà étudiée pour des interrupteurs analogiques [II.14], présente différents inconvénients liés à la configuration flottante du puits.

D'un point de vue **statique**, puisque le puits P représente la base du transistor bipolaire parasite Q_V , la tension de claquage émetteur-collecteur du transistor Q_V à base flottante BV_{CE0} est inférieur à la tension de claquage BV_{CB0} dans le cas d'un puits attaché à la masse. Cette structure limite donc la tension maximum qui pourra être appliquée à la circuiterie CMOS.

De plus, le courant de fuite collecteur-émetteur I_{CE0} du transistor bipolaire Q_V à base flottante est supérieur à celui d'un transistor bipolaire Q_V où la base est attachée à la masse. En effet, le courant de fuites dans ce dernier cas correspond au courant I_{CB0} .

D'un point de vue **dynamique**, et dans le cas d'un transitoire positif dans le substrat, le courant de déplacement injecté dans le puits P doit être évacué vers la masse pour éviter des fluctuations locales de potentiel. Si le puits est mis à la masse, ce courant est efficacement absorbé par les contacts de puits. S'il est flottant, l'absorption de ces courants vers la masse est limitée par la capacité en courant de la diode N^+/P^- de source. La tension du puits augmente alors jusqu'à polariser en direct cette diode qui est en fait la jonction base-émetteur du transistor bipolaire vertical parasite Q_V . La susceptibilité au latch-up est donc supérieure dans le cas d'un puits flottant.

Cependant, tous ces inconvénients d'un puits flottant peuvent être résolus en tirant profit de la diffusion P^+ profonde présente dans le dispositif de puissance VDMOS comme nous allons le montrer ci-après.

La structure proposée (Fig.2.7) comporte une diffusion supplémentaire P^+ profonde. Cette diffusion ne rajoute aucune étape technologique puisqu'elle est réalisée en même temps que le puits P^+ profond du VDMOS. Elle entoure le transistor NMOS dans le puits P de la logique et fournit une protection efficace contre le déclenchement du latch-up en statique et dynamique [II.15][II.16].

Cette diffusion P^+ profonde a la particularité de chevaucher la diffusion de source formant ainsi une diode N^+/P^+ qui court-circuite la jonction Base / Emetteur du transistor bipolaire vertical parasite de source. Cette diode va jouer un double rôle:

- Chemin basse impédance vers la masse pour évacuer les charges positives injectées lors d'une perturbation positive couplée au puits. En effet, la caractéristique en courant d'une diode N^+/P^+ , par rapport à une diode normale, présente des valeurs de courant plus fortes à faible niveau de polarisation (0-0,5V) permettant ainsi l'évacuation du courant injecté sans que la polarisation du bipolaire parasite NMOS ne soit nécessaire.

- Elle permet à la tension du puits de flotter car il y a un chemin RC vers la masse. Par rapport à un puits totalement flottant, les charges disponibles sont liées essentiellement à la capacité N^+/P^+ qui est de forte valeur. Cette capacité va fournir, suite à une perturbation négative sur le drain, une quantité de charges fixe pendant un temps fixé par le produit RC. En ajustant correctement par la topologie la capacité C et la résistance R du puits, on peut donc

minimiser le temps pendant lequel ces charges, correspondant à un courant base de bipolaire, sont fournies et diminuer ainsi les risques de déclenchement du latch-up [II.17].

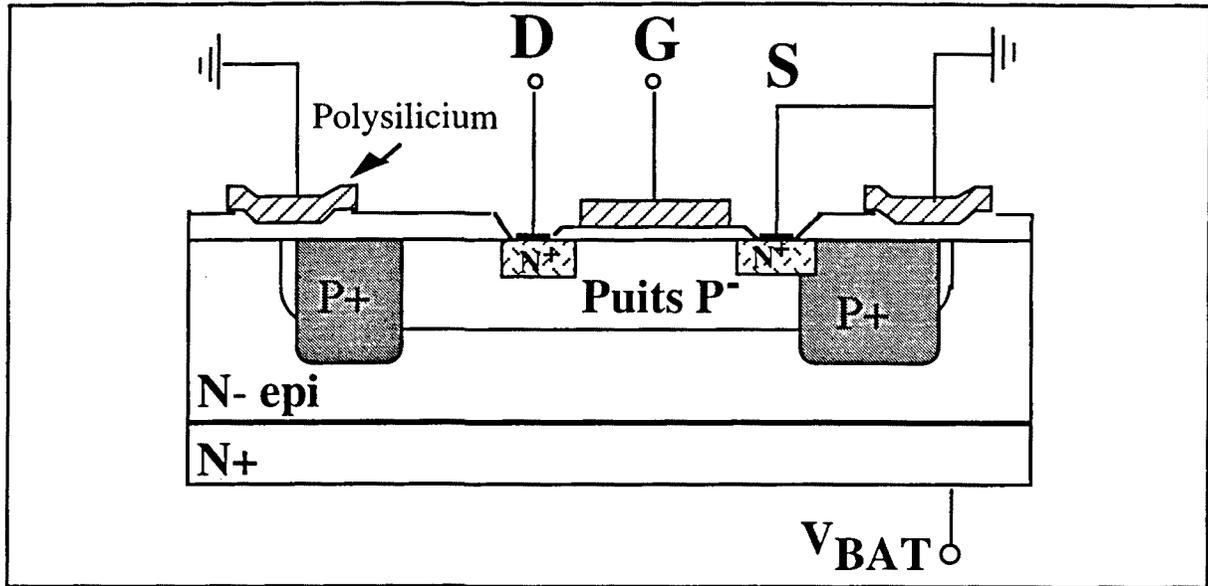


Fig.2.7: Méthodologie de conception proposée.

a) Protection statique

Pour assurer une bonne protection statique, la diffusion P+ profonde, servant à court-circuiter la source et le substrat P- de l'élément de puissance VDMOS, est utilisée de façon à recouvrir légèrement la diffusion N+ de source du transistor NMOS de la circuiterie CMOS et entoure aussi le transistor. Ce recouvrement définit une jonction N+/P+ destinée à évacuer les charges injectées dans le puits et minimiser ainsi les fluctuations de potentiel.

En effet, la conductivité d'une jonction N+/P+ est supérieure à celle d'une jonction N+/P- pour des faibles polarisations en direct. Cet effet est lié aux mécanismes de diffusion-recombinaison qui régissent le courant de la jonction polarisée en direct. Il est bien connu que, dans le silicium à température ambiante, lors d'une polarisation supérieure à 0,4 ou 0,5V le courant de diffusion devient la composante dominante. Par contre, à faible polarisation directe, le courant de recombinaison domine généralement. Ce courant provient de la recombinaison des électrons traversant la zone de charge d'espace. Il est exprimé par:

$$J_{rec} = -q \int_0^W U dx \quad \text{avec } U: \text{taux de recombinaison.} \quad (1)$$

W: largeur de la zone de charge d'espace.

Cette intégrale est relativement complexe car le taux de recombinaison, U, dépend de la densité de porteurs, n et p, et la densité de porteurs dépend de la distance, x.

$$U = \sigma_n \sigma_p v_{th} N_t \frac{pn - n_i^2}{\sigma_n \left(n + n_i e^{(E_i - E_f)/kT} \right) + \sigma_p \left(p + n_i e^{-(E_f - E_i)/kT} \right)} \quad (2)$$

avec: σ_n et σ_p : section de capture des électrons et des trous respectivement
 v_{th} : vitesse thermique
 N_t : densité de centres de recombinaison
 n_i : concentration intrinsèque
 E_i : niveau d'énergie de Fermi intrinsèque
 E_f : niveau d'énergie des centres de recombinaison
 k : constante de Boltzman
 T : température

En considérant que les centres de recombinaison les plus efficaces sont ceux du centre de la bande interdite, $E_t = E_i$, et que les sections de capture pour des électrons et des trous sont égales, $\sigma_n = \sigma_p$, l'expression (2) devient:

$$U = \sigma v_{th} N_t \frac{pn - n_i^2}{n + p + 2n_i} \quad (3)$$

Le taux de recombinaison est maximum dans la zone de charge d'espace lorsque quasi-niveau de Fermi des électrons, E_{Fn} , et quasi-niveau de Fermi des trous, E_{Fp} , ont une position symétrique par rapport au niveau de Fermi intrinsèque E_i . Ici la concentration de porteurs sera:

$$n = p = n_i e^{q|V_F|/2kT} \quad \text{où } V_F: \text{ tension de polarisation directe} \quad (4)$$

L'expression du taux de recombinaison maximum est alors:

$$U_{max} = \sigma v_{th} N_t \frac{n_i \left(e^{q|V_F|/kT} - 1 \right)}{2 \left(e^{q|V_F|/2kT} + 1 \right)} \quad (5)$$

Pour des tensions de polarisation directe $V_F \gg kT/q$, le taux de recombinaison maximum devient:

$$U_{max} = \frac{1}{2} \frac{n_i}{\tau} e^{q|V_F|/2kT} \quad \text{avec } \tau = \frac{1}{\sigma v_{th} N_t} \quad (6)$$

Le courant de recombinaison s'exprime donc:

$$J_{rec} \cong -\frac{1}{2} q W \frac{n_i}{\tau} e^{q|V_F|/2kT} \quad (7)$$

Et le courant de diffusion s'exprime:

$$J_{diff} = J_S \left(e^{q|V_F|/kT} - 1 \right) \quad (8)$$

Pour ce développement, un seul mécanisme de recombinaison a été considéré: le processus décrit par la théorie de SHOCKLEY-READ-HALL. Ce mécanisme associe à un centre de recombinaison, un niveau d'énergie situé dans la bande interdite.

Dans un semi-conducteur, on peut décrire le taux de recombinaison sous forme de développement en série de puissances de la concentration de porteurs [II.18]:

$$U = \gamma_1 n + \gamma_2 n^2 + \gamma_3 n^3 + \dots \quad (9)$$

A chaque terme de ce développement, on peut associer un processus de recombinaison:

$U_{SRH} = \gamma_1 n$: processus par recombinaison de SHOCKLEY-READ-HALL étudiée précédemment [II.19].

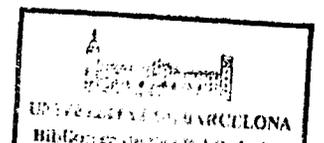
$U_{IR} = \gamma_2 n^2$: processus par recombinaison interbande radiative.

$U_A = \gamma_3 n^3$: processus par recombinaison AUGER [II.20]. Il s'agit d'un processus qui fait intervenir trois porteurs: un électron et un trou qui se recombinent, et un troisième porteur qui absorbe l'excès d'énergie en modifiant sa position dans la structure de bandes d'énergie.

En utilisant dans l'expression (9) la valeur de $\gamma_1 = 10^6 \text{s}^{-1}$, qui correspond à une durée de vie SRH de $1 \mu\text{s}$, et utilisant comme Muñoz-Yagüe [II.18] les valeurs de $\gamma_2 = 2 \cdot 10^{-15} \text{cm}^3/\text{s}$ et $\gamma_3 = 2,9 \cdot 10^{-31} \text{cm}^6/\text{s}$ couramment admises pour le silicium, on voit que la recombinaison SRH sera le mécanisme prépondérant jusqu'à des valeurs de n de l'ordre de $3 \cdot 10^{18} \text{cm}^{-3}$, pour lesquelles la recombinaison AUGER devient prépondérante.

Dans le cas d'une jonction N^+/P^+ , le mécanisme prépondérant est donc la recombinaison AUGER. Le taux de recombinaison AUGER s'écrit :

$$U_A = \gamma_{3N} n^2 p + \gamma_{3P} p^2 n \quad (10)$$



Les valeurs de γ_{3N} et γ_{3P} sont des constantes déterminées pour le silicium. La durée de vie, τ_A , associée au mécanisme de recombinaison AUGER peut être calculé, et la durée de vie effective des porteurs s'obtient par l'association des durées de vie des mécanismes de recombinaison considérés avec la relation:

$$\frac{1}{\tau} = \frac{1}{\tau_{SRH}} + \frac{1}{\tau_A} + \frac{1}{\tau_{IR}} \quad (11)$$

D'après cette relation, on s'aperçoit que la durée de vie totale, τ , est plus faible que dans le cas où on ne considère pas le mécanisme de recombinaison AUGER. Le courant de recombinaison, J_{rec} , et donc le courant total, J , à faible polarisation directe sera supérieur dans une jonction N^+/P^+ que dans une jonction N^+/P^- .

Dans la structure NMOS proposée à puits flottant (Fig.2.7), le courant de fuite en provenance du drain sera donc plus facilement évacué par la jonction N^+/P^+ évitant ainsi une variation de la tension du puits P, qui pourrait conduire à un mauvais fonctionnement du transistor NMOS. Pour évacuer plus efficacement les charges, la diffusion P^+ profonde entoure aussi le transistor NMOS ou un ensemble de transistors dans le puits. Le courant dans le puits P^- , injecté par les différentes jonctions polarisées en inverse, est alors véhiculé par cet anneau P^+ profond et évacué vers la masse à travers un chemin basse impédance. Cette structure permet donc de transporter un courant de porteurs majoritaires dans le puits P^- flottant avec une chute de tension minimum.

Le transistor bipolaire parasite de source Q_{VS} , qui est le plus susceptible de se déclencher, présente une tension de claquage émetteur-collecteur BV_{CE0} supérieure à celle du transistor NMOS à puits flottant sans protection. La diffusion P^+ profonde, qui recouvre légèrement la diffusion N^+ de source, contribue à diminuer l'efficacité d'injection du transistor parasite Q_{VS} en diminuant fortement son gain. Une amélioration dans la tension de claquage BV_{CE0} est donc espérée.

Le courant de fuite collecteur-émetteur I_{CE0} du transistor parasite Q_{VS} diminue aussi puisque la base de ce transistor est formée essentiellement par une région P^+ . Les caractéristiques principales de cette protection en statique sont donc:

- forte conductivité de la jonction N^+/P^+ à faible polarisation directe.
- augmentation de la valeur de la tension de claquage BV_{CE0} .
- diminution de la valeur du courant de fuite I_{CE0} du transistor bipolaire parasite Q_{VS} .

b) Protection dynamique

D'un point de vue dynamique, deux cas de figure risquant de déclencher le phénomène de latch-up peuvent se présenter.

Tout d'abord, le cas de la génération de transitoires de tension positifs dans le substrat épitaxié lors de la commutation du transistor VDMOS de puissance (Fig.2.8).

Le deuxième cas concerne un transitoire négatif survenant sur le drain d'un transistor NMOS. Ce cas de figure peut se produire, par exemple, dans un circuit de pompage de charges en présence d'une charge inductive (Fig.2.9) lors de la coupure du transistor DMOS. La surtension négative générée par la variation de courant dans l'inductance pourra, en effet être couplée à un drain de transistor NMOS par l'intermédiaire de la capacité Miller.

Dans ces deux cas, il y a risque de déclenchement du transistor bipolaire NPN vertical parasite et alors du phénomène du latch-up. Nous allons voir ci-après comment la méthodologie de conception basée sur le concept de puits flottant permet de se protéger contre ces situations dangereuses.

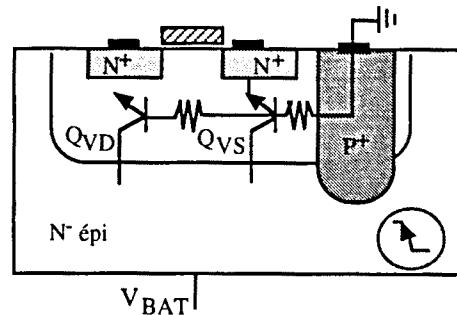


Fig.2.8: Cas d'un transitoire positif.

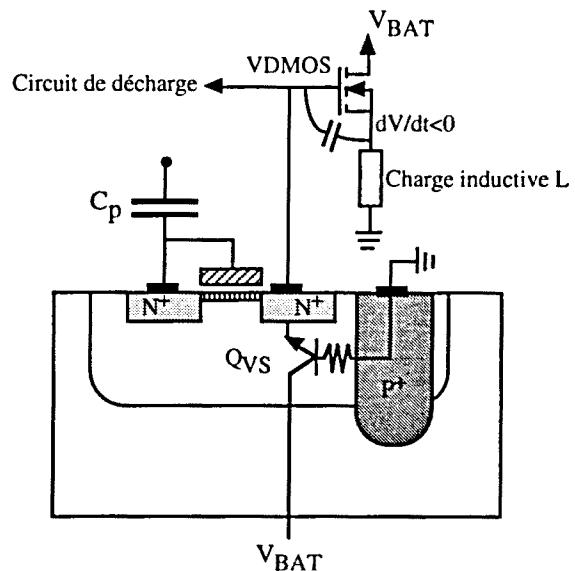


Fig.2.9: Cas d'un transitoire négatif.

a) Transitoire en tension négatif couplé au drain du NMOS:

Ce transitoire en tension peut être appliqué soit directement au drain du transistor NMOS (Fig.2.9), soit à partir d'un transitoire survenant dans le substrat épitaxié N^- et transmis à travers les capacités parasites de l'inverseur CMOS au drain du transistor NMOS (Fig.2.10).

Si le transitoire négatif, $\Delta V < 0$, est transmis à travers les capacités parasites MOS, il est amorti par l'association en série de ces capacités dans la structure d'inverseur CMOS. Ces capacités parasites sont: la capacité drain-substrat PMOS, C_{Dp} , la capacité grille-drain NMOS, C_{GDn} , et la capacité grille-source NMOS, C_{GSn} (Fig.2.10).

Si ΔV est le transitoire appliqué au substrat et ΔV_D la partie transmise au drain du NMOS, ΔV_D peut être exprimé comme la charge totale stockée Q_T sur l'association en série des capacités parasites C_{GDn} et C_{GSn} .

$$\Delta V_D = Q_T \frac{(C_{GDn} + C_{GSn})}{C_{GDn} C_{GSn}} \quad (12)$$

La charge totale Q_T s'exprime comme le produit entre la capacité totale C_T de l'association en série des capacités parasites C_{GDn} , C_{GSn} et C_{Dp} , et le transitoire en tension appliqué au substrat ΔV .

$$Q_T = C_T \cdot \Delta V \quad (13)$$

$$C_T = \frac{C_{Dp} C_{GDn} C_{GSn}}{C_{Dp} (C_{GDn} + C_{GSn}) + C_{GDn} C_{GSn}} \quad (14)$$

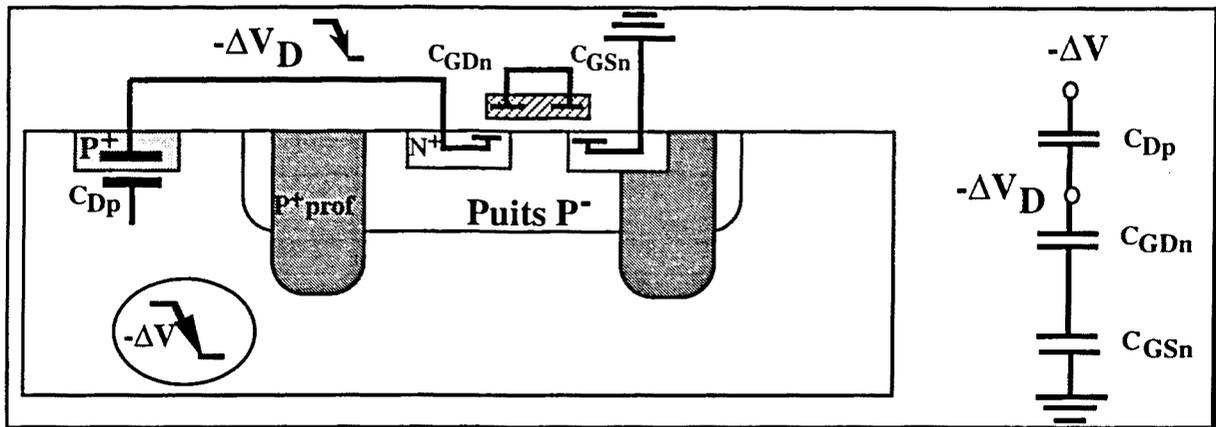


Fig.2.10: Couplage capacitif d'une perturbation négative au substrat.

L'expression du transitoire ΔV_D transmis au drain du NMOS est donc atténuée d'un facteur qui dépend des capacités parasites et dont l'expression est la suivante:

$$\Delta V_D = \Delta V \cdot \left(\frac{1}{1 + \left(\frac{C_{GDn} C_{GSn}}{C_{Dp} (C_{GDn} + C_{GSn})} \right)} \right) \quad (15)$$

Ce transitoire négatif en tension, $\Delta V < 0$, transmis au drain du NMOS, ΔV_D , peut mettre temporairement en conduction le transistor bipolaire vertical parasite de drain Q_{VD} . La conception de la structure NMOS à puits flottant devra donc être telle que le courant de base $I(t)$ fourni au transistor parasite Q_{VD} soit minimisé. $I(t)$ étant le courant fourni par les capacités dans

le puits flottant, et essentiellement par la capacité N⁺ / P⁺ (C_j), les charges disponibles ainsi que la durée du transfert pourront être minimisées par l'ajustement des paramètres topologiques du transistor NMOS. De cette façon, le temps pendant lequel le transistor parasite Q_{VD} reste allumé peut être rendu inférieur au temps de régénération du latch-up [II.21].

Pour faciliter la conception, nous allons nous appuyer sur un modèle théorique simple permettant de fournir une expression analytique de la tension développée dans le puits et du courant fourni à la base du transistor Q_{VD} (Fig.2.11). Les éléments à prendre en compte sont, la capacité de jonction N⁺/P⁺, C_j, puisqu'elle fournit la plupart des charges, et la résistance de puits sous la région de canal, R_w, puisqu'elle représente la résistance du chemin vers la base du transistor Q_{VD}.

La perturbation négative en tension au drain, ΔV_D, est transmise au puits localement sous la région de drain. Le comportement de la tension de puits sous la région de la source, V_w(t), peut être modélisée comme précédemment avec une structure RC. Un transitoire V_D(t) échelon appliqué au drain avec une rampe de valeur K est considéré (Fig.2.11).

$$0 < t < t_p \Rightarrow V_D(t) = -Kt \tag{16}$$

$$t > t_p \Rightarrow V_D(t) = \Delta V_D \tag{17}$$

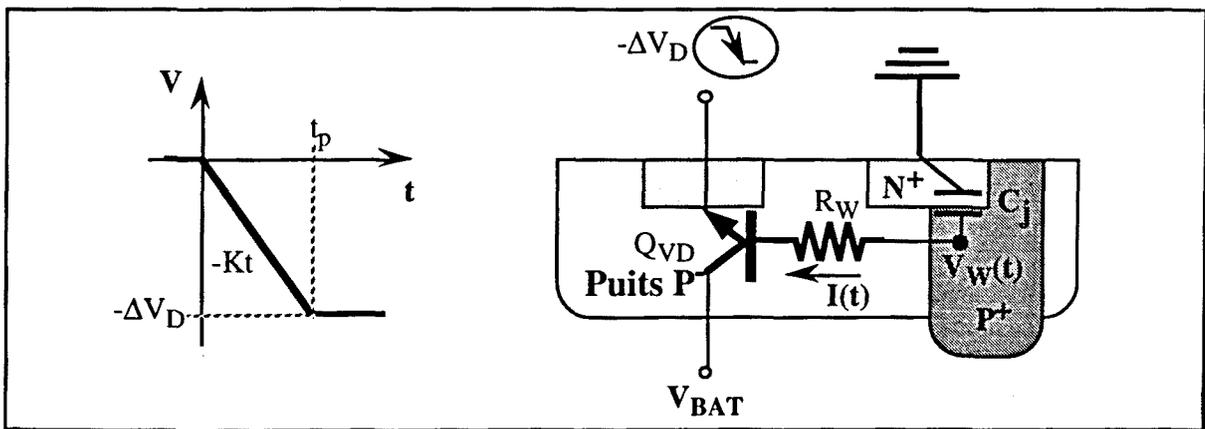


Fig.2.11: Modèle d'un puits flottant soumis à un transitoire négatif au drain.

Cette perturbation en tension appliquée au drain, ΔV_D(t), peut être exprimée comme une tension développée sur la résistance de puits R_w et la capacité C_j. La résolution de cette équation va nous permettre de trouver l'évolution de la tension du puits ou le courant fourni par la capacité C_j.

$$V_D(t) = R_w I(t) + V_w(t) \tag{18}$$

1.- Tension du puits:

Si on exprime cette équation en fonction de la tension développée au puits, $V_w(t)$, on obtient:

$$V_D(t) = R_w C_j \frac{dV_w(t)}{dt} + V_w(t) \quad (19)$$

Pour la période transitoire de la perturbation, $0 < t < t_p$, l'équation devient:

$$\frac{dV_w(t)}{dt} + \frac{1}{\tau} V_w(t) = \frac{-K}{\tau} t \quad (20)$$

avec $\tau = R_w C_j$

La solution générale de l'équation différentielle est donc:

$$\boxed{V_w(t) = -K \left\{ t - \tau \left(1 - e^{-t/\tau} \right) \right\}} \quad (21)$$

Cette solution montre que la tension de puits, $V_w(t)$, suit le transitoire, $V_D(t)$, avec un retard, $\tau \left(1 - e^{-t/\tau} \right)$, qui s'établit à τ .

Pour la période stabilisée de la perturbation, $t > t_p$, l'équation précédente s'exprime:

$$\frac{dV_w(t)}{dt} + \frac{1}{\tau} V_w(t) = \frac{-\Delta V_D}{\tau} \quad (22)$$

La solution générale de l'équation différentielle est donc:

$$V_w(t) = -\Delta V_D + K \tau \left(e^{t/\tau} - 1 \right) e^{-t/\tau} \quad (23)$$

Cette solution montre que la tension de puits, $V_w(t)$, s'établit progressivement à la valeur $-\Delta V_D$.

2.- Courant dans le puits $I(t)$:

Des expressions analytiques du courant fourni par la capacité C_j à la base du transistor Q_{VD} sont déduites. Les charges en provenance essentiellement de la capacité C_j qui traversent la résistance R_w vont définir ce courant de base, $I(t)$.

Si on exprime l'équation (18) en fonction de la charge induite dans la capacité C_j , $q(t)$:

$$V_D(t) = R_w \frac{dq(t)}{dt} + \frac{q(t)}{C_j} \quad (24)$$

Pour la période transitoire de la perturbation, $0 < t < t_p$, l'équation précédente s'exprime:

$$\frac{dq}{dt} + \frac{1}{\tau} q = \frac{-K}{R_w} t \quad (25)$$

La solution générale de l'équation différentielle est donc:

$$q(t) = -KC_j \left\{ t - \tau \left(1 - e^{-t/\tau} \right) \right\} \quad (26)$$

Le courant est donc défini par $I(t) = \frac{dq}{dt}$, c'est-à-dire:

$$\boxed{I(t) = -KC_j \left(1 - e^{-t/\tau} \right)} \quad (27)$$

Cette solution montre que le courant $I(t)$, fourni par la capacité C_j augmente jusqu'à une valeur asymptotique KC_j .

Pour la période stabilisée de la perturbation, $t > t_p$, l'équation précédente s'exprime:

$$\frac{dq}{dt} + \frac{1}{\tau} q = \frac{-\Delta V_D}{R_w} \quad (28)$$

avec $\tau = R_w C_j$

La solution générale de l'équation différentielle est donc:

$$q(t) = -\Delta V_D C_j \left(1 - e^{-t/\tau} \right) \quad (25)$$

Le courant dans ce cas est alors défini par:

$$\boxed{I(t) = -\left(\frac{\Delta V_D}{R_w} \right) \cdot e^{-t/\tau}} \quad (26)$$

avec $\tau = R_w C_j$

La Fig.2.12 montre l'évolution de la tension et du courant dans le puits calculée selon les expressions analytiques précédentes.

Les deux paramètres essentiels à contrôler sont la résistance de puits, R_W , définie sous la région de canal, et la capacité N^+/P^+ , C_j . Le nombre de charges, $q(t)$, fourni par la capacité C_j ainsi que le temps de transfert, τ , sont directement proportionnels à sa valeur. Une valeur et durée limitée du courant $I(t)$ est alors obtenue avec une grande résistance de puits R_W et une faible capacité C_j .

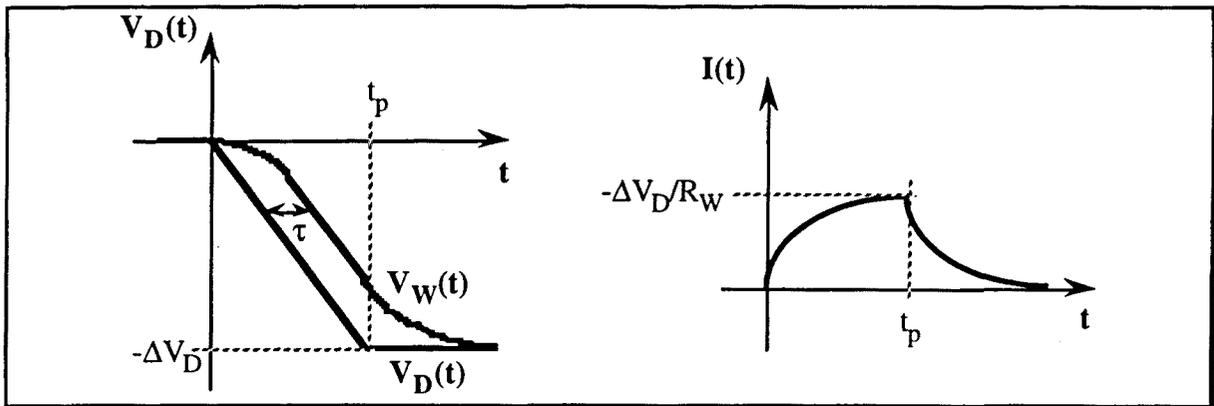


Fig.2.12: Evolution de la tension et du courant dans le puits.

D'un point de vue conception, il est important de comprendre ce qu'impliquent ces deux critères. En effet, la résistance de puits maximum sous la région de canal étant liée à la longueur minimum de canal, il sera nécessaire d'éviter tout autre passage basse impédance dans le puits.

C'est pourquoi, la traditionnelle implantation de champ P^+ , effectuée sous l'oxyde de champ et auto-alignée avec les diffusions source/drain, ne pourra pas être utilisée si on veut respecter ce critère. Nous verrons ci-après ce que cela signifie au niveau des règles de dessin.

En ce qui concerne la réduction de la capacité N^+/P^+ , C_j , elle est limitée par le recouvrement N^+/P^+ minimum nécessaire pour un bon fonctionnement du transistor MOS dans le puits flottant, c'est-à-dire, la polarisation de ce dernier proche de la masse.

b) Transitoire en tension positif dans le substrat couplé au puits:

Dans le cas d'un transitoire en tension positif, $\Delta V > 0$, survenant dans la couche N^- épitaxiée, celui-ci peut être couplé capacitivement dans le puits et activer les transistors parasites Q_{VS} et Q_{VD} . L'anneau P^+ profond décrit précédemment va jouer ici le rôle d'atténuateur capacitif.

En effet, cette atténuation capacitive est réalisée grâce aux capacités de diffusions C_1 et C_2 présentes dans la structure (Fig.2.13). Elle est caractérisée par la diminution de l'amplitude de la perturbation, dans le puits, d'un facteur qui tient compte des valeurs de ces capacités.

La charge totale stockée Q_T sur ce pont capacitif (C_1, C_2) est:

$$Q_T = C_T \Delta V = \left(\frac{C_2 C_1}{C_2 + C_1} \right) \Delta V \quad (27)$$

La perturbation en tension transmise dans le puits ΔW sera alors:

$$\Delta W = \frac{Q_T}{C_1} = \left(\frac{C_2}{C_2 + C_1} \right) \Delta V \quad (28)$$

Cette atténuation est d'autant plus forte que la capacité C_1 est bien supérieure à C_2 . La capacité C_1 du côté source du transistor NMOS est formée par le recouvrement N^+/P^+ profond et la capacité C_2 par la jonction puits P^+ profond / épitaxie N^- . Par contre, la capacité C_1 du côté drain du transistor NMOS est formée par la jonction N^+ / puits P^- et la capacité C_2 par la jonction puits P^- / épitaxie N^- .

Du fait de la jonction N^+/P^+ , le côté source du transistor NMOS est plus efficace dans cette atténuation. Etant donné que ces perturbations prennent origine dans la région de l'élément de puissance, le côté source du transistor NMOS de la logique devra être placé en vis à vis de cet élément de puissance pour protéger le côté drain. Il sera aussi important de placer les transistors NMOS, protégés avec cet anneau P^+ profond, entre les transistors PMOS et l'élément VDMOS de puissance. De cette façon, l'amplitude des transitoires en tension négatifs, $\Delta V < 0$, susceptibles d'être couplés au drain du NMOS, sera atténuée avant tout couplage. Nous discuterons plus en détail de ces problèmes de règles de dessin dans le paragraphe de méthodologie du 3^{ème} chapitre.

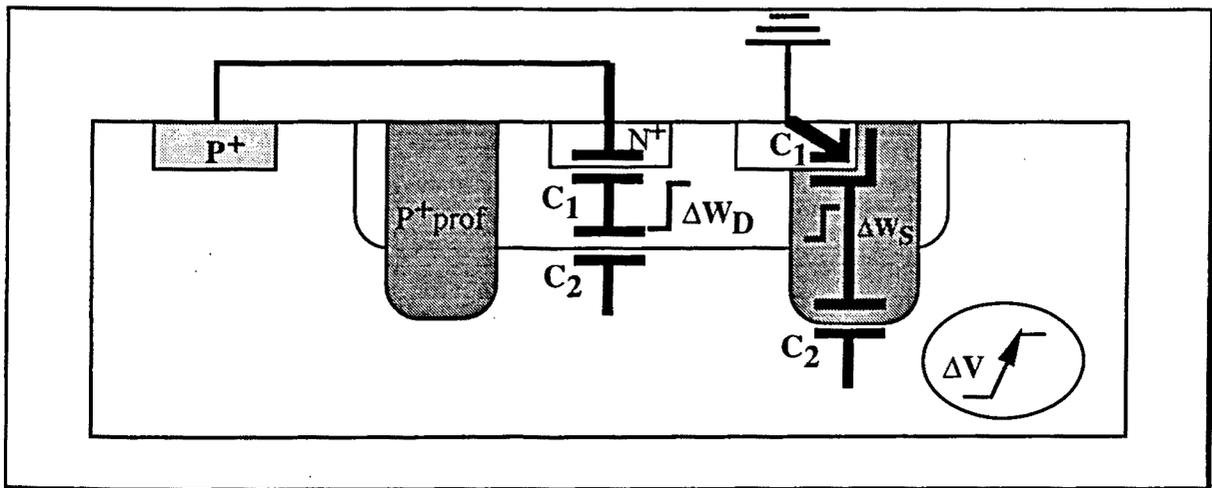


Fig.2.13: Transitoire $\Delta V > 0$ au substrat. Atténuation capacitive.

2.2.2.- Résultats expérimentaux

Afin de valider la méthodologie de conception proposée, des mesures sur silicium s'imposaient. Nous avons donc développé un véhicule de test dans cet objectif et dans le cas d'une technologie de puissance CMOS compatible DMOS basée sur une seule épitaxie N⁻ qui coïncide avec le drain du DMOS et le substrat de la logique CMOS.

Pour aboutir à un tel objectif, il a tout d'abord été nécessaire de:

- mettre au point une technologie mixte CMOS-DMOS réalisée entièrement au LAAS. Cette étape était indispensable car les filières universitaires offertes dans le cadre du Circuit Multi-Projet (CMP) français ne permettait pas cette validation.

- définir ensuite les différents composants: Diodes, jonctions N⁺/P⁺, transistors PMOS et NMOS, transistors bipolaires verticaux parasites ainsi que la structure thyristor nécessaires à la caractérisation électrique du phénomène et de réaliser les masques correspondants.

La technologie développée est décrite plus en détail dans l'annexe 2. De façon à réduire le temps de développement de cette technologie, nous nous sommes limité à une technologie CMOS puits P, grille aluminium comportant 8 masques sans implantation d'ajustement de seuil, la lithographie minimum étant de 10µm. Les caractéristiques les plus importantes de cette technologie [II.22] sont résumées dans le tableau suivant:

Diffusion	Profondeur	Concentration en surface
Epitaxie	10 µm	1 10 ¹⁵ cm ⁻³
P ⁺ drain PMOS	1,8 µm	1 10 ¹⁹ cm ⁻³
P ⁺ profond substrat NMOS	5,5 µm	9 10 ¹⁸ cm ⁻³
N ⁺ drain NMOS	1,1 µm	1,5 10 ²⁰ cm ⁻³
P ⁻ puits	3,5 µm	6,5 10 ¹⁶ cm ⁻³
N ⁺ source NMOS	1 µm	2 10 ²⁰ cm ⁻³

Le véhicule test "LATCH" réalisé est présenté dans l'annexe 3 avec une description des différentes structures dessinées et leurs dimensions. Une photographie du véhicule test et un bloc diagramme des structures dessinées sont présentés à la Fig.2.14.

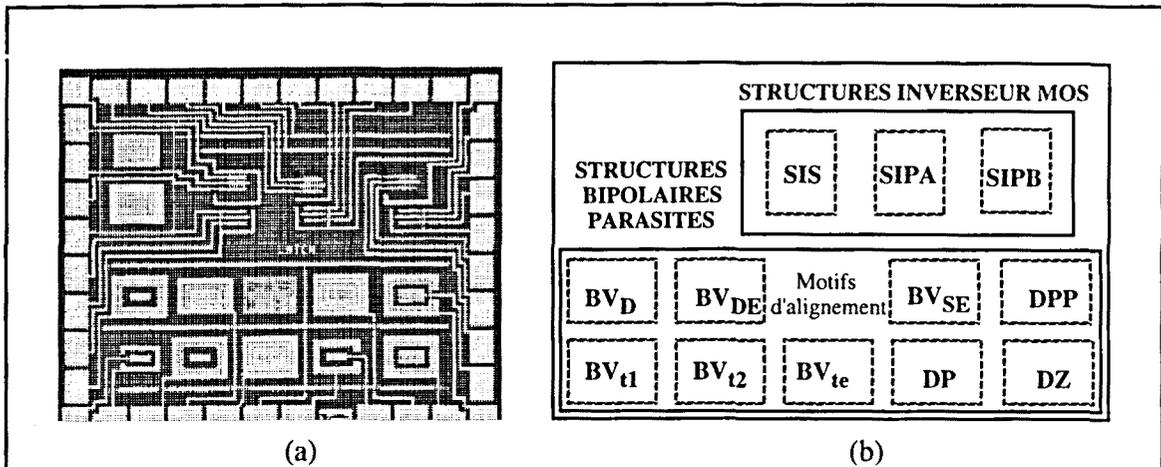


Fig.2.14: Véhicule test LATCH (a) et bloc diagramme des dispositifs présents (b).

Les résultats attendus concernent l'influence de la méthodologie de conception vis à vis de la protection contre le latch-up et plus précisément:

- La solution à puits totalement flottant constitue une bonne protection vis à vis des transitoires négatifs se produisant sur le drain du transistor, mais une solution moyenne vis à vis des transitoires positifs couplés dans le puits de la logique.

- La solution à puits relié à la masse est une bonne protection contre les transitoires positifs, mais peut s'avérer insuffisante lors d'un transitoire négatif sur un drain de transistor.

- La solution à puits flottant protégé par un anneau P^+ profond qui chevauche légèrement la diffusion de source, résout les problèmes du puits totalement flottant et offre la protection souhaitée pour les deux types de perturbations.

- La solution à puits flottant protégé ne dégrade pas les performances du transistor NMOS.

2.2.2.1.- Caractérisation électrique.

La caractérisation électrique du véhicule test comporte d'une part la caractérisation des structures bipolaires parasites et d'autre part la caractérisation des thyristors parasites présents dans une structure d'inverseur CMOS.

En ce qui concerne les structures d'inverseur CMOS, trois structures différentes ont été dessinées: une structure d'inverseur standard (SIS) et deux structures d'inverseur protégées (SIPA et SIPB). Une coupe de chaque type de structure d'inverseur est dessinée à la figure 2.15, avec les transistors bipolaires parasites. La seule différence entre les structures protégées SIPA et SIPB est la distance entre l'anneau P^+ profond et la diffusion N^+ de drain NMOS, qui est de $55\mu\text{m}$ sur la structure SIPA et de $25\mu\text{m}$ sur la structure SIPB.

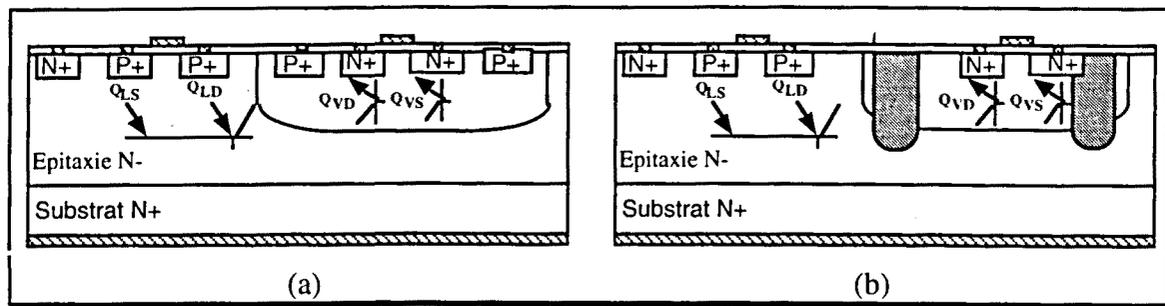


Fig.2.15: Transistors bipolaires parasites présents dans une structure SIS (a) et SIP (b).

La caractérisation électrique des différents dispositifs parasites dans une structure d'inverseur CMOS a été faite à partir de structures dessinées à ce propos et placées dans la partie inférieure de la puce. Les résultats ont été également comparés à ceux obtenus à l'intérieur d'une structure inverseur CMOS.

a) Diodes

Cinq diodes parasites différentes sont présentes dans une structure d'inverseur SIP proposée:

- la diode de drain NMOS (DN): formée par les diffusions N^+ / puits P^-
- la diode de drain PMOS (DD): formée par les diffusions P^+ / épitaxie N^-
- la diode de Puits (DP): formée par les diffusions puits P^- / épitaxie N^-
- la diode de Puits Profond (DPP): formée par les diffusions P^+ profond / épitaxie N^-
- la diode de source NMOS (DZ): formée par les diffusions N^+ / P^+ profond

Les différences parmi les caractéristiques électriques des quatre premières diodes sont faibles et liées à la différence de surface, de dopage et de résistance de contact. Cette résistance de contact est plus élevée pour la diode DN puisqu'elle présente un contact Al- N^+ dopé en Arsenic.

La diode N^+/P^+ , DZ, a été caractérisée car elle joue un rôle important dans la protection de la logique contre le déclenchement du latch-up. Elle permet de laisser flotter le puits P^- dans le cas d'une perturbation négative au drain NMOS, tout en offrant un chemin faiblement résistif pour l'évacuation des porteurs injectés dans le cas d'une perturbation positive dans le substrat. Sur la Fig. 2.16a on représente la caractéristique électrique, I-V, d'une diode N^+/P^+ . Le claquage en inverse est comme prévu autour de 5,2V.

Sur la Fig.2.16b, qui compare les caractéristiques I(V) des diodes N^+ / P^+ et N^+ / P^- , on peut remarquer que le courant absorbé par la diode N^+/P^+ , DZ, est bien supérieur (environ 1 décade) à celui d'une diode N^+/P^- , DN, pour les polarisations inférieures à 0,5V. Au delà de cette tension, c'est la diode de source DN qui permet le passage d'un courant supérieur. Ce phénomène est dû au fait que le courant de recombinaison dans une diode N^+ / P^+ , à faible

polarisation, devient dominant par rapport au courant de diffusion. La durée de vie des porteurs minoritaires diminue fortement à cause du fort dopage P.

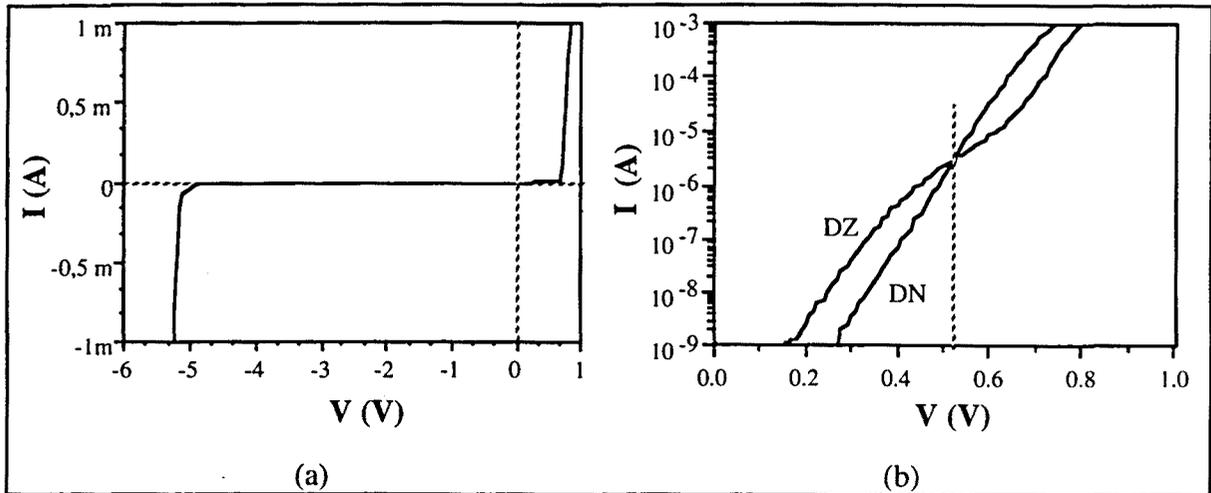


Fig.2.16: Caractéristique $I(V)$ de la diode N^+/P^+ profond (a) et caractéristiques $I(V)$ diodes N^+/P^+ (DZ) et N^+/P^- (DN) (b).

Cette durée de vie est assez variable puisqu'elle dépend non seulement du dopage des diffusions mais aussi des sites de piégeage et des dislocations introduites pendant la réalisation technologique.

b) Transistors bipolaires

La caractérisation des transistors bipolaires parasites présents dans une structure d'inverseur MOS comporte l'étude du gain en courant, des tensions de claquage BV_{CE0} et BV_{CB0} et des courants de fuite I_{CE0} et I_{CB0} .

Différentes structures d'inverseur MOS ont été dessinées: Structure Inverseur Standard (SIS) (Fig.2.16a) et Structure Inverseur Proposée (SIP) (Fig.2.16b) où on introduit le puits P⁺ profond. Les transistors bipolaires parasites associés aux structures d'inverseur MOS sont:

Q_{VD}: Transistor bipolaire parasite vertical NPN où l'émetteur correspond au drain du NMOS.

Q_{VS}: Transistor bipolaire parasite vertical NPN où l'émetteur correspond à la source du NMOS.

Q_{LD}: Transistor bipolaire parasite latéral PNP où l'émetteur correspond au drain du PMOS.

Q_{LS}: Transistor bipolaire parasite latéral PNP où l'émetteur correspond à la source du PMOS.

Un gain en courant d'environ 450 a été mesuré pour les bipolaires verticaux de drain **Q_{VD}** et de source **Q_{VS}** dans une structure d'inverseur CMOS standard SIS, $N^+/P^-/N_{\text{épi}}$ (Fig.2.17a). Les différences de gain sont minimales compte tenu de la topologie de la structure.

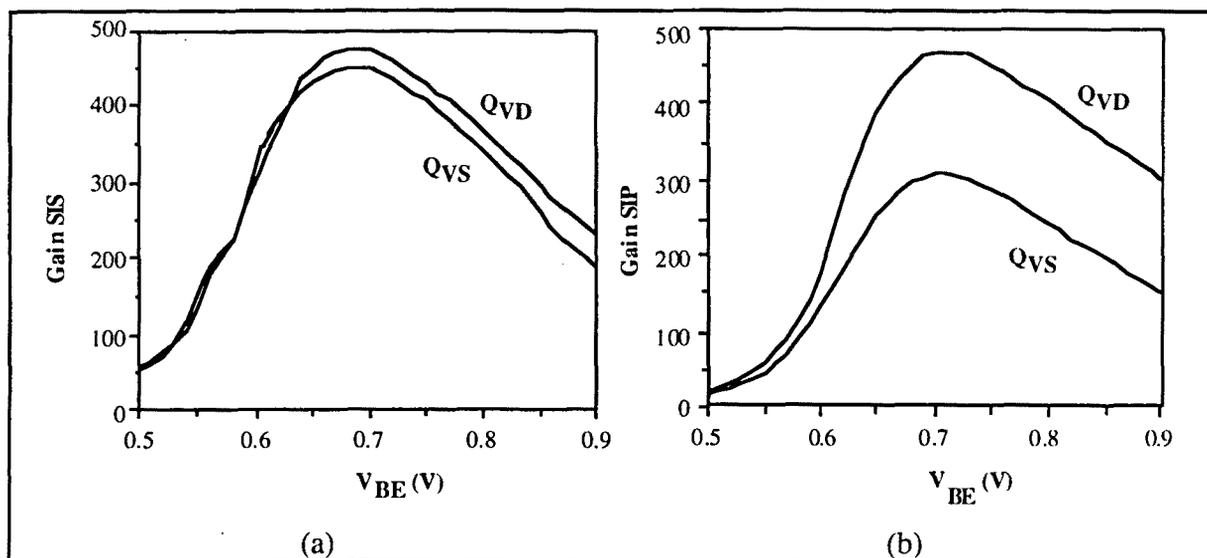


Fig.2.17: Caractéristiques de gain des transistors bipolaires verticaux parasites dans une structure SIS (a) et SIP (b).

Dans le cas d'une structure inverseur CMOS protégée (SIP) (Fig.2.17b), un anneau P⁺ profond recouvrant légèrement la diffusion de source N⁺ est introduit. Le gain du bipolaire vertical parasite de drain Q_{VD} est identique à celui d'une structure inverseur CMOS standard (SIS) puisqu'il n'a pas été changé. Par contre, le gain du bipolaire vertical parasite de source Q_{VS} est plus faible à cause du recouvrement N⁺/P⁺.

Plus la surface de recouvrement N⁺/P⁺ est grande par rapport à la surface totale de jonction, plus cette diminution du gain sera importante. Dans notre cas, où la largeur du recouvrement N⁺/P⁺ est de 5 μ m à comparer aux 45 μ m totaux de la diffusion N⁺ de source NMOS, le gain obtenu est de 300.

Par contre, un gain très faible, autour de 0,5, est obtenu dans une structure DZ, N⁺/P⁺/N^{épi} (Fig.2.18). En fonction donc du recouvrement N⁺/P⁺, la valeur de gain du transistor bipolaire vertical parasite de source Q_{VS} peut varier entre 450 et 0,5.

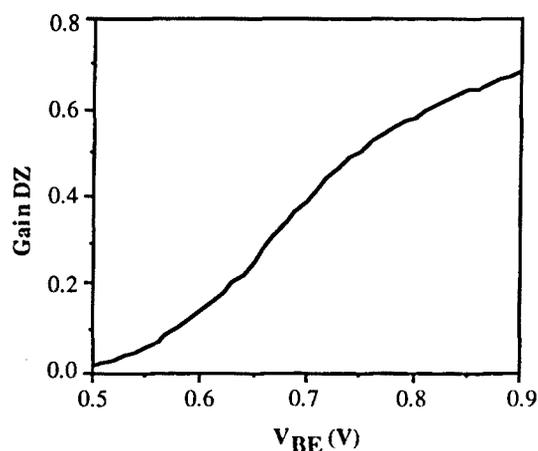


Fig.2.18: Caractéristique de gain d'un transistor DZ, N⁺/P⁺/Pépi.

Au niveau des transistors bipolaires latéraux parasites de drain Q_{LD} et de source Q_{LS} , équivalents pour une structure inverseur standard (SIS) et pour une structure inverseur protégée (SIP), le gain est représenté en fonction de la polarisation base-émetteur pour une structure SIP (Fig.2.19). Un gain de 2 est trouvé pour le bipolaire Q_{LD} et de 0,5 pour le bipolaire Q_{LS} . Le gain du Q_{LD} est plus important puisqu'il est plus près de la diffusion de puits et présente donc une largeur de base inférieure (15 μ m).

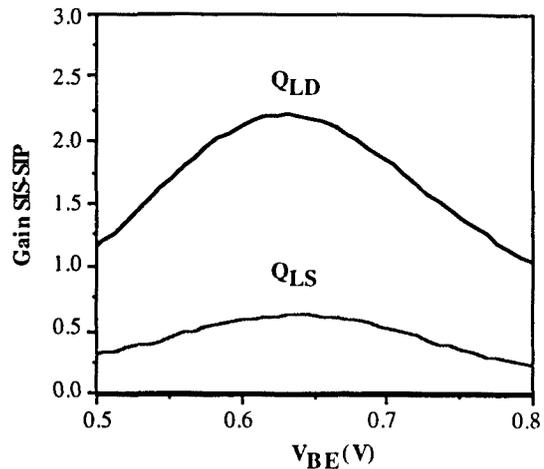


Fig.2.19: Caractéristiques de gain des transistors bipolaires latéraux parasites.

Un autre bipolaire intéressant à caractériser est celui formé par la diffusion de drain NMOS (collecteur), le puits P (base) et la diffusion de source NMOS (émetteur) (Fig.2.20). Ce transistor bipolaire parasite va influencer le comportement du transistor NMOS à substrat flottant. Puisque le puits de la logique sera flottant, des charges dans le puits peuvent polariser la jonction puits P/source N^+ et mettre le bipolaire précédent en conduction. Ce phénomène est appelé "Snap-back" [II.23].

Cependant, dans notre structure à puits flottant pour résoudre le problème de la faible tension de claquage BV_{CEO} , un faible recouvrement entre la diffusion de source N^+ et la diffusion P^+ profonde a été aménagé afin de casser suffisamment le gain du transistor bipolaire parasite de manière à ce que la tension de claquage à base flottante BV_{CEO} donnée par: $BV_{CEO} = BV_{CBO} \sqrt{\frac{1}{h_{FE}}}$ soit proche de BV_{CBO} .

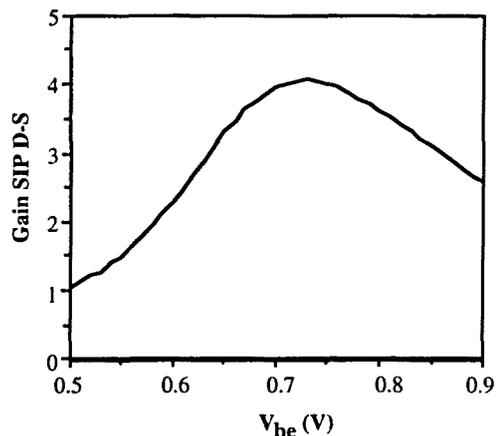


Fig.2.20: Caractéristiques de gain du transistor bipolaire Drain/Puits/Source.

Cet arrangement apporte effectivement le résultat désiré comme le montrent les mesures de tensions de claquage de la Fig.2.21. En effet, la tension de claquage BV_{CEO} d'une structure protégée est de 75V, c'est-à-dire, relativement proche des 90V de BV_{CBO} , alors qu'elle n'est que de 45V pour une structure non protégée.

Ces différentes mesures ont été effectuées sur une structure d'inverseur CMOS protégée (SIP) en polarisant le drain pour la mesure de BV_{CEO} standard (a) et la source avec recouvrement P^+ pour celle du BV_{CEO} amélioré (b).

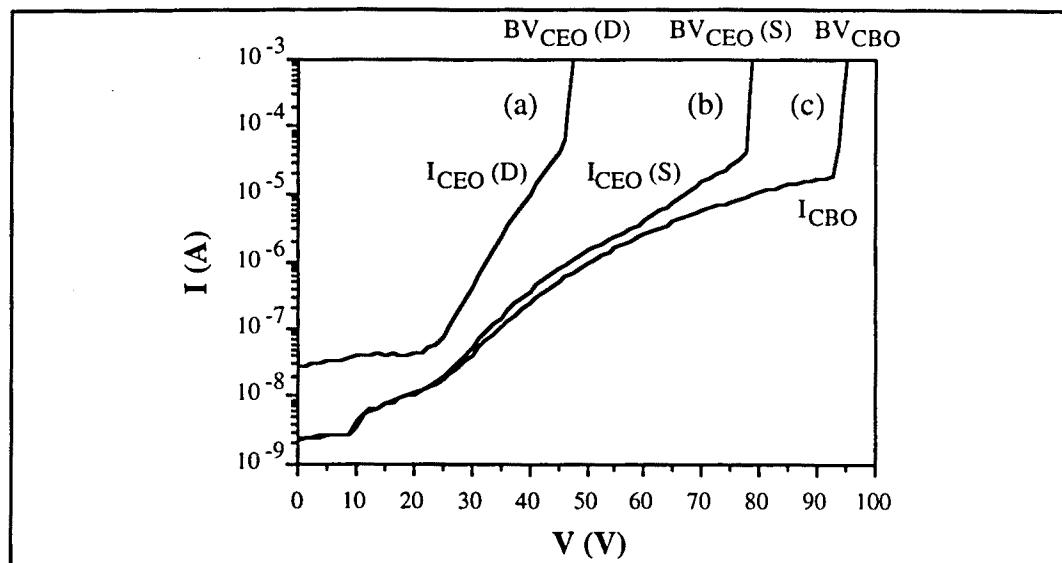


Fig.2.21: (a) et (b) Claquage BV_{CEO} (c) claquage BV_{CBO} .

Un autre résultat important présenté dans cette même figure concerne la valeur du courant I_{CEO} d'une structure verticale de source protégée. Cette valeur est bien plus faible que celle d'une structure verticale de drain et même comparable au courant I_{CBO} .

La valeur du gain des différents bipolaires parasites (SIS, SIPA et SIPB) est représentée sur le tableau suivant en fonction de la largeur de base W_B :

	Q_{VD}	Q_{VS}	Q_{LD}	Q_{LS}
W_B	2.4 μm	2.4 μm	15 μm	70 μm
gain SIS	475	450	2,25	0,7
gain SIPA	455	310	2,2	0,65
gain SIPB	455	310	2,1	0,6

On peut dire en conclusion que le recouvrement P^+ aménagé sur la diffusion de source permet de diminuer le gain du transistor bipolaire vertical parasite et donc de retarder le claquage en base flottante tout en ayant un courant I_{CEO} aussi faible que dans le cas d'un puits attaché à la masse.

c) Structures thyristor parasites

Un inverseur CMOS comporte différentes structures thyristor parasite PNP. Ces structures sont formées par les diffusions: P^+ de source ou drain du transistor PMOS / N^- du substrat épitaxié / P^- du puits / N^+ de source ou drain du transistor NMOS (Fig.2.22). En

fonction des diffusions polarisées, quatre structures thyristors parasites peuvent être définies: T1, T2, T3 et T4. Afin de faciliter l'étude, chaque structure "thyristor" comporte un espacement N^+/P^+ différent, qui a volontairement été rendu aussi faible que possible pour favoriser le déclenchement du latch-up. Cet espacement représente la largeur de base du transistor bipolaire latéral parasite Q_L et sa résistance de collecteur. En changeant cette distance, soit on change son gain, soit on change ses conditions de saturation.

Les structures "thyristor" les plus intéressantes sont T1, puisqu'elle se déclenche en premier, et T4, puisqu'elle se déclenche en dernier et définissent ainsi le déclenchement du phénomène de latch-up dans l'inverseur CMOS.

Le thyristor est une structure interrupteur qui, sous certaines conditions, peut commuter d'un état de haute impédance, ou état bloqué, à un état de basse impédance, ou état passant. Il est caractérisé par deux points dans la courbe $I(V)$: le point d'amorçage (V_S, I_S) et le point de maintien (V_H, I_H), définis au chapitre 1.

Expérimentalement, pour la caractérisation des thyristors, on polarise la diffusion N^+ , soit de source, soit de drain du transistor NMOS, à la masse et on attaque en courant la diffusion P^+ , soit de source, soit de drain du transistor PMOS, avec une source de courant variable. Cela permet d'obtenir la caractéristique $I(V)$ complète du thyristor et d'en tirer les points d'amorçage et de maintien. Les diffusions N^- épitaxié et P^- de puits intermédiaires sont polarisées ou laissées flottantes en fonction du but de l'expérience.

Une première expérience a été réalisée sur une structure d'inverseur standard SIS, pour une configuration où les diffusions intermédiaires ont été laissées flottantes (structure SCR). Une différence entre les caractéristiques $I(V)$ des thyristors T1 et T4 est observée (Fig.2.23). Le point d'amorçage (V_S, I_S) pour la structure T1 qui correspond à (18V, 3,5 μ A) devient (23V, 9 μ A) pour la structure T4. Le point de maintien (V_H, I_H) pour la structure T1 qui correspond à (0,7V, 5,5 μ A) devient (0,8V, 60 μ A) pour la structure T4.

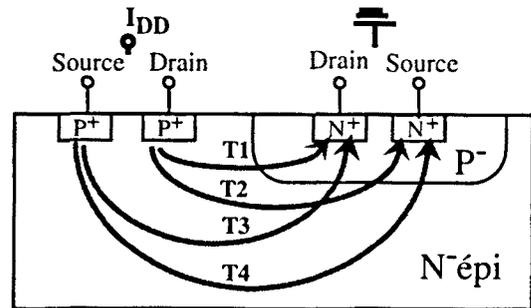


Fig.2.22: Structures thyristor parasites.

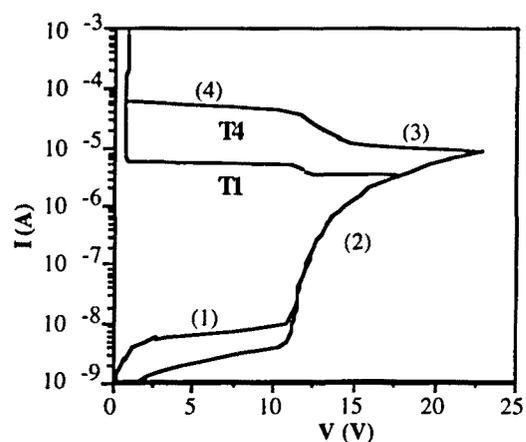


Fig.2.23: Caractéristiques $I(V)$ des structures thyristor T1 et T2.

Les caractéristiques $I(V)$ des thyristors sont représentées en échelle semilogarithmique pour bien faire la différence entre le point d'amorçage et le point de maintien. La première partie de la caractéristique (1) correspond au courant de fuite de la structure à travers la jonction épitaxie N^- / puits P^- , polarisée en inverse, en fonction de la tension appliquée à la diffusion P^+ . La deuxième (2) correspond à la mise en conduction et au bouclage des deux transistors bipolaires parasites Q_V et Q_L . La troisième partie (3) qui correspond au début de la région de résistance négative est observée lorsque le transistor bipolaire parasite Q_V est en voie de saturation. La tension collecteur-émetteur du transistor Q_V diminue donc fortement de même que la tension totale aux bornes de la structure. La quatrième partie (4) de la caractéristique s'observe lorsque le transistor bipolaire parasite Q_L se trouve lui même en voie de saturation ce qui conduit à la mise à l'état passant du thyristor. Une fois que les deux transistors bipolaires parasites sont en saturation, la caractéristique $I(V)$ de la structure correspond à une caractéristique linéaire. La résistance passante de la structure thyristor devient très faible par rapport aux résistances parasites associées.

Dans le paragraphe suivant, différentes expériences ont été faites pour mettre en évidence l'influence des différentes résistances parasites: résistances de contact, résistances de puits et résistances de substrat.

2.2.2.2.- Protection contre le latch-up

Pour assurer une bonne protection d'une structure inverseur CMOS contre le phénomène du latch-up, il faut que cette structure soit isolée d'un point de vue statique et d'un point de vue dynamique.

La solution choisie, permettant de concilier coût et fiabilité du circuit, est une technologie CMOS compatible VDMOS associée à une méthodologie de conception basée sur un concept de puits flottant destinée à améliorer l'auto-blindage.

Différentes structures inverseur protégées ont été dessinées (SIP) pour tester l'amélioration de la protection contre l'établissement du latch-up par rapport aux structures inverseur standard (SIS). Cette protection a été analysée d'un point de vue statique et dynamique.

a) Statique

La protection offerte, d'un point de vue statique par ces structures d'inverseur protégées (SIP) dessinées, est essentiellement due à la diminution du gain du transistor bipolaire vertical parasite de source Q_{VS} et la dégradation du couplage entre les deux transistors Q_V et Q_L . Cette protection provient de l'introduction de la diffusion P^+ profonde qui entoure le transistor NMOS et recouvre légèrement sa diffusion N^+ de source.

Le latch-up, dans une structure CMOS, s'établit au moment où le thyristor parasite T4 commute à l'état passant ou état de basse impédance. Pour cela, la caractérisation du latch-up dans une structure d'inverseur comporte l'étude des points d'amorçage et de maintien du thyristor T4.

Deux structures d'inverseur ont été caractérisées: une structure d'inverseur standard (SIS) et une structure d'inverseur protégée (SIPA) de dimensions identiques à la précédente. La géométrie des différentes structures est bien décrite dans l'annexe 2.

Sur la caractéristique $I(V)$ de la structure d'inverseur protégée SIPA, les points d'amorçage et de maintien sont plus éloignés que dans la structure d'inverseur standard SIS (Fig.2.24). Cela signifie que la structure protégée est beaucoup plus résistante à l'établissement du latch-up. Quantitativement, le courant de maintien I_H augmente de $60 \mu\text{A}$ à 2.5 mA ainsi que la tension d'amorçage V_S augmente de 40V à 75V . Sur la caractéristique $I(V)$ de la structure d'inverseur protégée SIPB, la tension d'amorçage V_S est maintenue autour de 75V , mais par contre le courant de maintien I_H augmente autour de 5mA . Cette différence vient du fait que la résistance équivalente R_W dans ce cas est plus faible du fait de la plus petite distance anneau P+ / drain NMOS.

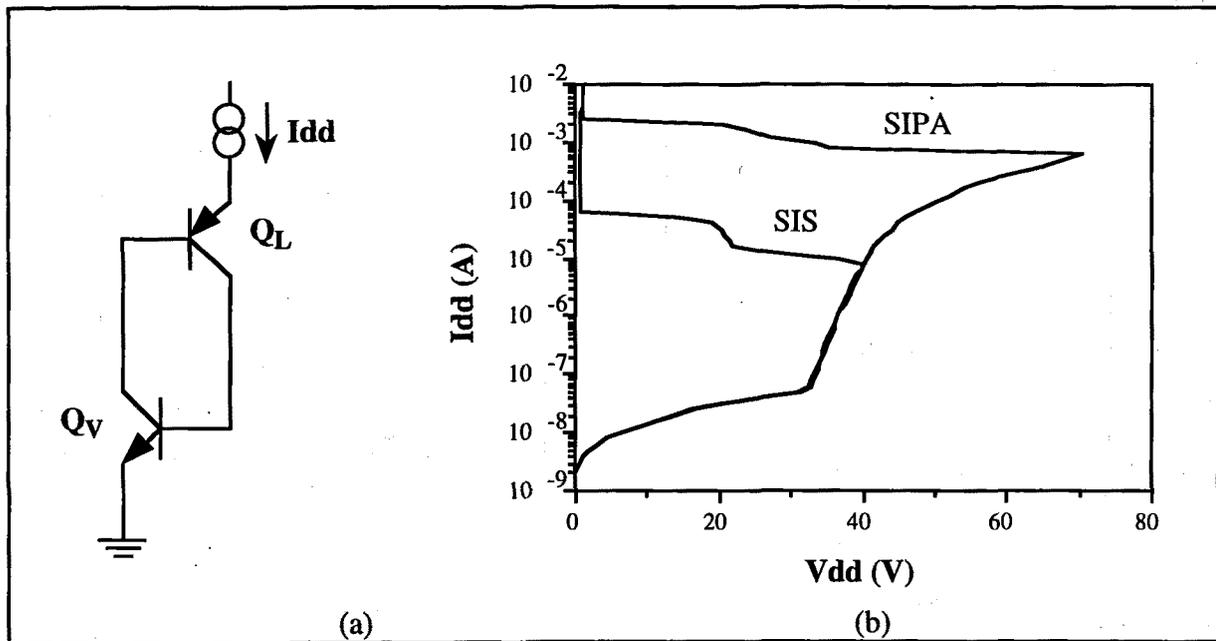


Fig.2.24: Caractéristique statique latch-up: schéma de polarisation (a) et $I(V)$ structure SIPA et SIS (b)

Plusieurs expériences ont été réalisées pour comparer l'évolution du point de maintien (V_H , I_H) avec les résistances de puits R_W et de contact R_{EN} . Ces résistances sont externes et ont été ajoutées à la structure thyristor parasite.

L'influence de la résistance de puits R_W est mise en évidence pour les deux structures SIPA et SIS (Fig.2.25). La valeur minimum de résistance de puits est donnée par la technologie et la valeur maximum est obtenue avec un puits flottant où R_W devient infini. Comme il a été montré au premier chapitre, tension et courant de maintien diminuent lorsque la résistance de puits augmente.

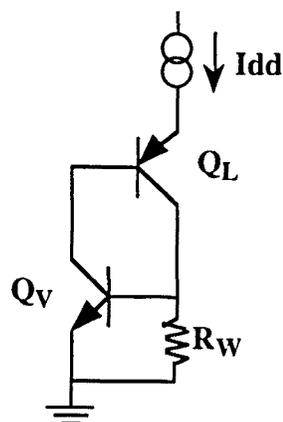


Fig.2.25: Schéma de polarisation structure thyristor en fonction de R_W .

Il est important de noter que, par rapport à la structure SIS, l'augmentation du courant de maintien sur une structure SIPA est d'environ d'une décade et demie sur toute la gamme de résistances de puits utilisées, diminuant à une décade pour de très faibles résistances de puits R_W . La même remarque peut être faite pour la tension de maintien (Fig.2.26).

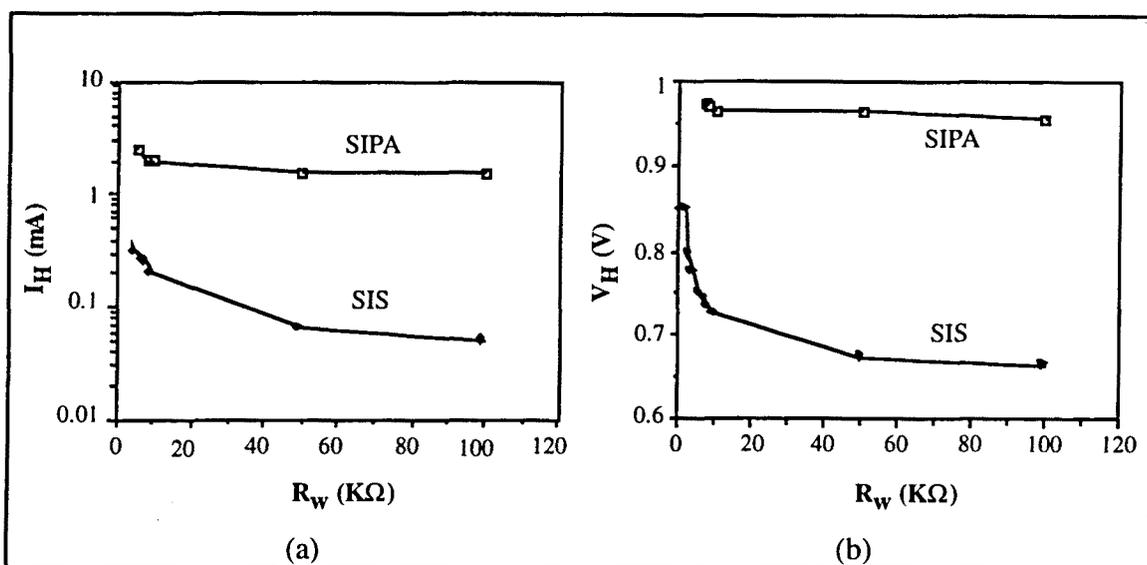


Fig.2.26: Influence de la résistance de puits, R_W , sur le courant de maintien (a) et la tension de maintien (b).

L'influence de la résistance de contact, soit de l'émetteur du transistor Q_V (R_{en}), soit de l'émetteur du transistor Q_L (R_{ep}), est mise en évidence aussi pour les deux structures SIPA et SIS. La valeur minimum de résistance de contact est donnée par la technologie et la valeur maximum est obtenue avec des résistances externes.

L'évolution du courant et tension de maintien I_H et V_H est représentée en fonction de la résistance d'émetteur R_{en} (Fig.2.28). Le schéma de polarisation est représenté sur la figure 2.27. Le même comportement peut être observé pour la résistance d'émetteur R_{ep} .

L'effet des résistances de contact est de retarder la polarisation base-émetteur des transistors bipolaires parasites. Le courant et la tension de maintien, I_H et V_H , augmentent donc avec la résistance de contact.

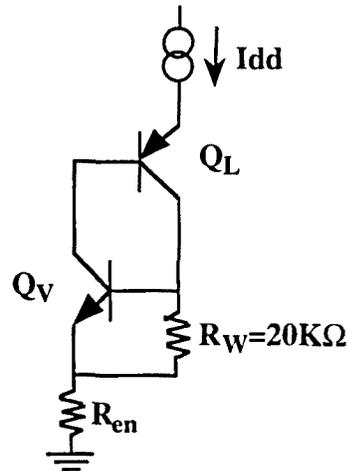


Fig.2.27: Schéma de polarisation structure thyristor en fonction de R_{EN} .

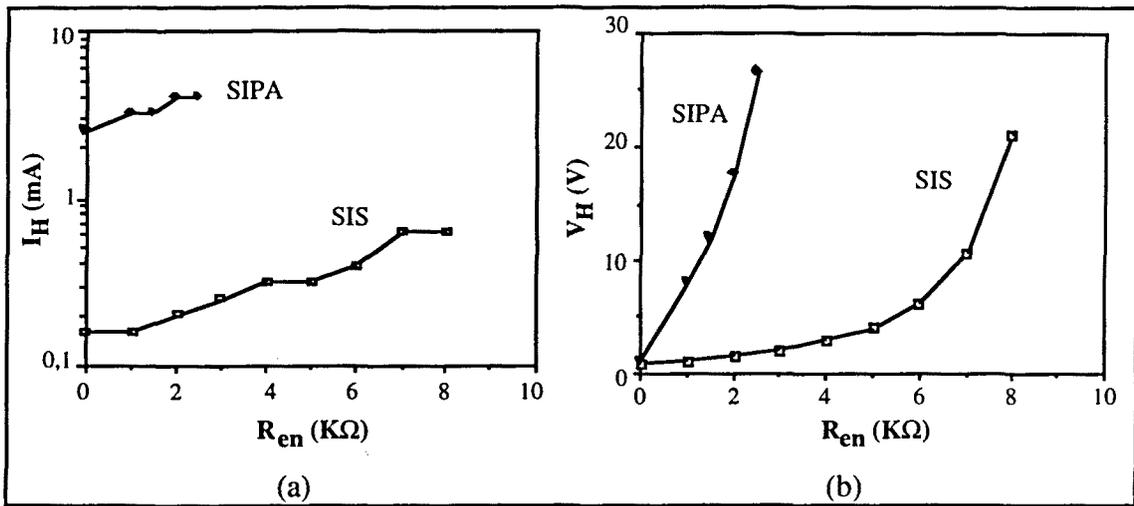


Fig.2.28: Influence de la résistance de contact, R_{en} , sur le courant de maintien (a) et la tension de maintien (b).

b) Dynamique

La protection offerte, d'un point de vue dynamique par ces structures d'inverseur protégées (SIP) dessinées, est due essentiellement à l'introduction du puits P flottant avec une diffusion P^+ profonde qui entoure le transistor NMOS, hébergé dans ce puits, et recouvre légèrement sa diffusion N^+ de source.

Les risques de déclenchement du latch-up peuvent provenir soit d'un transitoire négatif survenant sur le drain d'un transistor NMOS, soit d'un transitoire positif dans le substrat épitaxié lors de la commutation du transistor VDMOS de puissance couplé capacitivement au puits.

Enfin, le cas du déclenchement du latch-up lors de la mise sous tension de l'inverseur CMOS a été également étudié. Les résultats expérimentaux obtenus sont en bonne concordance avec le comportement prédit dans le modèle analytique développé précédemment. Différentes expériences ont été réalisées pour mettre en évidence l'efficacité de la protection en dynamique offerte par une structure d'inverseur basée sur un concept de puits flottant.

1.- Cas d'un transitoire négatif ($dV/dt < 0$)

Le cas d'un transitoire négatif survenant sur le drain d'un transistor NMOS est le plus dangereux et contre lequel, la solution proposée basée sur un concept de puits flottant, offre une bonne protection au déclenchement du latch-up.

En effet, le puits P⁻ de la logique, étant flottant, suit le transitoire en tension avec un retard τ . Ce retard, qui dépend essentiellement de la résistance du puits et de la capacité N⁺/P⁺, définit la polarisation base-émetteur ΔV du transistor bipolaire vertical parasite de drain Q_{VD}. Un transitoire négatif en tension de $-2V/1\mu s$ appliqué sur le drain d'un transistor NMOS de la structure SIPA, entraîne une polarisation base-émetteur du transistor bipolaire parasite Q_{VD} de 0,6V avec un retard de 0,4 μs sur la tension du puits (Fig.2.29).

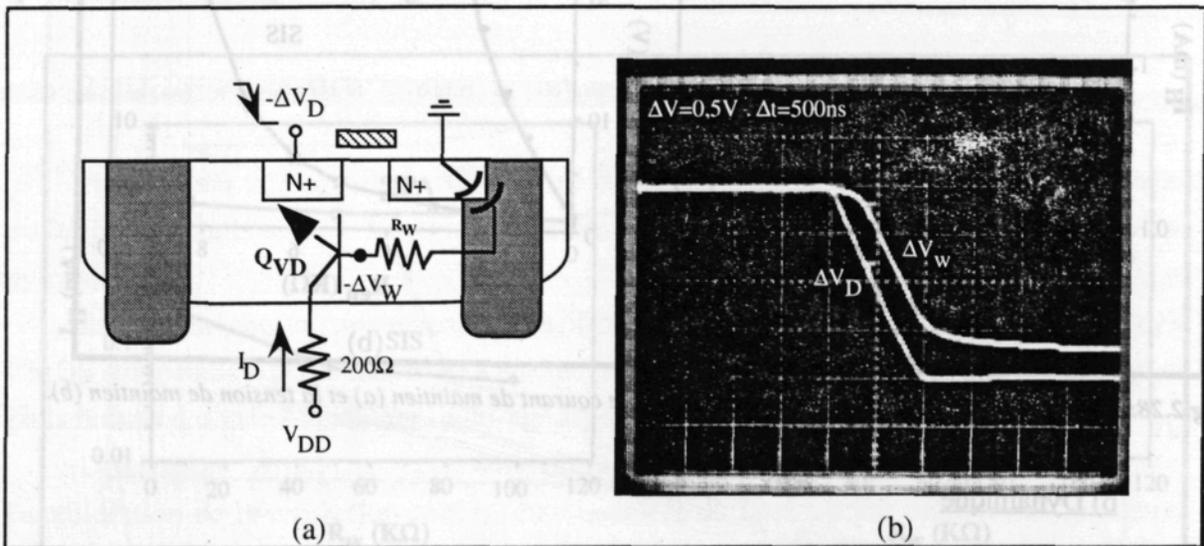


Fig.2.29: Tension du puits P structure SIPA: schéma de polarisation (a) et résultat expérimental (b).

Le transistor Q_{VD} ne peut se déclencher que pendant la durée du transitoire comme le montre le courant de collecteur I_D du transistor Q_{VD} lors de l'application d'un transitoire négatif en tension de $-2V/0,1\mu s$ dans le cas d'une structure SIPA à puits flottant (Fig.2.30). Le courant de collecteur obtenu dans les mêmes conditions, pour une structure SIS dont le puits est à la masse, est aussi représenté.

L'avantage d'utiliser une structure protégée SIPA à puits flottant est évidente. Le risque de déclenchement du latch-up est bien inférieur dans le cas d'une structure SIPA à puits flottant que dans une structure standard SIS où le puits est attaché à la masse. Dans le premier cas le transistor Q_{VD} ne reste allumé que pendant la durée du transitoire, tandis que dans le deuxième cas, il reste allumé pendant tout le temps où la tension de drain est à $-2V$, et si ce temps est supérieur au temps de régénération du latch-up, à l'arrêt de la perturbation, le latch-up restera installé. De plus, la valeur du courant de collecteur dans le cas d'une structure SIS à puits attaché à la masse, est environ 5 fois supérieure à celle du pic de courant dans le cas d'une structure SIPA.

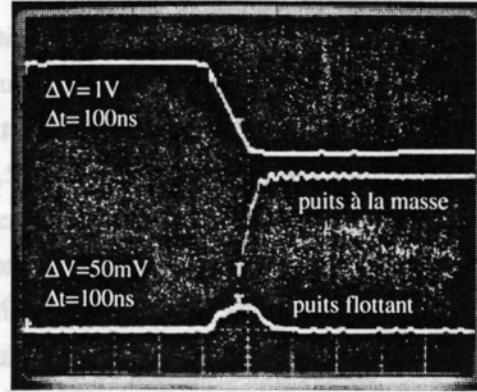


Fig.2.30: Courant collecteur Q_{VD} structures SIPA et SIS.

2.- Cas d'un transitoire positif ($dV/dt > 0$)

Le cas d'un transitoire positif survenant dans le substrat épitaxié produit un courant de déplacement à travers la jonction puits P^- / substrat N^- . Si le puits est attaché à la masse, il peut être facilement évacué, tandis que si le puits est flottant il se traduit par une augmentation de la tension du puits qui peut être atténuée par le pont capacitif formé par les capacités C_1 - C_2 (Fig.2.31a). Cette atténuation correspond à un facteur $C_2/(C_1+C_2)$ et il est donc plus efficace sur une structure SIPA que sur une structure SIS à cause de la valeur de la capacité C_1 .

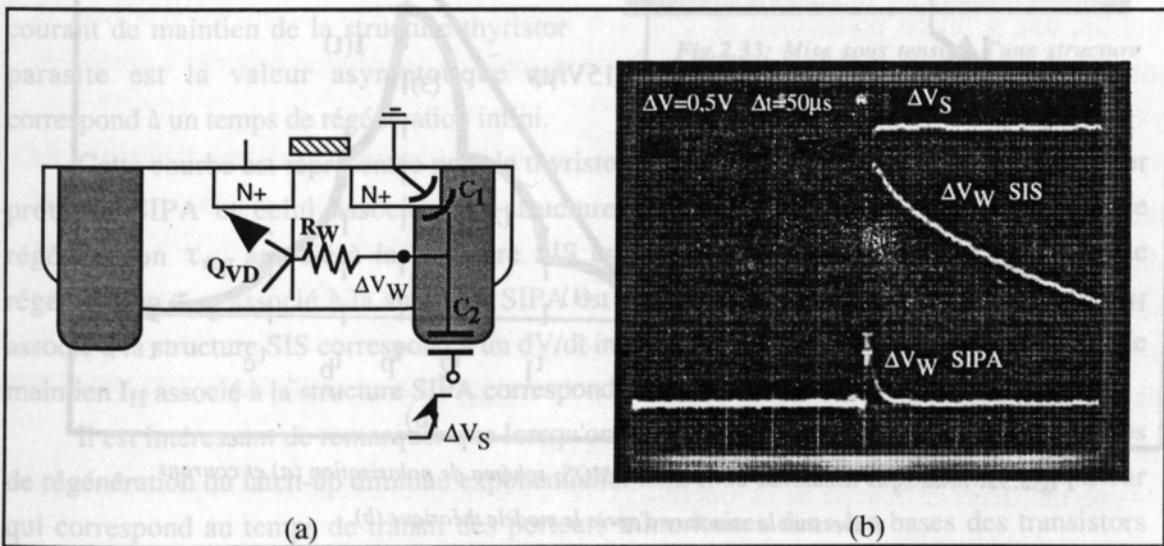


Fig.2.31: Atténuation capacitive: schéma de polarisation (a) et résultat expérimental (b).

Expérimentalement, un transitoire positif de $\Delta V=3V$ appliqué au substrat comporte une atténuation 5 fois plus importante sur une structure SIPA que sur une structure SIS. En effet, la perturbation en tension transmise dans le puits d'une structure SIPA a un pic à 0,5V tandis que dans le puits d'une structure SIS elle est de 2,5V (Fig.2.31b).

En tenant compte des valeurs de surface de jonction et de concentration d'impuretés, on peut déduire les valeurs des capacités, à une tension de polarisation nulle, $C_1=5 \cdot 10^{-3} \text{ pF}/\mu\text{m}^2$ et $C_2=1,7 \cdot 10^{-4} \text{ pF}/\mu\text{m}^2$ pour une structure SIPA et $C_1=2,5 \cdot 10^{-4} \text{ pF}/\mu\text{m}^2$ et $C_2=9 \cdot 10^{-5} \text{ pF}/\mu\text{m}^2$ pour une structure SIS. En tenant compte des surfaces des capacités C_1 et C_2 des structures SIPA et SIS, le facteur d'atténuation $C_2/(C_1+C_2)$ calculé pour la structure SIPA est de 0,2 tandis que pour la structure SIS est de 0,7. Cette estimation simple de la valeur des capacités permet tout de même de se rendre compte de l'efficacité de cette atténuation qui peut être augmentée par la valeur du recouvrement N^+/P^+ .

3.- Mise sous tension de l'inverseur CMOS

Une dernière cause de déclenchement du latch-up étudiée expérimentalement a été la mise sous tension de l'inverseur CMOS, sur laquelle est basé le modèle dynamique développé au chapitre 1. En effet, l'application de la tension d'alimentation sous la forme d'une rampe rapide, peut mettre en conduction les transistors bipolaires parasites, Q_V et Q_L , et déclencher le phénomène du latch-up [II.24].

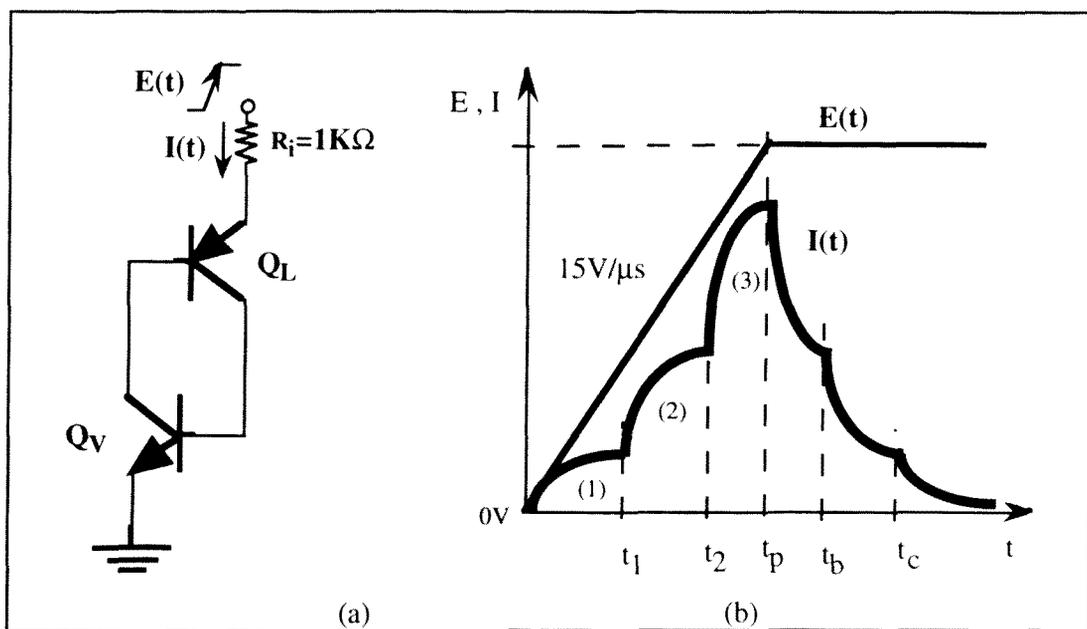


Fig.2.32: Mise sous tension de l'inverseur CMOS: schéma de polarisation (a) et courant traversant la structure d'après le modèle théorique (b).

Expérimentalement, le déclenchement du latch-up a été mesuré pendant la mise sous tension soit de l'inverseur SIPA, soit de l'inverseur SIS. La polarisation des structures correspond à celle du modèle théorique avec une résistance d'accès R_i de $1\text{K}\Omega$ (Fig.2.32a).

Le courant traversant la structure (Fig.2.32b) correspond au début, à un courant de déplacement (1), puis mise en conduction du premier transistor bipolaire parasite Q_V (2) et mise en conduction du deuxième transistor bipolaire parasite Q_L (3). A la limite de déclenchement du latch-up, le courant diminue vers zéro à la fin du transitoire.

Le temps de régénération du latch-up τ_{reg} a été mesuré sur une structure SIPA et une structure SIS à la mise sous tension avec une rampe de $15\text{V}/\mu\text{s}$ (Fig.2.33). Sur une structure d'inverseur standard SIS, le latch-up s'établit autour de 40ns après la mise sous tension. Par contre, sur une structure d'inverseur protégée SIPA, le latch-up ne s'est pas établi 400ns après, ce qui signifie que le transitoire n'induit pas un courant de déplacement suffisant pour polariser le transistor parasite. Ce temps de régénération τ_{reg} dépend essentiellement du temps de transit des porteurs minoritaires dans les bases des transistors bipolaires parasites Q_V et Q_L [II.21] [II.25]. Dans notre cas, les largeurs de ces bases sont de $15\mu\text{m}$ pour Q_L et $2,5\mu\text{m}$ pour Q_V .

Ce temps de régénération du latch-up τ_{reg} a été mesuré aussi pour différentes rampes de tension (dV/dt). La courbe vitesse du transitoire - temps de régénération τ_{reg} est donnée à la Fig.2.34 pour les deux structures SIS et SIPA. Le temps de régénération du latch-up de la structure thyristor parasite τ_{reg} est la valeur asymptotique qui correspond à une vitesse du transitoire en dV/dt infinie. Le courant de maintien de la structure thyristor parasite est la valeur asymptotique qui correspond à un temps de régénération infini.

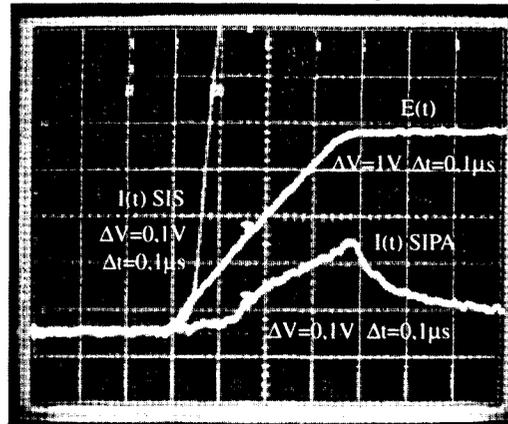


Fig.2.33: Mise sous tension d'une structure SIS et SIPA

Cette courbe est représentée pour le thyristor parasite associée à la structure d'inverseur protégée SIPA et celui associé à la structure standard SIS (Fig.2.34a). Le temps de régénération τ_{reg} associé à la structure SIS est d'environ 10ns , tandis que le temps de régénération τ_{reg} associé à la structure SIPA est d'environ 20ns . Le courant de maintien I_H associé à la structure SIS correspond à un dV/dt inférieur à $6,25\text{V}/\mu\text{s}$, tandis que le courant de maintien I_H associé à la structure SIPA correspond à un dV/dt inférieur à $23\text{V}/\mu\text{s}$ (Fig.2.34c).

Il est intéressant de remarquer que lorsqu'on augmente la vitesse du transitoire, le temps de régénération du latch-up diminue exponentiellement. Il se stabilise cependant à une valeur qui correspond au temps de transit des porteurs minoritaires dans les bases des transistors bipolaires parasites Q_V et Q_L , que nous prenons comme temps de régénération de la structure.

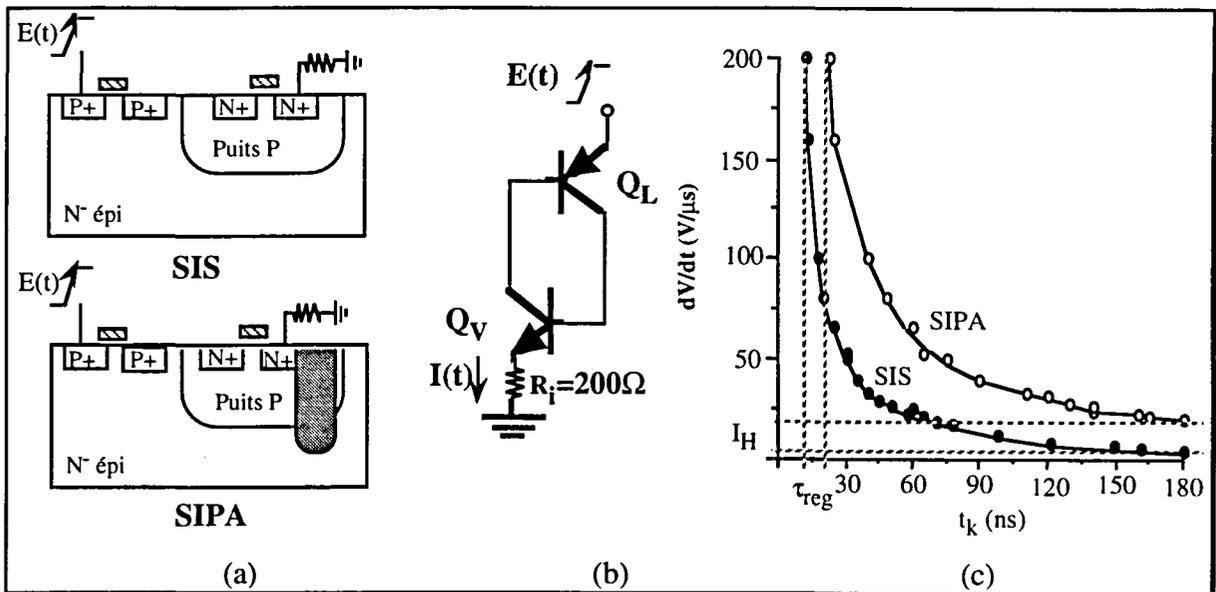


Fig.2.34: Mise sous tension: Coupes structures SIS et SIPA (a), schéma de polarisation (b) et τ_{reg} expérimentaux (c).

La région libre de latch-up correspond à la zone au dessus de chaque courbe. L'avantage d'une structure d'inverseur protégé SIPA est donc bien mis en évidence par rapport à une structure standard SIS.

Conclusion

Dans ce chapitre nous avons analysé les différentes techniques d'isolation logique - puissance dans le cadre d'une technologie de puissance intelligente. Dans l'environnement automobile, une solution permettant de concilier coût et fiabilité du circuit est d'utiliser la technologie la moins coûteuse associée à une méthodologie de conception destinée à améliorer l'auto-blindage.

Pour cela, une technologie de puissance intelligente est proposée où l'élément de puissance monointerrupteur VDMOS en configuration haute est associée à une logique CMOS auto-isolée à puits flottant. Le concept de puits flottant, moyennant un certain nombre de précautions et compromis, protège efficacement la logique contre l'établissement du latch-up tout en conservant de bonnes caractéristiques de transistors MOS.

Un véhicule test a été réalisé au LAAS afin de valider cette méthodologie. Les résultats expérimentaux montrent sur une structure protégée SIP:

- une meilleure efficacité de la jonction N⁺/P⁺, par rapport à celle N⁺/P⁻, pour absorber des courants dans le puits P⁻.
- une dégradation du gain du transistor bipolaire vertical parasite de source Q_VS sur une structure protégée SIP.

- l'obtention de tensions de claquage BV_{CEO} proches de BV_{CBO} et des courants de fuite I_{CEO} faibles.

- l'augmentation du courant de maintien et de la tension d'amorçage dans les caractéristiques statiques du latch-up.

- une bonne atténuation d'un transitoire en tension positif survenant dans le substrat.

- une bonne protection contre des transitoires en tension négatifs couplés au drain des transistors NMOS.

- une région libre de latch-up supérieure dans le cas de la mise sous tension de l'inverseur CMOS

On a donc bien montré et validé expérimentalement l'intérêt de cette méthodologie de conception basée sur un concept de puits flottant dans le cadre d'une technologie de puissance intelligente pour des applications basse tension ($\leq 100V$) et faible coût.

Bibliographie Chapitre II

- [II.1] Ingénieur de l'automobile, numéro spécial, juin 1986, pp.91-108.
- [II.2] C.CONTERO, P.GALBIATI et A.ANDREINI. European Patent Application, 0267882, date de publication 18.05.88.
- [II.3] R.ZEMBRANO, "Isolation Technique in Power IC's with Vertical Current Flow" ESSDERC, 1987, pp. 653-656.
- [II.4] A.NAKAGAWA, "Impact of the Dielectric Isolation Technology on Power ICs" Proceedings of the 3rd ISPSD, Baltimore USA, April 22-24, pp.16-21, 1991.
- [II.5] L.JASTRZEBSKI, "Silicon on Insulators: Different Approaches - A review", Journal of Crystal Growth 70 (1984), pp. 253-270.
- [II.6] K.IZUMI; "Historical Review of SIMOX", Vacuum, vol.42,numbers 5/6, pp. 333-340, 1991. Special issue First SIMOX Workshop, SWI-88 Meeting, 7-8 novembre 1988, University of Surrey, UK.
- [II.7] S.KONAKA et al.; "A New Silicon-on)Insulator Structure Using a Silicon Molecular Beam Epitaxial Growth on Porous Silicon", Appl. Phys. Letters, 41(1), 1 Juillet 1982, pp.86-88.
- [II.8] D.ROBINSON et al.; "Large Area Recrystallization of Polysilicon with Tungsten-Halogen Lamps", Journal of Crystal Growth 63, 1983, pp. 484-492.
- [II.9] G.SHAIDI, B.DAVARI, Y.TAUR, J.WARNOCK, M.R.WORDEMAN, P.MCFARLAND, S.MADER, M.RODRIGUEZ, R.ASSENZA, G.BRONNER, B.GINSBERG, T.LII, M.POLCARI et T.H.NING, "Fabrication of CMOS on Ultrathin SOI Obtained by Epitaxial Lateral Overgrowth and Chemical-Mecanical Polishing", IEDM Tech. Digest, 1990.
- [II.10] J.HAISMA et al., "Silicon-on-Insulator Wafer Bonding - Wafer Thinning Technological Evaluations", Jap. Journal of Applied Physics, vol. 28,n° 8, August 1989, pp. 1426-1443.
- [II.11] V.MACARY, "Filière Technologique de Puissance Intelligente Haute Tension à Isolation Diélectrique Basée sur la Soudure Directe sur Silicium" Thèse n°217 de l'INSA de Toulouse, 17 Décembre 1992.

[II.12] AZZOUZ NEZAR, "Composants LDMOS pour Circuits Intégrés Haute Tension", Thèse de l'Université Paul Sabatier. Juin 89.

[II.13] M.A.BOUANANE, "Conception et Optimisation des Composants DMOS Latéraux Haute Tension en Technologie Resurf", Thèse UPS, Décembre 1992.

[II.14] E.THIBODEAUX, "Getting the most of CMOS Devices for Analog Switching Jobs"; Electronics, Décembre 1975, pp. 69-74.

[II.15] A. ELMOZNINE, J. BUXO, M. BAFLEUR and P. ROSSEL; "The Smart Power High-Side Switch: Description of a Specific Technology, its Basic Devices and Monitoring Circuitries"; IEEE TRANSACTIONS ON ELECTRON DEVICES, vol.37, n°4, April 1990.

[II.16] M. PUIG VIDAL, M. BAFLEUR, G. SARRABAYROUSE et J. BUXO; "Véhicule de test LATCH. Solutions de conception destinées à améliorer l'immunité au LATCH-UP d'une circuiterie CMOS de contrôle d'un interrupteur de puissance DMOS"; Rapport LAAS n° 92119. Mars 1992.

[II.17] M. PUIG VIDAL, M. BAFLEUR, J. BUXO and G. SARRABAYROUSE; "Floating Well Based Design Methodology Aimed to Improve Latch-up Immunity in a Smart Power Technology"; ESSDERC Conference, Leuven (Belgique), 1992.

[II.18] A.MUÑOZ YAGÜE, "Contribution à l'étude du comportement physique des dispositifs semiconducteurs PIN et PNP", Thèse de l'Université Paul Sabatier de Toulouse, 1977.

[II.19] R.N.HALL, "", Proc. of the IEE, vol. 106B, p.923, 1959.

[II.20] N.G.NILSSON, "", Solid State Electronics, vol. 16, pp.681, 1973.

[II.21] ROBERT D. RUNG, HIROSHI MOMOSE: "DC Holding and Dynamic Triggering Characteristics of Bulk CMOS Latch-up" IEEE Transactions on Electron Devices, vol. ED-30, n° 12, December 1983.

[II.22] M. PUIG VIDAL, M. BAFLEUR, G. SARRABAYROUSE F. ROSSEL, C. SOLANO et J. BUXO; "Filière Technologique CMOS Grille Aluminium Compatible DMOS"; Rapport LAAS n° 92323. Juillet 1992.

[II.23] G.A.ARMSTRONG, J.R.DAVIS et A.DOYLE "Characterization of Bipolar Snapback and Breakdown Voltage in Thin-Film SOI Transistor by Two-Dimensional Simulation" IEEE Transactions on Electron Devices, vol. 38, pp. 328, 1991.

[II.24] W.RECZEK et al. "Latch-up free VLSI CMOS Circuits Considering Power-on Transients" Journal de Physique,C4, n°9, T49, Septembre 1988.

[II.25] A.G.LEWIS et al. "Latch-up Performance of Retrograde and Conventional n-Well CMOS Technologies", IEEE Transactions on Electron Devices, vol.ED-34, n°10, October 1987.

Chapitre III

**Performances d'une Technologie CMOS à Puits
Flottant et Méthodologie de Conception.**

Introduction

L'objectif poursuivi dans ce troisième chapitre est d'une part de montrer à l'aide des mesures expérimentales les bonnes performances d'une technologie CMOS à puits P flottant convenablement protégée, et d'autre part de proposer une méthodologie de conception de cette même technologie CMOS.

En effet, classiquement en vue de la protection d'une technologie CMOS contre le phénomène du latch-up en statique, un puits P ou N est diffusé et attaché à la masse ou à la tension d'alimentation V_{DD} . Différents avantages au niveau de la forte tenue en tension et des faibles courants de fuites sont ainsi obtenus. Les caractéristiques des transistors NMOS ou PMOS sont optimales dans le cas d'un puits attaché à la tension de source.

Cependant, d'un point de vue dynamique, différents problèmes apparaissent. Les structures thyristors parasites inhérentes à l'inverseur CMOS sont susceptibles de se déclencher. Une protection dynamique efficace de la partie petit signal CMOS dans une application de puissance intelligente doit être envisagée car elle est soumise à d'importantes et fréquentes perturbations, conséquence des commutations rapides de l'élément de puissance intégré dans le même substrat.

La solution de conception proposée, non seulement a été conçue pour améliorer la protection contre le latch-up en dynamique, mais aussi en statique tout en gardant de bonnes caractéristiques de transistors MOS.

3.1.- Performances de la technologie CMOS à puits flottant.

En effet, les éléments rajoutés pour protéger cette circuiterie CMOS contre le phénomène du latch-up ont pour risque d'en dégrader les performances électriques. L'effet de laisser la tension du puits P flottante dégrade considérablement les caractéristiques électriques des transistors MOS qui y sont hébergés. Il est important donc, que l'ensemble des protections proposées soient efficaces non seulement contre l'établissement du latch-up mais aussi continuent à préserver les performances des transistors MOS.

Les transistors NMOS, hébergés dans le puits P, devront donc fonctionner sur un substrat flottant. Cependant, la solution proposée, consistant essentiellement en l'implantation d'un anneau P^+ profond entourant les transistors NMOS avec un léger recouvrement de la diffusion N^+ de source, assure une polarisation du puits proche de celle de la tension de source. Elle permet, comme on le verra expérimentalement, de se prémunir contre les effets bien connus d'un substrat flottant sur les performances des transistors MOS.

3.1.1.- Effets d'un substrat flottant dans les transistors MOS.

La solution que nous préconisons, requiert que le potentiel du puits soit flottant. Ceci pose, en premier, le problème de la tenue en tension du transistor bipolaire vertical associé Q_V . En effet, dans ce cas, la tension de claquage est alors BV_{CEO} , c'est-à-dire plus faible que BV_{CBO} pour un puits attaché à la masse. Nous avons vu que pour résoudre ce handicap, un anneau P^+ profond autour du transistor NMOS recouvrant légèrement la diffusion N^+ de source, permet de casser suffisamment le gain du bipolaire parasite Q_V de façon à ce que BV_{CEO} soit proche de BV_{CBO} .

Cependant, d'autres problèmes apparaissent dans le bon fonctionnement du transistor NMOS à substrat flottant. Ces problèmes sont, essentiellement, l'effet "kink" et l'effet bipolaire. Tous ces effets qui dégradent le bon fonctionnement du transistor NMOS, sont aggravés par l'augmentation de la température.

a) Effet "Kink"

Les transistors MOS à substrat flottant sont beaucoup plus sensibles à des perturbations extérieures. Différentes fluctuations en tension peuvent être transmises au puits et changer sa polarisation.

La tension de seuil d'un transistor NMOS est donnée par l'expression:

$$V_{TN} = V_{FB} + 2\psi_F - \frac{\sqrt{2\varepsilon_s q N_B (2\psi_F + V_{BS})}}{C_{OX}} \quad (1)$$

avec:

V_{FB} : Tension de bande plate

ψ_F : Différence de tension entre le niveau de Fermi et le centre de la bande interdite.

ε_s : Permittivité du silicium.

N_B : Concentration du substrat.

V_{BS} : Tension appliquée au substrat référencée à la source.

C_{OX} : Capacité d'oxyde de grille par unité de surface.

La tension de seuil V_{TN} diminue lorsque la tension de puits P augmente et au contraire augmente lorsque la tension de puits P diminue. Le courant de saturation du transistor va donc varier en fonction de la tension de seuil.

En effet, les transistors MOS à substrat flottant présentent, à partir d'une certaine valeur de tension de drain, une augmentation du courant de saturation. Ce phénomène, appelé effet "Kink" [III.81], a pour origine l'augmentation de la tension du substrat lors de l'accumulation

de porteurs majoritaires sous la région de canal. L'origine de cette accumulation de porteurs est multiple et fonction de la géométrie de la structure, c'est-à-dire de la longueur du canal.

La première contribution est le courant inverse I_S de la jonction drain/substrat polarisée en inverse pendant le fonctionnement du transistor. Des porteurs majoritaires vont s'accumuler sous la région de canal. La tension du substrat augmente alors et la tension de seuil V_{TN} diminue. En conséquence, le courant I_{DS} à travers le canal augmente.

La réduction des dimensions dans les technologies SOI induit l'apparition d'une autre contribution. Il s'agit des courants d'ionisation par impact (Fig.3.1). Il s'agit d'un courant de claquage par avalanche de la jonction drain-substrat, où le champ électrique E est maximum [III.82]. En effet, lorsque le transistor est polarisé près du pincement, le champ électrique latéral, dans la région du canal près du drain, peut être suffisamment élevé pour générer des paires électron-trou par ionisation par impact et entraîner le claquage par avalanche de la jonction drain-substrat. Ce champ est d'autant plus élevé que la longueur de canal diminue. Les électrons sont collectés au drain, tandis que les trous sont balayés vers le substrat (puits P). Ces porteurs sont accumulés dans la région sous le canal entraînant l'augmentation de la tension de substrat et par conséquence la réduction de la tension de seuil du transistor.

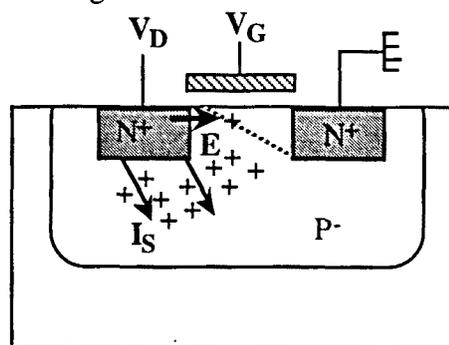


Fig.3.1: Effet "Kink": courant inverse de jonction drain-substrat et ionisation par impact.

Les effets de la réduction des dimensions sont essentiellement dus à la forte valeur du champ électrique présent dans le canal du transistor. Le champ est maximum au bord du drain, où apparaît la génération par impact. Différentes méthodes existent pour diminuer sa valeur, mais la plus employée est la technique LDD (Light Drain Doped), c'est-à-dire de drains faiblement dopés [III.83], qui introduit une zone N faiblement dopée de façon à ce que la jonction devienne plus graduelle (N^+-N-P).

b) Effet bipolaire

Le phénomène d'activation du bipolaire parasite source-substrat-drain, appelé "Snapback" (Fig.3.2), apparaît pour des tensions de drain supérieures [III.84]. Lorsqu'on augmente la tension drain-source, le courant de trous injecté dans le substrat (puits P), soit par génération par impact soit par courant inverse de jonction, devient plus important. A une certaine tension V_{DS} , la grille perd partiellement son contrôle sur les électrons injectés. Une partie est injectée vers le drain tandis qu'une autre, dans la mesure où les électrons ont une durée de vie moyenne suffisamment grande, peuvent l'atteindre par diffusion. Le courant de trous injecté dans le puits P devient alors le courant de base d'un transistor bipolaire source N^+ (émetteur) - puits P (base)

L'annexe 3 présente une description détaillée des structures MOS avec leurs dimensions et leur topologie.

La tension de seuil obtenue pour les transistors NMOS est autour de 1,2V et pour les transistors PMOS est autour de -2,7V. Ces valeurs sont obtenues dans un procédé n'ayant aucune étape d'implantation d'ajustement de seuil. Les caractéristiques $I_{DS}(V_{DS})$ de ces transistors sont présentées à la figure 3.3. Toutes les mesures qui suivront auront des transistors de caractéristiques similaires.

a) Caractéristiques I(V) du transistor NMOS à puits flottant

Etant donné que dans la structure SIP que nous proposons, le potentiel du puits doit être laissé flottant, on s'est intéressé au comportement du transistor NMOS à substrat flottant. Dans un substrat flottant, différents phénomènes, qui perturbent le bon fonctionnement du transistor NMOS, apparaissent du fait de l'accumulation de charges dans ce substrat qui ne peuvent pas être évacuées. Se prémunir contre ces anomalies constitue un des grands défis des technologies de haute intégration SOI [III.86]. Il s'agit de l'effet "kink", l'effet bipolaire et l'effet de la température dont nous avons déjà discuté au paragraphe précédent. Si on tient compte des dimensions des structures transistors dessinés, c'est l'effet "kink" qui devient dominant et gênant pour le fonctionnement du transistor. Cet effet va être intensifié avec l'augmentation de la température.

Différentes expériences ont été réalisées pour mettre en évidence la protection contre l'apparition de l'effet "kink" d'une structure d'inverseur protégée (SIP) par rapport à une structure d'inverseur standard (SIS). La géométrie des différentes structures est détaillée dans l'annexe 3. Les caractéristiques du courant I_{DS} en fonction de la tension V_{DS} de deux structures de dimensions identiques, la première standard (SIS) et la deuxième protégée (SIPA), ont été comparées (Fig.3.4).

Dans le cas où le puits P est attaché à la masse, le courant de saturation est constant, tandis que dans le cas où le puits est laissé flottant, l'apparition de l'effet "kink" provoque une forte augmentation du courant de saturation. Cette augmentation se produit à de très faibles valeurs (<1V) de tension drain-source V_{DS} pour une structure d'inverseur standard SIS (Fig.3.4a) et à des valeurs de tension V_{DS} bien supérieures (>4V) pour une structure d'inverseur protégé SIPA (Fig.3.4b). La raison en est que la structure standard SIS, contrairement à la structure protégée SIPA, ne peut pas évacuer les trous injectés à travers la jonction de drain N^+ -puits P^- montrant bien que la jonction N^+/P^+ est bien plus efficace pour évacuer ces courants parasites.

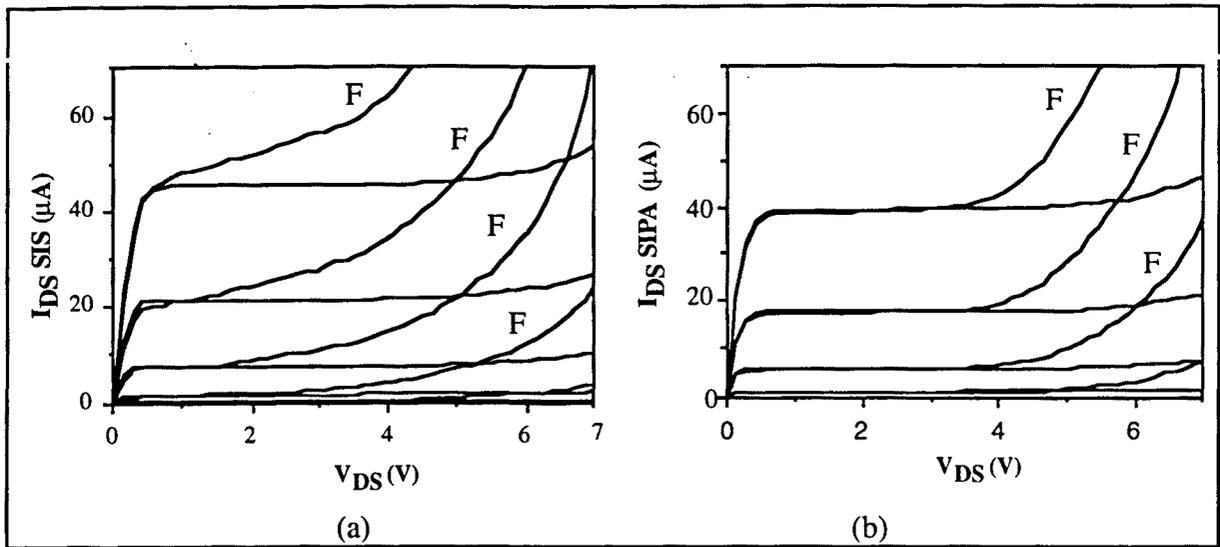


Fig.3.4: Caractéristiques $I_{DS}(V_{DS})$ des transistors NMOS des structures SIS (a) et SIPA (b) à substrat flottant (F) et à substrat relié à la masse. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 7V. Les valeurs de la tension de grille sont 0,5 - 0,8 - 1,1 et 1,4V.

Une deuxième expérience montre que la protection contre l'apparition de l'effet "kink" est plus efficace lorsque l'anneau P^+ profond est plus près de la diffusion de drain. Deux structures d'inverseur protégé SIPA et SIPB ont été comparées (Fig.3.5). Les structures sont toutes deux entourées d'un anneau P^+ profond, la seule différence étant la distance (D) qui est de $55\mu m$ pour SIPA et de $25\mu m$ pour SIPB.

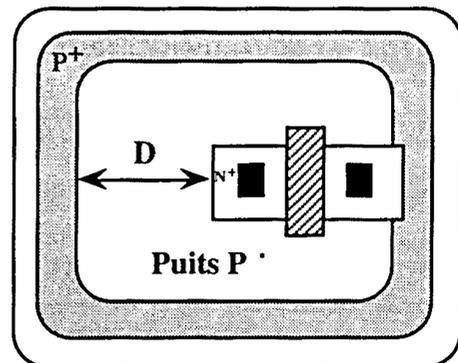


Fig.3.5: Topologie structures SIPA et SIPB.

Les caractéristiques du courant I_{DS} en fonction de la tension V_{DS} des structures protégées SIPA et SIPB sont données en Fig.3.6. L'apparition de l'effet "kink" pour une structure SIPB est retardée vers des valeurs de V_{DS} plus élevées (5V au lieu de 4V) du fait de l'amélioration de l'efficacité de collection de l'anneau P^+ profond.

En conclusion, l'apparition de l'effet "kink" peut être limitée et rejetée vers des valeurs élevées de V_{DS} en jouant sur les règles de dessin de l'anneau P^+ : distance D à la diffusion de drain. Un effet similaire pourrait être obtenu en jouant sur la valeur du recouvrement N^+ / P^+ permettant donc de faire fonctionner normalement une logique CMOS à puits flottant sous une tension d'alimentation de l'ordre de 5V.

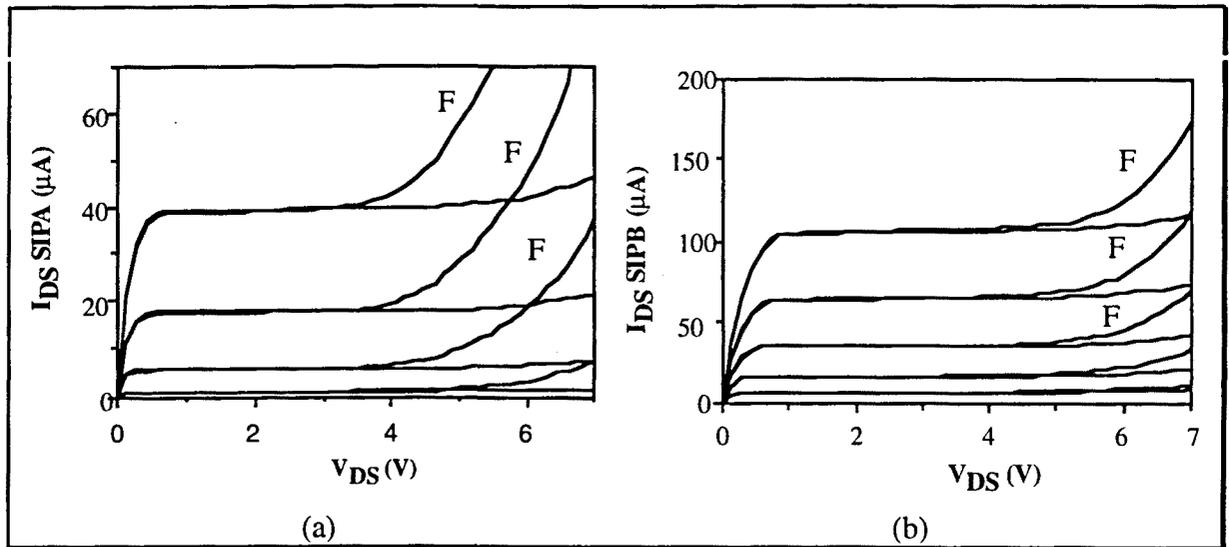


Fig.3.6: Caractéristiques $I_{DS}(V_{DS})$ des transistors NMOS des structures SIPA (a) et SIPB (b) à substrat flottant (F) et à substrat relié à la masse. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 7V. Les valeurs de la tension de grille sont 0,5 - 0,8 - 1,1 et 1,4V pour la structure SIPA et 0,5 - 0,8 - 1,1 - 1,4 et 1,7V pour la structure SIPB.

b) Effet de la température

Une expérience réalisée avec une structure d'inverseur standard (SIS) met en évidence l'effet de la température sur le courant I_{CEO} et la tension de claquage BV_{CEO} du transistor bipolaire vertical parasite associé au drain du transistor NMOS (Fig.3.7).

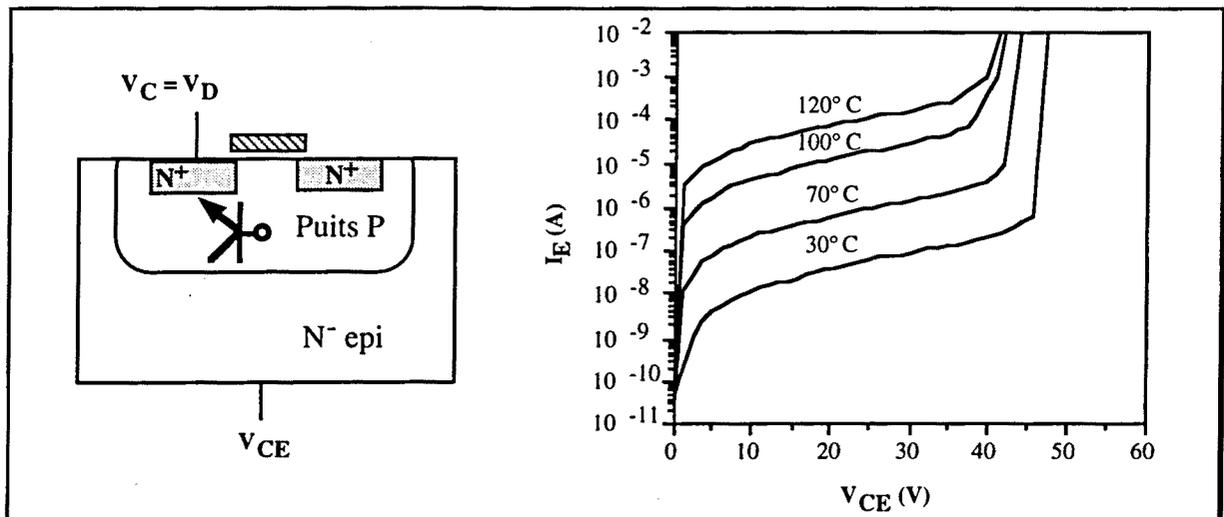


Fig.3.7: Influence de la température sur I_{CEO} et BV_{CEO} .

Lorsqu'on augmente la température, le courant de fuite I_{CEO} augmente environ de trois décades entre 30°C et 120°C, tandis que la tension de claquage BV_{CEO} diminue légèrement de

47V à 42V. L'augmentation du courant de fuites I_{CEO} signifie une augmentation du nombre de trous injectés dans le puits P à travers la jonction drain N^+ / puits P^- . Se protéger contre l'effet "kink" signifie donc s'assurer que les protections proposées permettent d'évacuer efficacement ce courant supplémentaire généré thermiquement.

Différentes expériences en fonction de la température ont été réalisées avec une structure d'inverseur standard (SIS) et une structure d'inverseur protégé (SIPA) de dimensions identiques. Les caractéristiques du courant I_{DS} en fonction de la tension V_{DS} à deux températures différentes (30 et 150°C) et avec substrat relié à la masse et flottant, ont été comparées (Fig.3.8). On remarque sur les caractéristiques I-V de la structure SIS (Fig.3.8a), que l'effet "kink" apparaît dès le début de la région de saturation et devient beaucoup plus importante avec la température, surtout à partir de 100°C. Par contre, sur les caractéristiques I-V de la structure SIPA (Fig.3.8b), l'effet "kink" est retardé jusqu'aux valeurs de tension V_{DS} de 6-7V, et ce qui est encore plus important, cet effet n'augmente pas beaucoup avec la température. Ce résultat montre donc l'efficacité de l'anneau P^+ profond dans la collection des porteurs injectés dans le puits P.

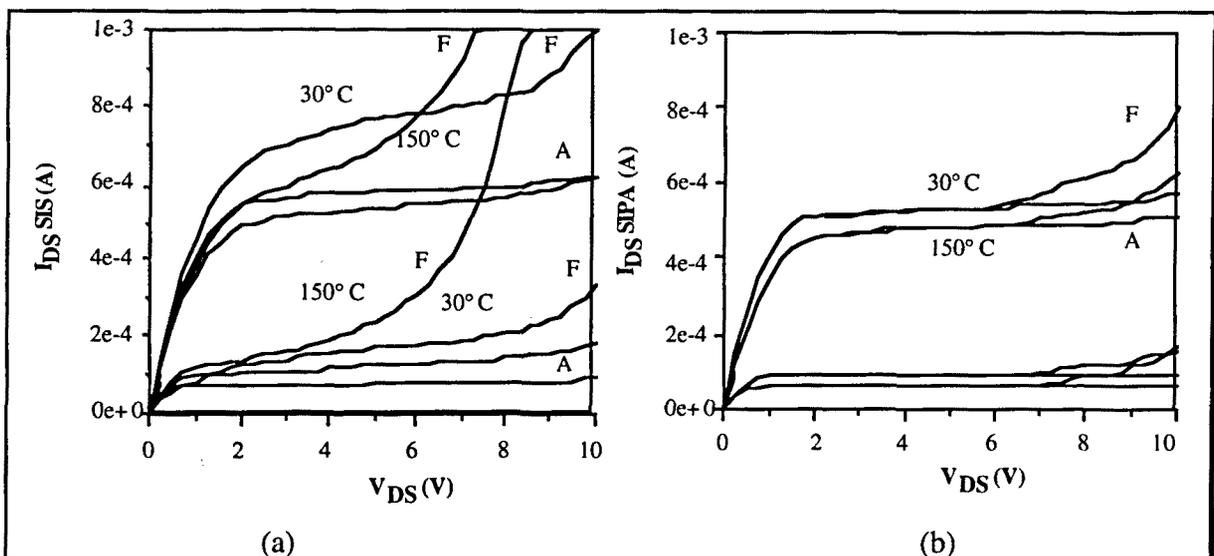


Fig.3.8: $I_{DS}(V_{DS})$ NMOS structure SIS (a) et SIPA (b) à substrat flottant (F) et à substrat relié à la masse (A). Influence de la température. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 10V. Les valeurs de la tension de grille sont 2 et 4V pour les deux structures.

Lorsqu'on augmente la température, la tension de seuil diminue ainsi que la mobilité. Si le puits est laissé flottant, dans le cas de la structure d'inverseur standard SIS, l'augmentation du courant I_{DS} par effet "kink" en fonction de la température est supérieure à sa diminution par effet de la diminution de la mobilité. Tandis que dans le cas de la structure d'inverseur protégé

SIPA, on peut constater une diminution du courant I_{DS} dans toute la gamme de tensions de polarisation V_{DS} .

Les caractéristiques du courant I_{DS} en fonction de la tension V_{DS} des structures protégées SIPA (Fig.3.9a) et SIPB (Fig.3.9b), pour deux températures différentes (30 et 150°C), ont été également comparées. L'apparition de l'effet "kink" pour une structure SIPB est retardée par rapport à la SIPA du fait de l'amélioration de l'efficacité de collection de l'anneau P⁺ profond (chemin moins résistif).

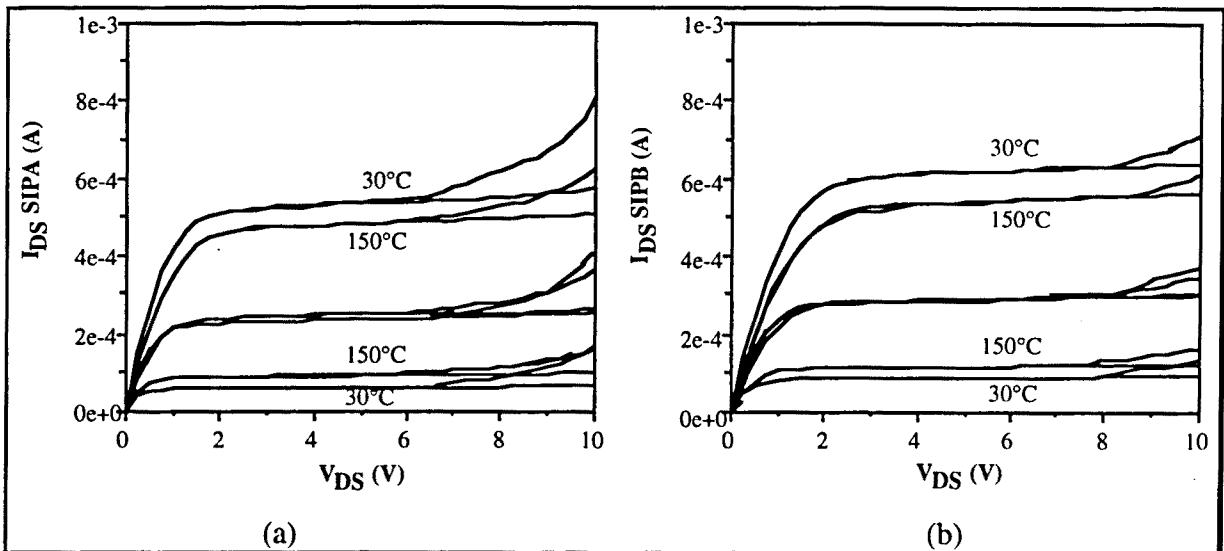


Fig.3.9: $I_{DS}(V_{DS})$ NMOS structure SIPA (a) et SIPB (b) à substrat flottant et à substrat relié à la masse. Influence de la température. Ici la source a été polarisée à la masse et la tension de drain varie entre 0 et 10V. Les valeurs de la tension de grille sont 2 - 3 et 4V pour les deux structures SIPA et SIPB.

On peut donc affirmer, en conclusion, que la structure d'inverseur protégé SIP offre une protection efficace contre l'apparition de l'effet "kink" dans une grande gamme de températures 30-150°C. La logique MOS, sera amenée à fonctionner à une tension d'alimentation de 5V, et pourra donc fonctionner correctement avec un puits flottant protégé de la façon proposée tout en offrant une bonne protection contre le déclenchement du latch-up.

3.2.- Méthodologie de conception

Concevoir un circuit CMOS polarisé de façon classique, c'est-à-dire puits P attaché à la masse, nécessite déjà des règles de dessin nombreuses et très dépendantes des caractéristiques électriques et de la susceptibilité au latch-up.

Le domaine de la conception de circuits est généralement très conservateur pour des raisons compréhensibles de rendement de production et donc très peu ouvert à des solutions de conception nouvelles modifiant les règles de dessin établies.

Nous allons montrer ci-après qu'une technologie de puissance intelligente CMOS/DMOS à puits flottant peut aussi avoir des règles de dessin précises sur lesquelles les concepteurs peuvent s'appuyer pour réaliser leur circuits.

La méthodologie de conception que nous allons présenter ici sera globale c'est-à-dire que nous allons considérer la puce complète: composant de puissance et circuiterie de contrôle [III.87][III.88].

3.2.1.- L'élément de puissance: le transistor DMOS vertical

Pour les moyennes tensions ($\leq 100V$) des applications automobiles, l'interrupteur de puissance généralement utilisé est un transistor VDMOS qui dans les gammes de tension a un bon compromis résistance passante, surface, vitesse de commutation. Dans cette application, d'une part la configuration "haute" est une contrainte imposée, étant donné que les charges sont reliées au châssis, lui-même étant relié à la masse et d'autre part, le coût est une contrainte majeure.

Si on se fixe comme critère de bonnes performances du transistor VDMOS de puissance, on utilisera une technologie CMOS compatible avec la technique de double diffusion nécessaire pour réaliser le VDMOS. Cette compatibilité nécessite alors une étape supplémentaire au tout début du procédé pour diffuser le puits P^- de la logique CMOS.

Si on se fixe comme critère de limiter au minimum le nombre d'étapes de procédé, une solution intéressante consiste à réaliser un composant VDMOS qui n'est pas double diffusé, c'est-à-dire d'utiliser le puits P^- de la logique CMOS comme zone de canal du VDMOS. La diffusion de source N^+ serait réalisée après le dépôt et la gravure du polysilicium. La longueur de canal serait alors définie par lithographie, c'est-à-dire, par l'alignement de l'ouverture du polysilicium par rapport au puits P^- .

Ceci est un inconvénient par rapport à la technique de double diffusion où la longueur de canal est uniquement liée à la diffusion latérale et peut être inférieure au micron. De ce fait, le composant présentera une résistance passante R_{ON} plus élevée que dans le cas d'un procédé double diffusion qui devra être compensée par une surface de silicium supérieure. Par contre, elle présente l'avantage de protéger le VDMOS contre la mise en conduction de son transistor bipolaire vertical parasite lors de transitoires rapides en dV/dt . En effet, la profondeur du canal peut être rendue indépendante de sa longueur. Plus la profondeur est grande, moins le composant VDMOS sera sensible aux dV/dt rapides. La profondeur du puits P^- sera donc un compromis entre cette tenue aux transitoires en dV/dt et le coût d'une telle étape de diffusion.

Dans cette technologie auto-isolée, une première précaution pour se protéger des transitoires dV/dt induits par les commutations du VDMOS consiste à limiter leur propagation vers la circuiterie de contrôle. Une solution originale [III.89] consiste à entourer le VDMOS d'un anneau diffusé P^+ flottant et d'une plaque de champ portée à V_{BAT} [III.90] comme indiqué sur la figure 3.10.

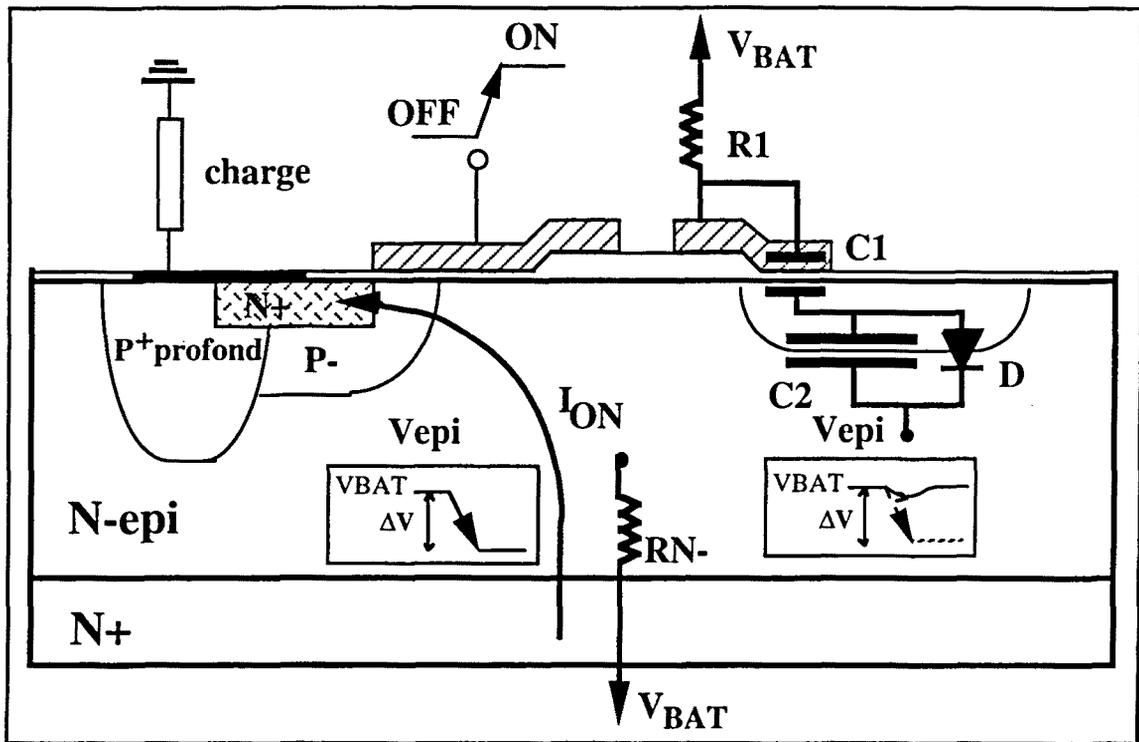


Fig.3.10: Transistor VDMOS de puissance.

Cet anneau, lors d'un transitoire dV/dt négatif, répond en injectant des trous dans l'épithaxie, ce qui a pour effet de moduler localement sa conductivité et donc d'atténuer l'amplitude du transitoire.

Les autres précautions vont concerner la distance entre la circuiterie de contrôle et le VDMOS de puissance ainsi que la méthodologie de conception basée sur le concept de puits flottant.

3.2.2.- Transistors NMOS

Afin de réaliser les différents circuits dans un composant de puissance intelligente, une circuiterie basse tension et une circuiterie haute tension sont nécessaires. Comme nous allons le voir, ceci permettra d'obtenir, d'une part, une plus forte densité d'intégration du fait que les dispositifs basse tension canal N ne nécessitent pas de technique de drain faiblement dopé

[III.91] pénalisante en surface et d'autre part, d'éliminer les risques de déclenchement du latch-up.

a) Transistors NMOS basse tension

Certaines règles de dessin du transistor NMOS minimum sont la conséquence directe de la susceptibilité au latch-up d'une structure CMOS (Fig.3.11). Cette susceptibilité peut être contrôlée par la topologie à partir de deux paramètres: la résistance de puits, R_W , et la capacité de jonction N^+/P^+ , C_j [III.92]. Le temps $R_W C_j$ est celui pendant lequel la capacité N^+/P^+ fournira des charges à la base du transistor bipolaire parasite Q_{VD} de drain ayant subi un transitoire négatif. Ce temps devra être bien inférieur au temps de régénération du latch-up τ_{reg} pour s'assurer de la fiabilité du circuit.

La résistance de puits est fixée par la résistivité du puits, la longueur et la largeur de canal. De façon à ce que ce soit la longueur du canal qui fixe R_W , l'implantation de champ dans le puits P^- devra être supprimée. De ce fait, la distance à respecter entre deux drains de transistors différents découlera du risque de formation d'un canal parasite qui devient important pour des petites dimensions. Cette distance minimum est fixée pour une technologie CMOS standard sans implantation de champ à $12\mu m$.

En considérant que le temps d'allumage critique de Q_{VD} τ_{reg} est de 20ns pour la régénération du latch-up, on dimensionnera la capacité C_j de façon à ce qu'elle fournisse des charges sur un temps bien inférieur à τ_{reg} . Pour une meilleure fiabilité, il est important d'appliquer un coefficient de sécurité à ce temps, par exemple de le diviser par 10. Il suffira alors d'imposer $\tau_{reg}/Coef > R_W C_j$.

Pour une capacité par unité de surface d'une jonction N^+/P^+ à polarisation nulle de $5 \cdot 10^{-3} pF/\mu m^2$, une longueur de canal de $10\mu m$ et une résistivité de puits de $3k\Omega/carré$, on déduit un recouvrement N^+/P^+ inférieur à $13\mu m$. Tous les transistors NMOS basse tension auront donc le même recouvrement déterminé par ce calcul.

La logique de commande et diagnostic n'est pas soumise à de fortes perturbations. Un ensemble de transistors NMOS pourra donc être hébergé dans un même puits P^- .

Comme le montre la Fig.3.11, en ce qui concerne le transistor NMOS, il est hébergé dans un puits P^- qui est laissé flottant. Il fonctionne à une tension $V_{DD} < V_{BAT}$. L'utilisation d'une tension V_{DD} intermédiaire a

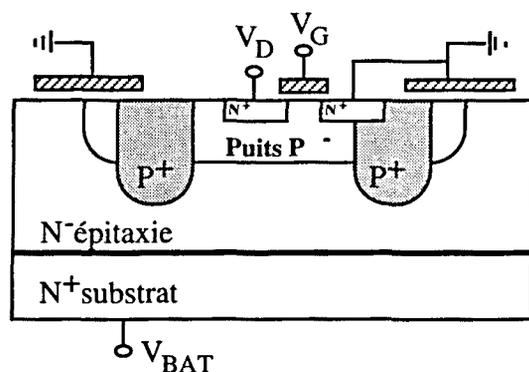


Fig.3.11: Transistors NMOS basse tension.

pour résultat que les jonctions drain N^+ / substrat puits P^- ne présentent pas une forte polarisation en inverse, et le risque de claquage par avalanche est donc exclu. Par conséquent, aucun type de protection statique n'est nécessaire pour ces jonctions.

Un anneau P^+ profond recouvre légèrement la diffusion N^+ de source du NMOS et entoure aussi le transistor. Ce recouvrement définit une jonction N^+/P^+ destinée à évacuer les charges injectées dans le puits et à minimiser ainsi les fluctuations de potentiel.

Cet anneau P^+ profond joue le rôle d'une implantation de champ à la périphérie du puits et y évitera ainsi la formation de tout canal parasite. Pour des raisons de symétrie de chemins résistifs pour l'écoulement des courants inverses, il sera important de placer l'anneau P^+ à une distance D_x du drain comparable à la distance canal plus diffusion de source. La valeur minimum de cette distance, sera un compromis entre résistance de puits R_W suffisamment élevée et effet "kink" minimum.

Une jonction "graduelle" $P^+ / P^- / N^-$ en périphérie du puits sera utilisée pour éviter le claquage en tension [III.93]. Cette terminaison, convenablement recouverte d'une plaque de champ polarisée à la masse, permettra d'atteindre la plus grande valeur de tension de claquage possible en évitant le claquage en surface à la périphérie du puits.

En ce qui concerne le puits P^- (Fig.3.12), il devra être de largeur minimum pour minimiser la génération de courants de fuite. Sa largeur minimum (L_x) sera limitée par le placement des transistors NMOS, la largeur des diffusions source (S) et drain (D), la longueur de canal (l) et la distance de la diffusion de drain à l'anneau P^+ profond (D_x). Les transistors NMOS seront placés comme indiqué sur la figure 3.12 de façon à ce que toutes les sources soient légèrement recouvertes par la diffusion P^+ profonde.

La largeur minimale des diffusions source-drain et la longueur de canal minimale sont fixées par la technologie.

En ce qui concerne la longueur du puits P^- (Fig.3.12), sa longueur minimale (L_y) sera limitée par la distance entre les divers drains (D_y) et l'efficacité du chemin basse impédance de l'anneau P^+ profond.

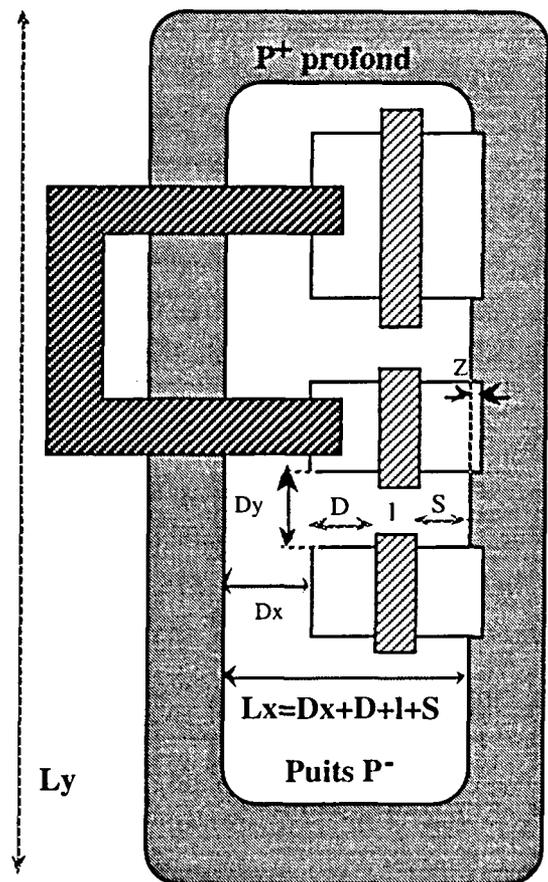


Fig.3.12: Agencement du puits P^- .

Un nombre limité de transistors NMOS doit être hébergé dans ce puits P^- . Ce nombre est limité par l'efficacité du chemin basse impédance de l'anneau P^+ profond pour un transistor situé au centre du puits. La résistance correspondante devra être inférieure à la résistance du puits R_W .

Le placement des transistors dans un même puits sera tel que les plus gros transistors seront placés près des extrémités de façon à ce que le fort courant inverse généré par leur drain puisse s'écouler par l'anneau périphérique de P^+ profond sur le chemin le moins résistif.

Pour assurer une résistance de puits R_W maximum, il n'y a pas d'implantation de champ à l'intérieur du puits, de ce fait, les interconnexions entre deux transistors voisins doivent être effectuées à l'extérieur du puits. Ainsi, comme l'indique la figure 3.12, l'interconnexion entre 2 noeuds voisins aura une forme en U au lieu d'être une ligne droite.

b) Transistors NMOS haute tension

Les transistors NMOS haute tension fonctionnant à la tension de la batterie, sont plus sensibles au phénomène de latch-up. De ce fait, ceux-ci seront hébergés dans des puits P^- individuels qui permettront de diminuer considérablement les risques de latch-up.

Les transistors NMOS à enrichissement haute tension (Fig.3.13a) comportent un drain faiblement dopé qui sera réalisé avec l'implantation N^+ de source-drain et une implantation supplémentaire N_{dep} . Cette diffusion N_{dep} , relativement dopée, peut être mise à profit pour construire un transistor NMOS à appauvrissement.

Le recouvrement N^+/P^+ au niveau de la source devra être légèrement supérieur dans ces transistors pour tenir compte de l'augmentation des courants inverses avec la haute tension.

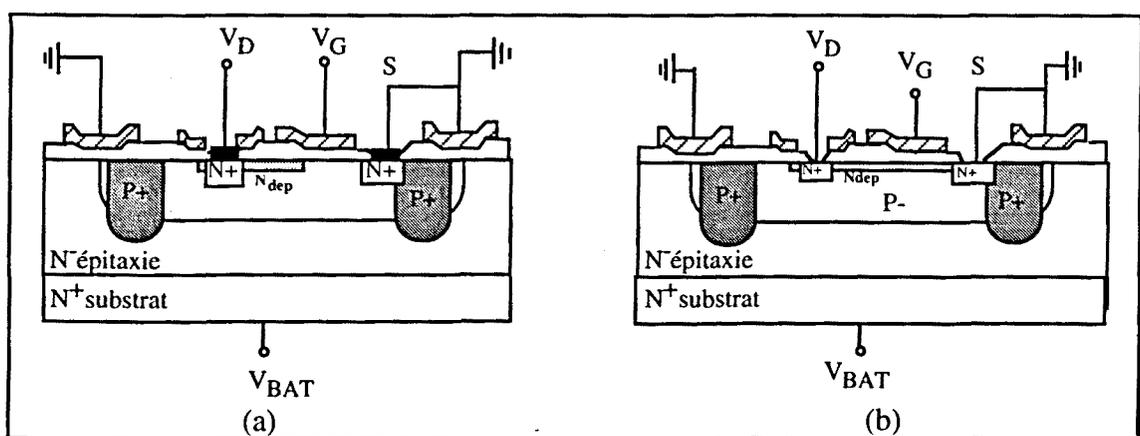


Fig.3.13: Transistors NMOS haute tension à enrichissement (a) et appauvrissement (b).

De plus, une plaque de champ à sa périphérie polarisée à la même tension que le drain, permet d'augmenter la tension de claquage de la jonction $N_{dep} /$ puits P^- .

Enfin, afin de limiter les effets du champ vertical au droit du drain, la grille du transistor se terminera sur une marche d'oxyde épais. A la périphérie du puits, la même terminaison que celle des NMOS basse tension sera utilisée.

3.2.3.- Transistors PMOS

Les transistors PMOS de la logique CMOS sont exposés directement à la haute tension par le substrat. Des protections supplémentaires par rapport aux transistors NMOS seront introduites pour éviter le claquage par avalanche.

L'utilisation d'une technologie CMOS compatible DMOS simple, fait que ce transistor PMOS n'est pas auto-aligné car le puits P^- est utilisé pour les diffusions source/drain. Cela représente un compromis entre les performances du transistor PMOS et le faible coût.

a) Transistors PMOS basse tension

Dans un transistor PMOS basse tension, les jonctions drain-substrat seront fortement polarisées en inverse puisque la tension de drain varie entre 0 et V_{DD} , tandis que les jonctions source-substrat le seront plus faiblement puisqu'elles sont toujours soumises à la différence de tensions $V_{BAT}-V_{DD}$ (Fig.3.14). Pour éviter le claquage par avalanche à cause des fortes polarisations, les diffusions de puits P^- et de P^+ profond seront utilisées pour la réalisation de sources et drains faiblement dopés, les zones de diffusions P^+ étant situées à l'intérieur des diffusions P^- . L'utilisation de ces deux diffusions font que le transistor PMOS ne sera pas auto-aligné.

Pour améliorer la tenue en tension de la jonction source-substrat, une terminaison de cette jonction doit être aménagée. Des jonctions graduelles P^+/P^- seront donc réalisées. Ainsi, une plaque de champ polarisée à V_{DD} pour protéger la diffusion de source à sa périphérie garantit une tension de claquage en surface élevée.

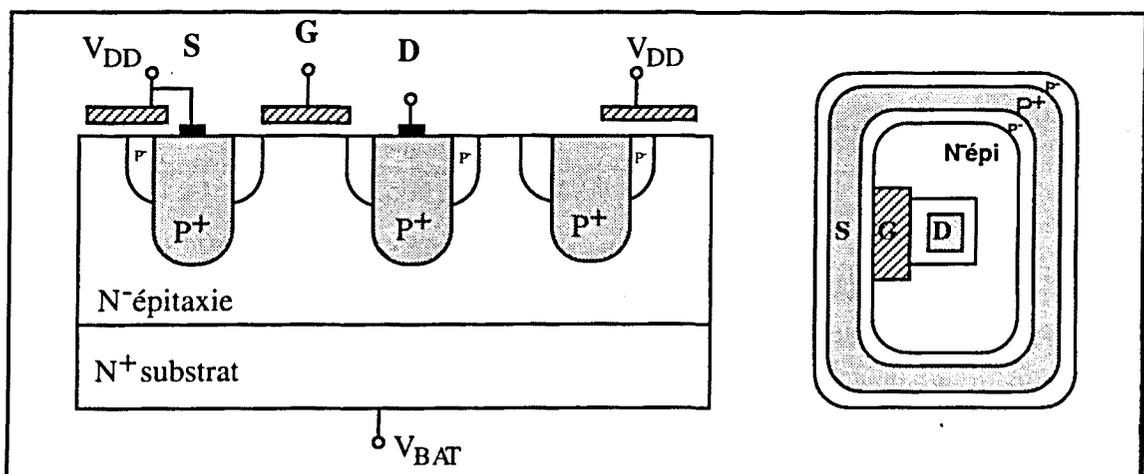


Fig.3.14: Transistor PMOS basse tension.

Pour améliorer la tenue en tension de la jonction drain-substrat, celle-ci sera protégée en prolongeant la diffusion de source et sa plaque de champ de façon à former un anneau autour des transistors PMOS. Cette technique est celle des anneaux polarisés [III.94], ici à VDD. La distance à la diffusion de drain sera telle qu'il y ait recouvrement des charges d'espace des jonctions drain/substrat et anneau/substrat.

Les fortes capacités de recouvrement liées au procédé non auto-aligné pénalisent légèrement les performances du transistor. Par ailleurs, il devra fonctionner avec un fort effet de substrat, des implantations de seuil devront être pratiquées en tenant compte de cette contrainte.

Les transistors PMOS basse tension sont regroupés à l'intérieur d'un même anneau périphérique de source commun à tous les transistors.

b) Transistors PMOS haute tension

Le transistor PMOS haute tension, aura sa source connectée à la tension de la batterie. De ce fait, le transistor parasite latéral PNP sera très susceptible de se polariser en direct, et de favoriser le déclenchement du latch-up.

Afin de limiter les risques d'initialisation du latch-up, ces transistors seront utilisés seulement dans les circuits de commande rapprochée de l'interrupteur DMOS, chacun ayant sa propre protection.

Une contrainte importante de ces circuits est la rapidité, ce qui signifie que ces transistors PMOS haute tension devront être rapides. Pour cela, les capacités de jonction drain/substrat du transistor PMOS haute tension doivent être réduites. C'est pourquoi l'anneau de garde du côté drain formé par la source ne pourra pas être utilisé pour améliorer la tenue en tension (Fig.3.15).

Cependant, pour réaliser le compromis tenue en tension - vitesse, au lieu de prolonger l'ensemble, diffusion de source et terminaison, pour former un anneau autour du transistor, on prolonge seulement la plaque de champ de terminaison.

De cette façon, quand la tension de drain est supérieure à V_{DD} , la charge d'espace de la jonction drain / substrat n'interagit pas avec la charge d'espace développée par la plaque de champ. Tandis que lorsque la tension de drain est inférieure à V_{DD} , la jonction drain / substrat devient alors fortement inversée et est susceptible de claquage par avalanche. La charge d'espace peut maintenant fusionner avec celle développée

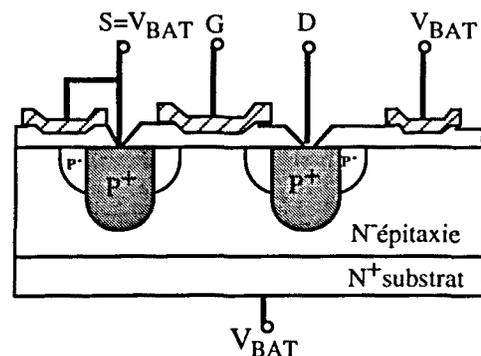


Fig.3.15: Transistor PMOS HT

par la plaque de champ, permettant alors une augmentation de la tension de claquage nécessaire à la protection statique de cette jonction.

Une précaution supplémentaire, pour limiter les effets des champs électriques verticaux en bord de grille du transistor est de la terminer sur une marche d'oxyde épais.

3.2.4.- Placement des blocs

Afin de minimiser l'influence de l'élément de puissance sur la circuiterie de commande, un espacement d'une longueur de diffusion des porteurs minoritaires sera introduite entre la partie puissance et la partie logique de commande et diagnostic. En tenant compte de la faible concentration du substrat N- épitaxié (autour de 10^{15} cm^{-3}), une distance minimum d'une longueur de diffusion L_D (estimée à $200\mu\text{m}$) sera respectée. L'amélioration de la qualité des épitaxies fait augmenter la durée de vie des porteurs dans ce substrat épitaxié. Un suivit de la valeur de sa longueur de diffusion serait donc nécessaire pour assurer en tout moment la validité de cette règle de dessin.

Grâce aux arrangements associés au concept de puits flottant, le transistor NMOS offre une meilleure protection contre les perturbations. Il sera donc placé entre le transistor PMOS et le transistor VDMOS, la source étant placée du côté du DMOS étant donnée sa meilleure efficacité d'atténuation des transitoires (Fig.3.16).

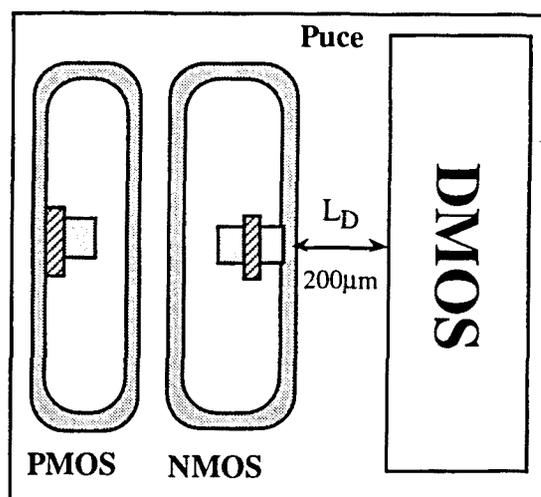


Fig.3.16: Placement logique - puissance.

Règles dessin NMOS	T. Basse Tension	T. Haute Tension
Largeur diffusions S/D.	20µm/20µm	20µm/35µm
Longueur de canal	10µm	10µm
Recouvrement N ⁺ /P ⁺	5µm	10µm
N° transistors dans un puits	plusieurs	1 seul
Distance P ⁺ profond-Drain	Drain centré	Drain centré
Distance drain-drain	12µm	1 seul NMOS
Routage aluminium	Extérieur au puits P	Extérieur au puits P
LDD	non nécessaire	réalisée avec N ⁺ dep
Largeur minimum puits Lx	70µm	85µm

Implantation de champ	Non	Non
Distance logique-puissance	200 μ m	200 μ m

Tableau 3.17: Tableau récapitulatif des règles de dessin principales.

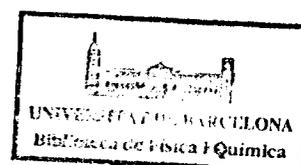
En conclusion, sur la base d'un concept de puits flottant, nous avons montré qu'il était sé d'établir les règles de dessin permettant d'éviter le déclenchement du latch-up dans une chnologie CMOS.

Le Tableau 3.17 en donne un exemple sur la base de la technologie développée au AAS. La règle la plus critique concerne le recouvrement N^+/P^+ . On s'aperçoit ici du mpromis que comporte le choix de la valeur de ce recouvrement. Pour protéger la source, en atique, contre la mise en conduction du transistor bipolaire vertical parasite Q_{VS} , ce covrement devrait être maximum. Pour obtenir une atténuation en tension maximum dans le its P^- d'un transitoire en tension positif au substrat épitaxié N^- , ce recouvrement devrait être issi maximum. Cependant, ce recouvrement devrait être minimum pour se protéger contre un ansitoire négatif en tension au drain du NMOS, en rendant le temps de décharge de la capacité inférieure au temps de régénération du latch-up τ_{reg} .

3.3.- Conclusion

Le but principal de ce dernier paragraphe de méthodologie de conception a été de montrer faisabilité de l'application du concept de puits flottant à diverses technologies de puissance telligente CMOS/DMOS auto-isolées. Les différentes précautions prises, dérivées de utilisation d'un puits flottant, introduisent une augmentation dans la surface de silicium ilisée. Cette augmentation est d'environ 30% par rapport à une technologie classique. ependant, si on considère que ce type de technologie est approprié pour des circuits intégrés puissance avec une intelligence simple, la circuiterie CMOS représenterait au plus 1/3 de la rface totale de la puce. L'incidence sur la surface totale de silicium du concept de puits ottant ne serait alors que de 10%, c'est-à-dire peu pénalisant pour le rendement technologique ont donné le faible nombre de niveaux de masques.

Le choix d'une technologie CMOS compatible VDMOS auto-isolée, basée sur un concept puits flottant pour la réalisation de circuits de puissance intelligente, comporte un compromis tre les performances des dispositifs et le coût associé à une telle technologie. En effet, une hnologie adaptée à chaque application pourrait être réalisée afin de résoudre ce compromis. i tableau récapitulatif très indicatif des différentes technologies possibles de puissance elligente CMOS/DMOS auto-isolées basées sur un concept de puits flottant est représenté en iction de son coût (associé au nombre de masques) et de ses performances (Tableau 3.18).



En effet, dans une technologie plus complexe, un masque est prévu pour optimiser chaque paramètre ou élément du circuit intégré. Il s'agit d'un compromis à résoudre en fonction de l'application.

Technologie	Nombre de masques	Performances
DMOS non double diffusé - Puits P : substrat DMOS LDD des PMOS	10	DMOS non optimisé PMOS non auto-aligné
DMOS double diffusé - Masque puits P - Le substrat DMOS sert au LDD des PMOS	11	DMOS optimisé PMOS auto-aligné
Technologie classique - Masque puits P logique - Masque substrat DMOS - Masque diffusion LDD	>12	Optimisation de tous les dispositifs: VDMOS, PMOS et NMOS

Tableau 3.18: Application à diverses technologies de puissance intelligente CMOS/DMOS

Nous avons montré dans ce chapitre qu'il était possible de définir précisément et sur des bases physiques des règles de dessin adaptées pour une conception sur une technologie à puits flottant qui en outre préserve grâce aux arrangements proposés des performances comparables à celles d'une technologie CMOS standard.

Bibliographie Chapitre III

[III.81] J.P.COLLINGE "Reduction of Kink Effect in Thin-Film SOI MOSFET's" IEEE Electron Devices Letters, vol.9, p.97, 1988.

[III.82] J.TIHANI et SCHLOTTERER "Properties of ESFI MOS Transistors Due to the Floating Substrate and the Finite Volume" IEEE Transactions on Electron Devices, vol. ED-22, pp. 1017-1023, 1975.

[III.83] S.OGURA et al., "Elimination of Hot Electron Gate Current by the Lightly Doped Drain-Structure", IEDM Tech. Dig., pp.611-618, 1981.

[III.84] J.S.T.HUANG, H.J.CHEN et J.S.KUENG "Modeling of Output Snapback Characteristics in n-Channel SOI MOSFET's" IEEE Transactions on Electron Devices, vol. ED-39, pp. 1170, 1992.

[III.85] R.A.BLAUSCHILD et al., "A New NMOS Temperature-Stable Voltage Reference" IEEE Journal of Solid-State Circuits, vol.sc.13, n°6, pp. 767-773, December 1978.

[III.86] J.P.COLINGE "Silicon-On-Insulator MOS Devices for Integrated Circuit Applications" HP Journal, p. 87, 1988.

[III.87] M.BAFLEUR et J.BUXO, "Analyse Technologique et Decryptage d'un Circuit Intégré de Puissance Intelligent Destiné à l'Automobile", Rapport de contrat.

[III.88] A.ELMOZNINE, "Définition d'une Méthodologie de Conception et Etude des Fonctions de Contrôle et de Protection d'un Commutateur de Puissance "Intelligent"", Thèse de l'UPS Toulouse, Octobre 1989.

[III.89] M.BAFLEUR, J.BUXO, M.PUIG-VIDAL, P.GIVELIN et V.MACARY, "Application of a Floating Well Concept to a Latch-up Free, Low Cost, Smart Power High-Side Switch Technology", soumis à IEEE Transactions on Electron Devices.

[III.90] B.J.BALIGA, "Modern Power Devices" ed. John Wiley & Sons, 1987.

[III.91] S.OGURA et al., "Elimination of Hot Electron Gate Current by the Lightly Doped Drain-Structure", IEDM Tech. Dig., pp.611-618, 1981.

[III.92] M.BAFLEUR, M.UXO, V.MACARY, M.PUIG-VIDAL et P.ROSSEL, "Filière Technologique Smart Power CMOS/DMOS pour l'Automobile (50-60V) et Méthodologie de Conception Associée: Concept de Puits Flottant et Immunité au Latch-up", SIA, Ingénieurs de l'Automobile, n°659 Août-Septembre 1990.

[III.93] J.L.SANCHEZ, V.LIBEROS et P.LETURCQ, "Realization of High Voltage Junction Termination Compatible with Power Circuits Technology", in 17th Yugoslav Conference on Microelectronics (MIEL), Nis YUGOSLAVIA, May 1989, pp.689-694. .

[III.94] V.MACARY, G.CHARITAT, M.BAFLEUR, J.BUXO et P.ROSSEL "Comparison Between Biased and Floating Guard Rings as Junction Termination Technique", Proceedings of the 1992 International Symposium on Power Semiconductor Devices & ICs, TOKYO, pp.230-233.