

Convertidor estático del filtro activo de potencia

En un filtro activo de potencia en derivación (SAPF), el convertidor estático es el elemento responsable de la inyección de las corrientes de compensación en la red. Este convertidor siempre irá acompañado de un sistema de control que garantice que la corriente realmente inyectada en la red sigue fielmente las señales aportadas como referencia.

Desde un punto de vista ideal, el conjunto formado por el convertidor más el controlador de corriente, debería comportarse como una fuente lineal capaz de inyectar en todo momento las corrientes de compensación que se le aporten como referencia. Lógicamente, debido a las características intrínsecas del convertidor y del controlador, este comportamiento será inalcanzable, y sólo existirá un determinado rango de operación en el cual la respuesta del sistema podrá ser considerada como lineal.

Un factor primordial que hará que la respuesta del sistema convertidor-control difiera del comportamiento ideal estriba en que el convertidor estático es un sistema no lineal de estructura variable. En este sistema no lineal, el control de la corriente inyectada se realizará mediante el cambio del estado del convertidor, es decir, mediante la conmutación de los diferentes transistores que constituyen el mismo. Por tanto, la corriente de salida presentará un valor medio, que deberá coincidir con el valor aportado como referencia, más un rizado, que resulta de la sucesión de los diferentes estados de conmutación que atraviesa el convertidor. Según esto, para minimizar la amplitud de este rizado de corriente, sería deseable que la frecuencia de conmutación del convertidor fuese lo más elevada posible. En aplicaciones de gran potencia, los elevados tiempos de conmutación de los transistores, y las pérdidas asociadas a estas conmutaciones, dan lugar a que la frecuencia de conmutación de los convertidores convencionales sea relativamente baja, en torno a pocos miles de hertzios. En este tipo de aplicaciones, para minimizar el estrés en los transistores, se recurre al uso de convertidores con topologías avanzadas. En este grupo se

encuentran los convertidores multinivel [4.1], los convertidores en cascada [4.2], o las estructuras resonantes [4.3].

Independientemente del tipo de convertidor utilizado, en la salida del mismo siempre existirá una etapa de filtrado pasivo cuyo objetivo será “*cortocircuitar*” las corrientes de alta frecuencia, evitando así que estas corrientes sean inyectadas en la red [4.4]. En este punto, la frecuencia de conmutación del convertidor vuelve a ser importante, ya que es conveniente que la frecuencia de sintonización de este filtro pasivo esté muy por encima de la máxima frecuencia que puedan presentar las corrientes de referencia que se aportan al convertidor.

Como quedará justificado en este Capítulo, y suponiendo igualdad de condiciones para los diferentes casos, la capacidad de inyección de corriente del convertidor depende de la topología utilizada en el mismo [4.5]. Generalmente, aquellas topologías con menor capacidad de inyección de corriente presentan en contrapartida un sistema más simple de control para el inversor, mientras que las topologías con mayor capacidad de inyección de corriente necesitan un sistema de control más sofisticado. Esta dicotomía entre prestaciones y simplicidad en el control, hace que no todos los fabricantes de filtros activos utilicen la misma topología en el diseño del convertidor estático [4.6][4.7].

El convertidor estático de un SAPF enlaza con la red de potencia mediante elementos reactivos. Así mismo, el convertidor acumula energía en su lado de continua mediante otro elemento reactivo. La correcta elección de los valores y parámetros de trabajo de dichos elementos reactivos condicionará en gran medida la respuesta estática y dinámica del sistema resultante, determinando finalmente el ancho de banda de la hipotética fuente de corriente.

El sistema utilizado para de control de la corriente inyectada por el convertidor es una cuestión determinista de las prestaciones finales del SAPF. En un SAPF, la velocidad de respuesta en el seguimiento de las corrientes de referencia es crucial, lo cual hace intuir que los controladores no lineales que trabajan directamente sobre la corriente inyectada presentarán mejores prestaciones en este sentido [4.30], sin embargo, esta velocidad en la respuesta del controlador puede dar lugar a que el convertidor estático se encuentre conmutando bajo condiciones no óptimas, lo cual se traducirá en un incremento excesivo de las pérdidas de conmutación. Así mismo, es posible que aparezcan secuencias de conmutación que no puedan ser generadas debido a las limitaciones dinámicas de los transistores. La priorización de la respuesta dinámica del SAPF frente a una correcta secuencia de conmutación en el convertidor, también puede llevar asociada una pérdida en el control del rizado de corriente inyectada por el convertidor, tanto de su amplitud, como de su frecuencia. Teniendo en cuenta que dicho rizado no puede ser inyectado en la red, el diseño del filtro pasivo del lado de alterna del convertidor resultará más complicado e ineficiente cuando las conmutaciones del convertidor no sean apropiadamente secuenciadas. Por tanto, sobre todo en aplicaciones de gran potencia, es necesario adoptar un sistema de control que asegure, no sólo una correcta inyección de corriente inyectada, si no que además, el convertidor estático se encuentre trabajando en unas condiciones idóneas [4.8].

4.1. Topología del convertidor estático

Este Apartado tiene por objeto exponer las topologías del convertidor estático habitualmente utilizadas en la implementación de SAPF's, resaltando sus principales ventajas e inconvenientes, y delimitando su campo de aplicación. Posteriormente, en el Apartado 4.2, se hará una revisión de los sistemas de control de corriente en estos convertidores.

De manera general, el convertidor estático de un SAPF se puede implementar mediante un inversor en fuente de tensión (VSI – *Voltage Source Inverter*), o un inversor en fuente de corriente (CSI – *Current Source Inverter*). En la Figura 4.1 se muestra la estructura de ambos inversores para sistemas trifásicos de tres hilos. En esta figura, también se ha representado el filtro pasivo destinado a la atenuación de las componentes de alta frecuencia a la salida del inversor. El inversor en fuente de corriente resulta ser más robusto, aunque también es más caro de implementar [4.9][4.10], el inversor en fuente de tensión presenta menores pérdidas y es más económico [4.11]. En este trabajo se utilizará un convertidor en fuente de tensión, lo que concuerda con la tendencia existente en la mayoría de los equipos disponibles comercialmente [4.12].

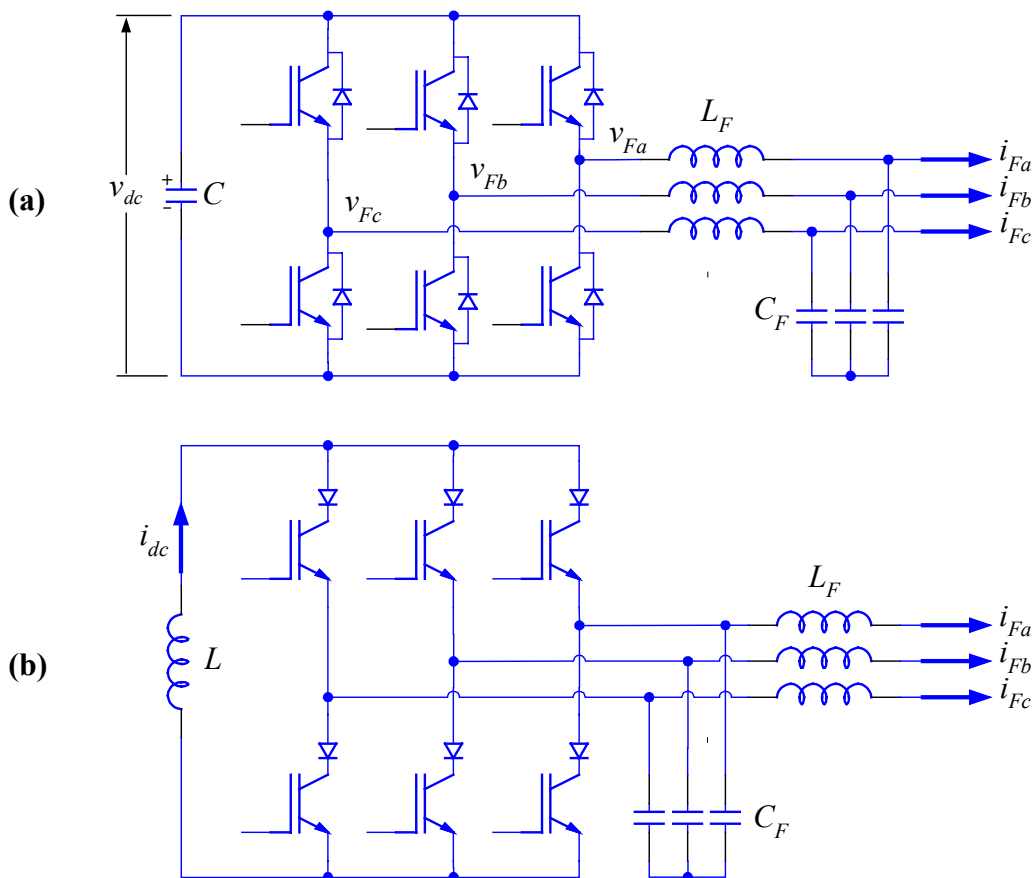


Figura 4.1. Convertidor estático del SAPF para redes trifásicas de tres hilos.
 (a) Inversor en fuente de tensión (VSI).
 (b) Inversor en fuente de corriente (CSI)

El inversor mostrado en la Figura 4.1 recibe el nombre de “inversor de tres ramas en puente completo” (TLFB – *Three-Leg Full-Bridge*) y su aplicación en el filtrado activo de corriente en redes trifásicas de tres hilos fue presentada por Akagi en 1984 [4.13], convirtiéndose en un clásico dentro de este tipo de aplicaciones, y apareciendo multitud de nuevas aportaciones desde entonces [4.14][4.15][4.16]. Mediante el inversor TLFB resulta imposible inyectar corrientes homopolares en la red, utilizándose para acondicionar las corrientes consumidas por cargas trifásicas sin neutro. En un inversor TLFB, para optimizar el control sobre la corriente inyectada en la red, es importante que las tensiones de secuencia positiva y negativa sintetizadas a la salida del mismo puedan llegar a alcanzar el máximo valor posible. Existen multitud de trabajos que estudian diferentes técnicas de modulación del inversor TLFB con el objetivo de conseguir el máximo aprovechamiento de la tensión de su bus de continua, y a su vez, obtener unas secuencias de conmutación óptimas en el mismo [4.17]. En este sentido, la “*modulación vectorial*” se ha erigido como una técnica de modulación avanzada que consigue resultados óptimos en ambos aspectos. Sin embargo, la implementación convencional de esta técnica de modulación implica la utilización de un potente procesador de señal, y el consumo de un elevado tiempo de cálculo. En el Capítulo 5, se presentará un nuevo enfoque acerca de la modulación vectorial de inversores en puente completo, que simplifica enormemente el algoritmo de modulación, y permite su implementación en un procesador de bajo coste.

En sistemas trifásicos de cuatro hilos, de media y baja potencia, es habitual la existencia de cargas monofásicas conectadas entre fase y neutro. En estos casos, se hace necesaria la utilización de otras topologías en el convertidor estático del SAPF que permitan la inyección de corrientes de secuencia homopolar en la red. La solución más simple en este tipo de casos consiste en la topología mostrada en la Figura 4.2. Este inversor recibe el nombre de “inversor de tres ramas con condensador repartido” (TLSC – *Three-Leg Split-Capacitor*).

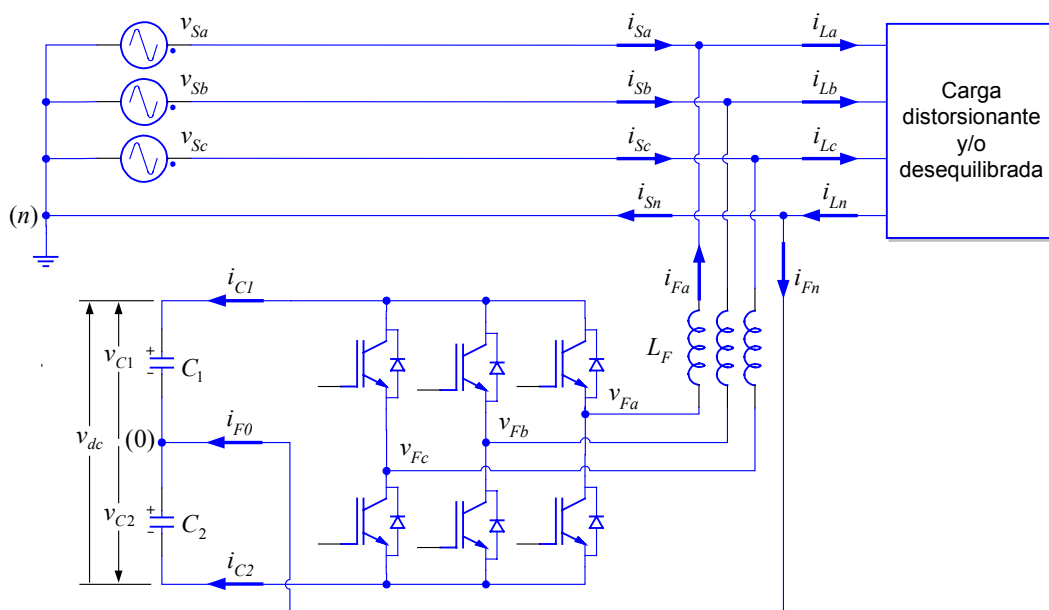


Figura 4.2. Estructura de un SAPF con un inversor TLSC.

En el inversor TLSC, al estar conectado el neutro de la carga con el punto intermedio de su bus de continua, las tres ramas del mismo trabajan de manera independiente; es decir, la tensión de salida de cada rama depende únicamente del estado de conmutación de sus dos transistores. Esta simplicidad en el control de la tensión de salida es la principal ventaja que ofrece el inversor TLSC, lo cual ha animado a los fabricantes de equipos a utilizarlo en filtros activos para redes de cuatro hilos de media y baja potencia [4.6]. Así mismo, existen multitud de trabajos sobre SAPF que utilizan esta estructura de convertidor en redes de cuatro hilos [4.18][4.19][4.20]. Sin embargo, esta topología presenta ciertas limitaciones e inconvenientes.

La primera limitación consiste en que, cuando se están sintetizando tensiones de salida de secuencia únicamente positiva y negativa, sin secuencia homopolar, el inversor TLSC no aprovecha completamente la tensión del bus de continua. Al no poder existir un potencial de flotación entre el punto medio del bus de continua y el neutro de la carga, la máxima amplitud de la tensión de secuencia positiva y negativa que se puede aplicar a dicha carga será, para un mismo valor de tensión en el bus de continua, inferior a la alcanzable con el inversor TLFB.

Otra limitación de esta topología consiste en que, en un momento dado, la máxima amplitud de la tensión de secuencia homopolar generable en la salida, no es independiente de la amplitud de tensión de secuencia positiva y negativa que se esté suministrando en ese momento; ya que ambas componentes de tensión deben ser sintetizadas por las tres únicas ramas del inversor. Por ejemplo, en una situación en la que el inversor esté suministrando en su salida la máxima amplitud alcanzable de secuencia positiva, o negativa, la tensión de secuencia homopolar generable depende de la forma de la onda resultante como combinación de ambas componentes, existiendo situaciones donde la máxima amplitud de la componente homopolar, sin alcanzar en ningún momento la saturación del inversor, deba ser nula.

Las dos limitaciones expuestas podrían hacer pensar que este inversor no es adecuado para su utilización práctica en aplicaciones de filtrado activo. En realidad esto no es así, ya que este tipo de inversor resulta adecuado para el acondicionamiento de corriente en sistemas de media y baja potencia en los que, además de componentes de secuencia positiva y negativa, pueden existir componentes homopolares de orden moderado. De hecho, la sencillez en el control del inversor TLSC ha determinado que ciertos fabricantes suministren filtros activos basados en esta topología de inversor que alcanzan hasta los 120A de corriente de compensación por fase en redes de 400V [4.21].

Sin embargo, en el inversor TLSC existe un problema que puede llegar a complicar su control, y a hace que los condensadores del bus de continua deban ser sobredimensionados. Este problema estriba en el hecho de que la totalidad de la corriente de secuencia homopolar que es inyectada por las tres ramas del filtro debe retornar por el punto intermedio del bus de continua del mismo, nodo '0'. La inyección de corriente en este nodo da lugar a la aparición de desequilibrio en el reparto de la tensión total del bus entre cada uno de los condensadores que componen el mismo, lo cual provoca que las ramas del inversor dejen de funcionar de manera simétrica, esto es, el valor absoluto de tensión de salida de las ramas será diferente en

función de que esté cerrado el interruptor superior o el inferior de las mismas. Lógicamente, esta falta de simetría en la tensión de salida de las ramas complica el control del inversor, ya que el valor medio de la tensión de salida ofrecida por dichas ramas deja de tener una relación lineal con el ciclo de trabajo de éstas. Además, el problema del desequilibrio de tensión en los condensadores del bus puede llegar a ser muy grave cuando el valor absoluto de tensión en alguno de los condensadores llega a ser lo suficientemente bajo como para impedir la controlabilidad de la corriente inyectada por alguna rama del filtro. En ese caso, la corriente inyectada por las ramas pasa a tener trayectorias descontroladas que pueden alcanzar elevados valores de pico, lo cual es perjudicial para la red de potencia, y puede llegar a destruir los semiconductores del inversor. En el Apartado 4.3 se propone una solución que solventa este problema en el inversor TLSC.

Cuando el nivel de corriente de secuencia homopolar que se debe compensar llega a ser considerable, el convertidor mostrado en la Figura 4.3 ofrece mejores prestaciones que el inversor TLSC. Este inversor es conocido como “inversor de cuatro ramas en puente completo” (FLFB – *Four-Leg Full-Bridge*). En la Figura 4.3, con el objetivo de clarificar las explicaciones venideras, se ha considerado que el bus de continua del inversor está constituido por dos condensadores, sin embargo, en una implementación real, dicho bus está compuesto por un único condensador. En esta topología, resulta evidente que, mediante la rama d , es posible regular el potencial de flotación del punto intermedio del bus de continua (nodo ‘0’) respecto al neutro de la red (nodo ‘ n ’). Por tanto, suponiendo que las ramas a , b y c se destinan a sintetizar únicamente las componentes de secuencia positiva y negativa de la tensión de salida, la tensión generada mediante la rama d (tensión medida respecto del nodo ‘0’) determina la componente homopolar de tensión que, cambiada de signo, aparece finalmente a la salida de las otras tres ramas; habiéndose considerado que esta tensión de salida se mide respecto al neutro de la red.

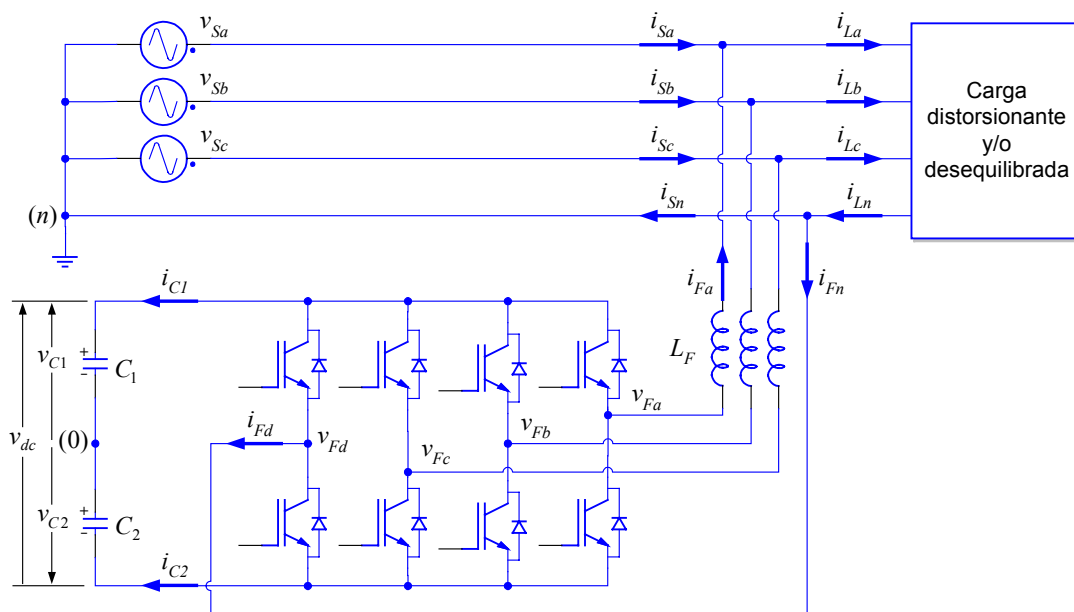


Figura 4.3. Estructura de un SAPF con un inversor FLFB.

Lógicamente, si además de la rama d , las ramas a , b y c también se dedicasen a generar componentes de tensión de secuencia homopolar, la tensión de salida resultante con dicha secuencia podría llegar a ser bastante elevada, lo cual corrobora la afirmación inicial referente a la idoneidad del uso de esta topología de inversor en aplicaciones de filtrado activo de corriente donde existan grandes solicitaciones de componente homopolar.

Si en el inversor FLFB se considera que la rama d se encuentra desconectada, es decir, con sus dos interruptores abiertos, la topología resultante correspondería a la del inversor de tres ramas en puente completo, TLFB. Como se indicó anteriormente, mediante la utilización de la modulación vectorial en el inversor TLFB, era posible obtener el máximo aprovechamiento de los recursos de tensión del bus de continua en la generación de tensiones de secuencia positiva y negativa, y además obtener unas secuencias de conmutación óptimas. Como se explicará con mayor detalle en el Capítulo 6, el máximo aprovechamiento del bus de continua se logra mediante la regulación de la tensión de flotación ente el nudo '0' y el neutro de la red. Por tanto, cuando la rama d del inversor FLFB entra en funcionamiento, para conseguir las mismas prestaciones del inversor TLFB en la generación de tensiones de secuencia positiva y negativa, basta con hacer que la tensión generada por dicha rama sea igual, y de signo opuesto, a la tensión de flotación del bus de continua que existía en el convertidor TLFB. Este detalle se explicará con mayor profundidad en el Capítulo 5.

Como conclusión a la presentación del inversor FLFB, habría que decir que éste presenta excelentes prestaciones para aplicaciones de filtrado activo en redes trifásicas de cuatro hilos, ya que permite aprovechar al máximo la tensión del bus de continua para suministrar en su salida tensiones de secuencia positiva y negativa, y a su vez, también permite generar unos niveles elevados de tensión de secuencia homopolar. Sin embargo, las técnicas de modulación vectorial propuestas hasta el momento para el inversor FLFB resultan sumamente complejas, lo que hace necesario un hardware costoso con alta capacidad de procesado, no existiendo, además, demasiadas referencias bibliográficas acerca de esta modulación [4.22]. Estos inconvenientes han hecho que muchos fabricantes de equipos se muestren cautelosos a la hora de la utilización de este inversor en sistemas de filtrado activo en redes de cuatro hilos. En el Capítulo 5 de este trabajo, se propone un nuevo algoritmo para la síntesis de las tensiones de salida a partir de un enfoque tridimensional, simplificándose mucho el proceso de modulación.

Por último, en sistemas de alta potencia, donde además el desequilibrio entre fases sea considerable, es común utilizar la topología mostrada en la Figura 4.4. Esta configuración recibe el nombre de inversor de "tres puentes completos y cuatro hilos" (TBFW – *Three-Bridge Four-Wire*) [4.23][4.24]. En principio, la funcionalidad de este inversor es relativamente similar a la del inversor FLFB mostrado en la Figura 4.3, aunque aporta valiosas ventajas en aplicaciones de alta potencia. En el inversor FLFB, la totalidad de la corriente de secuencia homopolar que era inyectada por el filtro circulaba por la cuarta rama (rama d). Si esta corriente alcanzase niveles elevados, los transistores utilizados en dicha rama deberían ser de gran potencia, lo cual podría llegar a suponer un inconveniente en situaciones extremas. En el inversor TBFW, mediante la utilización de transformadores de

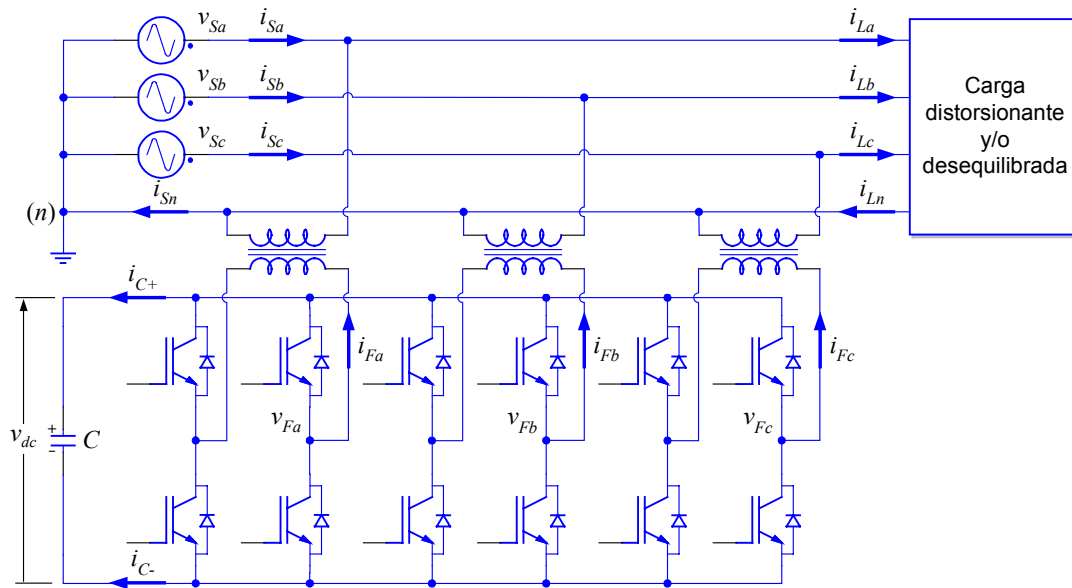


Figura 4.4. Estructura de un SAPF con un inversor TBFW.

acoplamiento a red, la cuarta rama anteriormente mencionada es dividida en otras tres, dando lugar a tres inversores monofásicos independientes, uno para cada fase de la red, consiguiendo una mayor capacidad de inyección de corriente.

La tensión máxima de salida de cada inversor monofásico coincide con el valor de la tensión del bus de continua, por lo que dicha tensión de bus puede ser considerablemente menor que en las topologías anteriores. Además, utilizando una estrategia de modulación unipolar en los inversores, se consiguen tensiones de tres niveles a la salida de los mismos, lo cual permite reducir la frecuencia de conmutación de los transistores y disminuir el rizado de la corriente inyectada.

En esta topología, todas las ramas de transistores serán de igual potencia, y cada inversor monofásico tiene la misma capacidad de para aportar de corriente de secuencia positiva, negativa y homopolar. En el inversor TBFW mostrado en la Figura 4.4, los transformadores se diseñan de forma que integren la inductancia de dispersión necesaria para el adecuado acoplo entre la salida del inversor y la red.

El control de las secuencias de conmutación de este inversor es sencillo y clásico, lo que aumenta su fiabilidad en aplicaciones de gran potencia. Lógicamente, el aumento de prestaciones anteriormente mencionadas se ve acompañado también de un incremento en el coste del inversor, motivo por el cual no suele ser generalmente utilizado por los fabricantes de equipos de consumo, aunque la ventaja ofrecida por su modularidad debería ser una opción a considerar por dichos fabricantes de equipos.

Con el objetivo de argumentar las explicaciones ofrecidas acerca de las características y prestaciones de las distintas configuraciones del convertidor estático, seguidamente se muestran una serie de resultados de simulación que permiten tener una idea, algo más cuantitativa, sobre la capacidad de inyección de

corriente de dichos inversores. En estas simulaciones, no se ha considerado el caso del inversor de tres puentes completos y cuatro hilos, TBFW, por sobrentender que sus prestaciones son claramente superiores a las de los demás.

En todas las simulaciones realizadas se ha considerado que el valor de pico de la tensión de fase de la red es de 311V, que el valor de la tensión total del bus de continua es de 700V, y que el valor de las inductancias de acoplo entre el inversor y la red es de 2,2mH. Además, con el objetivo de mostrar la amplitud del rizado en la corriente inyectada en la red por los convertidores, el filtro pasivo de salida no ha sido instalado. En un primer paso, se compararán los inversores cuando éstos no inyectan corriente de secuencia homopolar en la red, suponiéndose una situación en la que el inversor se encuentra inyectando únicamente un séptimo armónico de corriente en la red.

En los siguientes comentarios, cuando se haga alusión a la *tensión de las ramas* del inversor se estará hablando de la tensión de salida de dichas ramas respecto al punto intermedio del bus de continua, nodo '0'. A partir de ahora, este convenio será adoptado a lo largo de todas las explicaciones que se realicen en este Capítulo.

En la Figura 4.5 se muestran los resultados de simulación correspondientes al inversor de tres ramas y condensador repartido, TLSC, cuando éste se encuentra inyectando un séptimo armónico de corriente en la red.

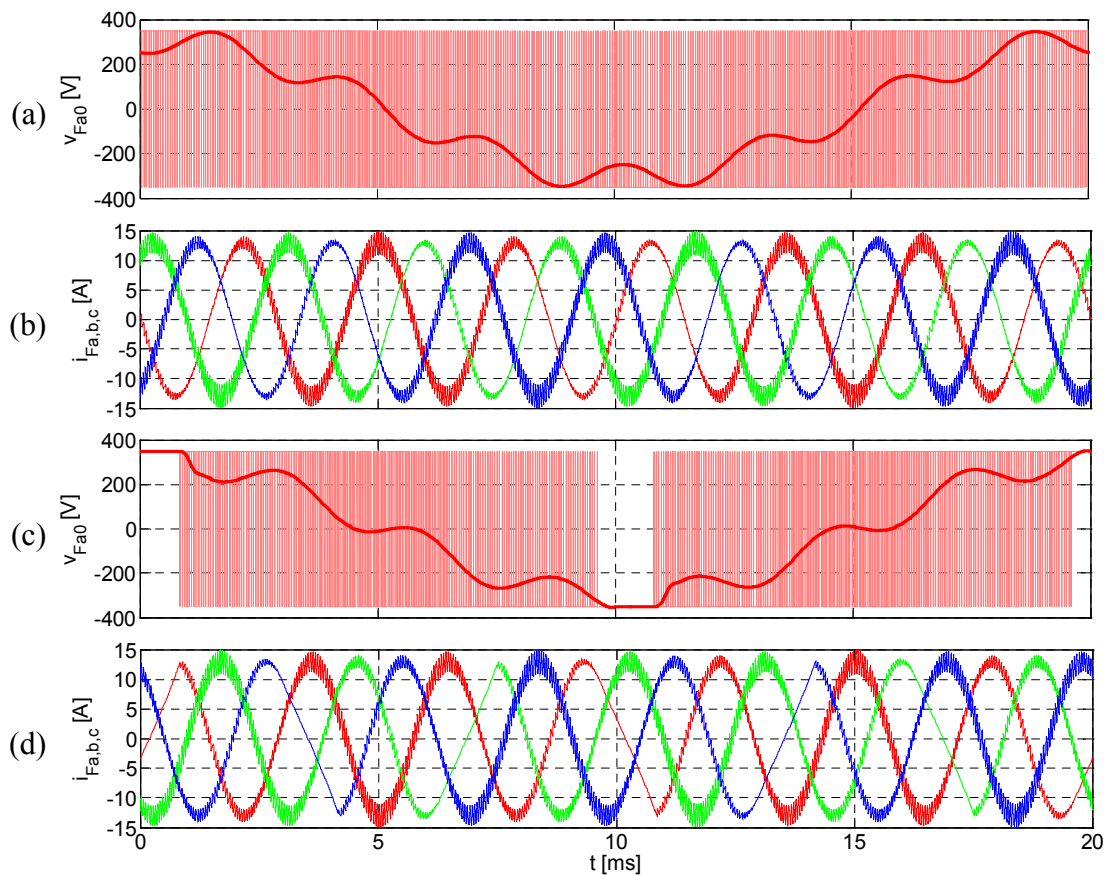


Figura 4.5. Formas de onda del inversor TLSC inyectado 7º armónico en la red.

La técnica de modulación utilizada en el inversor TLSC para la inyección de esta corriente es una modulación estándar por anchura de pulsos (SPWM – *Standard Pulse Width Modulation*), con una frecuencia de conmutación de 20kHz, y para la regulación de esta corriente se ha utilizado un sistema de control lineal.

La Figura 4.5a muestra la tensión de la rama *a* cuando la corriente inyectada en la red coincide con la de la Figura 4.5b, la cual responde a una señal de referencia sinusoidal, con un valor de pico de 13A. En la Figura 4.5a se ha representado la tensión modulada de la rama *y*, en trazo grueso, la tensión resultante del promediado local de la misma. Esta señal de trazo grueso evidencia cómo la tensión suministrada por la rama del inversor está constituida por una componente de frecuencia fundamental, la cual, para evitar la inyección de corriente de frecuencia fundamental en la red, será idéntica a la tensión de fase de ésta, más una componente de séptimo armónico. En la Figura 4.5a se aprecia cómo el inversor se encuentra al borde de la saturación (sobremodulación), pudiéndose afirmar que, para las condiciones de red, bus de continua e inductancia de acoplo consideradas, la corriente de la Figura 4.5b prácticamente coincide con la máxima corriente de séptimo armónico inyectable en la red mediante el inversor TLSC.

Si la referencia de corriente a inyectar estuviese desfasada 180° respecto al caso anterior, las formas de onda de la tensión de la rama del inversor, y de la corriente inyectada, coinciden con las mostradas en las Figuras 4.5c y 4.5d. En la Figura 4.5c se aprecia como el inversor atraviesa ahora zonas en las que entra en saturación, lo que origina la pérdida de control de la corriente inyectada.

Ahora, manteniendo las mismas condiciones de red, de bus de continua, de frecuencia de conmutación y de inductancia de acoplo, se utilizará el inversor de cuatro ramas en puente completo, FLFB, para inyectar las mismas corrientes que en el caso anterior. Para inyectar estas corrientes, la técnica de modulación utilizada en el inversor FLFB es una modulación vectorial tridimensional (3D-SVM – *Three-Dimensional Space-Vector Modulation*), la cual se explicará con detalle en el Capítulo 5. Así mismo, para la regulación de la corriente inyectada se ha utilizado un control lineal.

En la Figura 4.6 se muestran las formas de onda características del inversor FLFB cuando la referencia de corriente a ser inyectada coincide con la del caso anterior, es decir, un séptimo armónico de corriente equilibrado de 13A de amplitud.

En la Figura 4.6a se muestra la tensión de la rama *a* del inversor, resaltándose, mediante trazo grueso, la forma de onda resultante del promediado local de la misma. La Figura 4.5b muestra la tensión de flotación del punto intermedio del bus de continua respecto al neutro de la red, resaltándose también la evolución del promedio instantáneo de la misma. La Figura 4.6c muestra la corriente inyectada en la red.

A partir de ahora, con el objetivo de simplificar nomenclatura, cuando se haga alusión a la *tensión de salida* del inversor se estará hablando de la tensión de salida de la rama medida respecto al neutro de la red, nodo '*n*'. Este convenio será adoptado en todas las explicaciones que se realicen de ahora en adelante en este Capítulo.

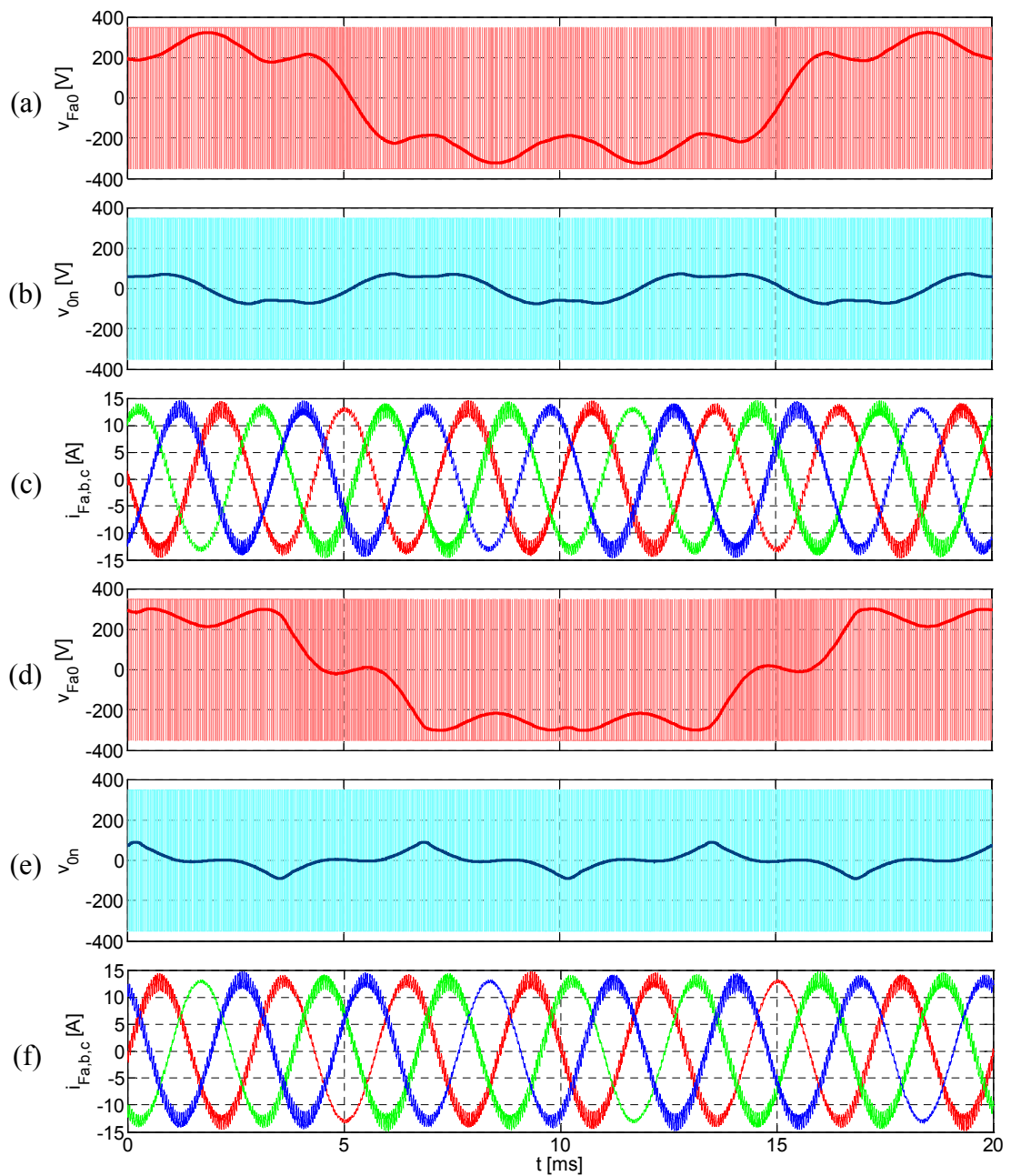


Figura 4.6. Formas de onda del inversor FLFB inyectado 7^o armónico en la red.

La suma de la tensión de rama, más la tensión de flotación del punto medio del bus de continua respecto al neutro de la red, da como resultado la tensión de salida del inversor. Lógicamente, a la vista de la forma de onda de corriente mostrada en la Figura 4.6c, la tensión de salida del inversor está constituida por un primer armónico de frecuencia fundamental, que es idéntico a la tensión de fase de la red, más un séptimo armónico.

En la Figura 4.6a, se aprecia como amplitud de la tensión de la rama *a* del inversor, entendiendo que se habla de su valor promediado instantáneo, podría crecer aún algo más antes de alcanzar la saturación. Esto indica que la corriente de séptimo armónico

inyectada por el inversor podría ser aún mayor de 13A. Concretamente, para el ángulo de fase establecido en la señal de referencia, se podrían llegar a alcanzar los 19A de pico en la corriente inyectada de séptimo armónico sin que existiese saturación en el inversor.

Cuando la señal de referencia se desfasa 180° respecto al caso anterior, las formas de onda resultantes para la tensión de rama, para la tensión de flotación del bus y para la corriente inyectada se muestran en las Figuras 4.6d, 4.6e y 4.6f, respectivamente. Hay que recordar que, para esta referencia de corriente, el inversor TLSC atravesaba zonas de saturación, sin embargo, como muestran las figuras señaladas anteriormente, la corriente de salida del inversor FLFB sigue correctamente a la referencia, ya que las ramas del inversor no se saturan en ningún momento. Es más, para este ángulo de fase en la señal de referencia, el margen de crecimiento de la tensión de rama puede ser aún algo mayor que en la situación anterior, llegándose a inyectar un séptimo armónico de 25A de pico, sin que exista saturación en el inversor.

Estos resultados de simulación argumentan suficientemente la afirmación realizada anteriormente, la cual otorgaba, para unas mismas condiciones de contorno, mayor capacidad de inyección de corriente de secuencia positiva y negativa al inversor FLFB que al inversor TLSC.

Es evidente que si la cuarta rama del inversor FLFB no estuviese operativa, el comportamiento de éste sería idéntico al del inversor de tres ramas en puente completo, TLFB. Como se expondrá con más detalle en el Capítulo 6, la actuación de la cuarta rama en el inversor FLFB hace que la evolución instantánea de la tensión modulada de salida difiera de la que se obtendría con el inversor TLFB, sin embargo, cuando se utiliza la modulación 3D-SVM, y para una misma señal de referencia, el valor medio instantáneo de esta tensión modulada es idéntico en ambos inversores. Por este motivo, no se realizará una simulación específica del inversor TLFB, sobreentendiéndose que su capacidad de inyección de corriente de secuencia positiva y negativa es la misma que la del inversor FLFB.

Por otro lado, cuando se intentan inyectar corrientes de secuencia homopolar en la red, el convertidor TLFB resulta inútil, por lo que no será considerado en las simulaciones que se mostrarán a continuación. En esas simulaciones, los convertidores TLSC y FLFB inyectarán corrientes de tercer y séptimo armónico, es decir, inyectarán corrientes de secuencia positiva y de secuencia homopolar.

Como se mostró en la Figura 4.5a, cuando el inversor TLSC se encontraba inyectando en la red una corriente de séptimo armónico con 13A de amplitud, las tensiones de las ramas se encontraban al borde de la saturación. Esto puede hacer pensar que el inversor no podrá inyectar corrientes armónicas adicionales, sin embargo, determinadas combinaciones armónicas harán que la tensión resultante que debe sintetizarse en las ramas del inversor se aleje de la saturación, haciendo viable la inyección de estas corrientes armónicas adicionales. Claramente, esta afirmación no abarca el caso general, ya que, en función de la distribución de módulos y fases en la corriente de referencia, puede ser que ésta sea correctamente generable o no.

Por tanto, en el convertidor TLSC, la corriente homopolar que puede ser inyectada en un momento dado depende de la corriente de secuencia positiva y negativa que se esté inyectando en ese momento.

La Figura 4.7 se muestra los resultados de simulación obtenidos cuando el inversor TLSC se encuentra inyectando corriente de tercer y séptimo armónico en la red. Es importante destacar aquí que, para evitar el solapamiento de diferentes efectos que pudieran dar lugar a explicaciones confusas, se ha supuesto que la tensión del bus de continua siempre está perfectamente equilibrada, es decir, se ha considerado que

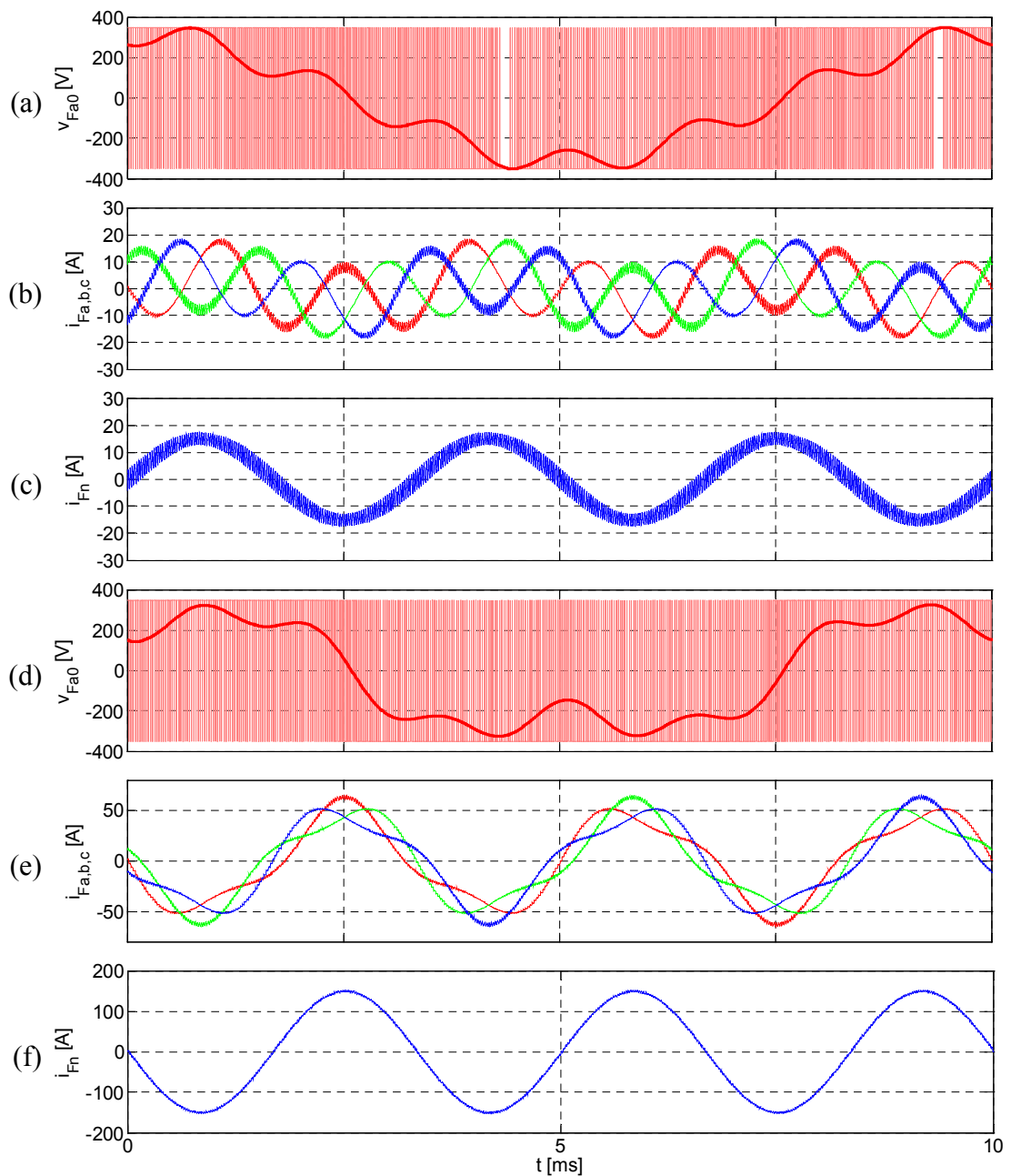


Figura 4.7. Formas de onda del inversor TLSC inyectado 3^{er} y 7^o armónico de corriente en la red.

dicho bus está constituido por dos fuentes de tensión ideales. Si se hubiese considerado una situación real, donde el bus de continua estuviese constituido por dos condensadores, la inyección de corriente de tercer armónico desequilibraría el reparto de tensión entre ambos condensadores, y consiguientemente, la capacidad de inyección de corriente de séptimo armónico variaría respecto a de las explicaciones que aquí se ofrecerán.

La forma de onda de la Figuras 4.7a corresponde a la tensión en la rama a del inversor cuando las corrientes inyectadas en la red coinciden con las mostradas en la Figura 4.5b. Estas corrientes están constituidas por un séptimo armónico de 13A, más un tercer armónico de 5A, entendiendo ambas magnitudes como valores de pico. En la Figura 4.7c se muestra la corriente que se deriva desde el conductor de neutro de la red hacia el inversor. En la Figura 4.7a se aprecia como el inversor se encuentra levemente saturado. En este caso, debido a que la magnitud de la corriente inyectada de séptimo armónico es la máxima posible, y teniendo en cuenta la fase aportada a la referencia del tercer armónico, la máxima amplitud alcanzable en esta última componente homopolar, sin saturar al inversor, es bastante baja.

En este mismo inversor, manteniendo la inyección de los 13A de séptimo armónico, cuando la referencia del tercer armónico de corriente está en contrafase respecto al caso anterior, la máxima amplitud inyectable de este tercer armónico es mucho más elevada. Esto se puede apreciar en las Figuras 4.7d, 4.7e y 4.7f. En la Figura 4.7d se observa como, para la fase considerada en la referencia de tercer armónico, la tensión resultante que debe ser sintetizada por las ramas del inversor se aleja del límite de saturación. En la figura 4.7e se muestran las corrientes que cada rama inyecta en la red, las cuales están constituidas por los 13A de séptimo armónico, más 50A de tercero. En la Figura 4.7f se muestran los 150A de tercer armónico que están siendo derivados desde el neutro de la red hacia el inversor.

En el inversor TLSC, hay que resaltar que si la corriente inyectada de séptimo armónico hubiese sido algo menor, por ejemplo 10A, el margen de tensión generable por las ramas del inversor habría sido lo suficientemente grande como para permitir la inyección de corrientes de tercer armónico con una amplitud considerable para cualquier ángulo de fase. Esto es lógico, ya que si se tiene en cuenta que la impedancia de secuencia homopolar que enlaza el inversor y la red es bastante baja para esta frecuencia, basta con generar pequeños niveles de tensión en las ramas del inversor para conseguir inyectar elevados niveles de corriente.

En la Figura 4.8 se muestran los resultados de simulación obtenidos cuando el inversor FLFB se encuentra inyectando en la red una corriente con tercer y séptimo armónico. En este caso se ha considerado que, para un determinado ángulo de fase en la señal de referencia, el inversor se encuentra inyectando en la red la máxima amplitud posible de corriente de séptimo armónico. Esta amplitud es de 25A, magnitud inalcanzable en ningún caso por el inversor TLSC. Así mismo, se ha supuesto que la amplitud de la corriente inyectada de tercer armónico es de 50A por fase, es decir, se están derivando 150A de tercer armónico desde el conductor de neutro hacia el inversor.

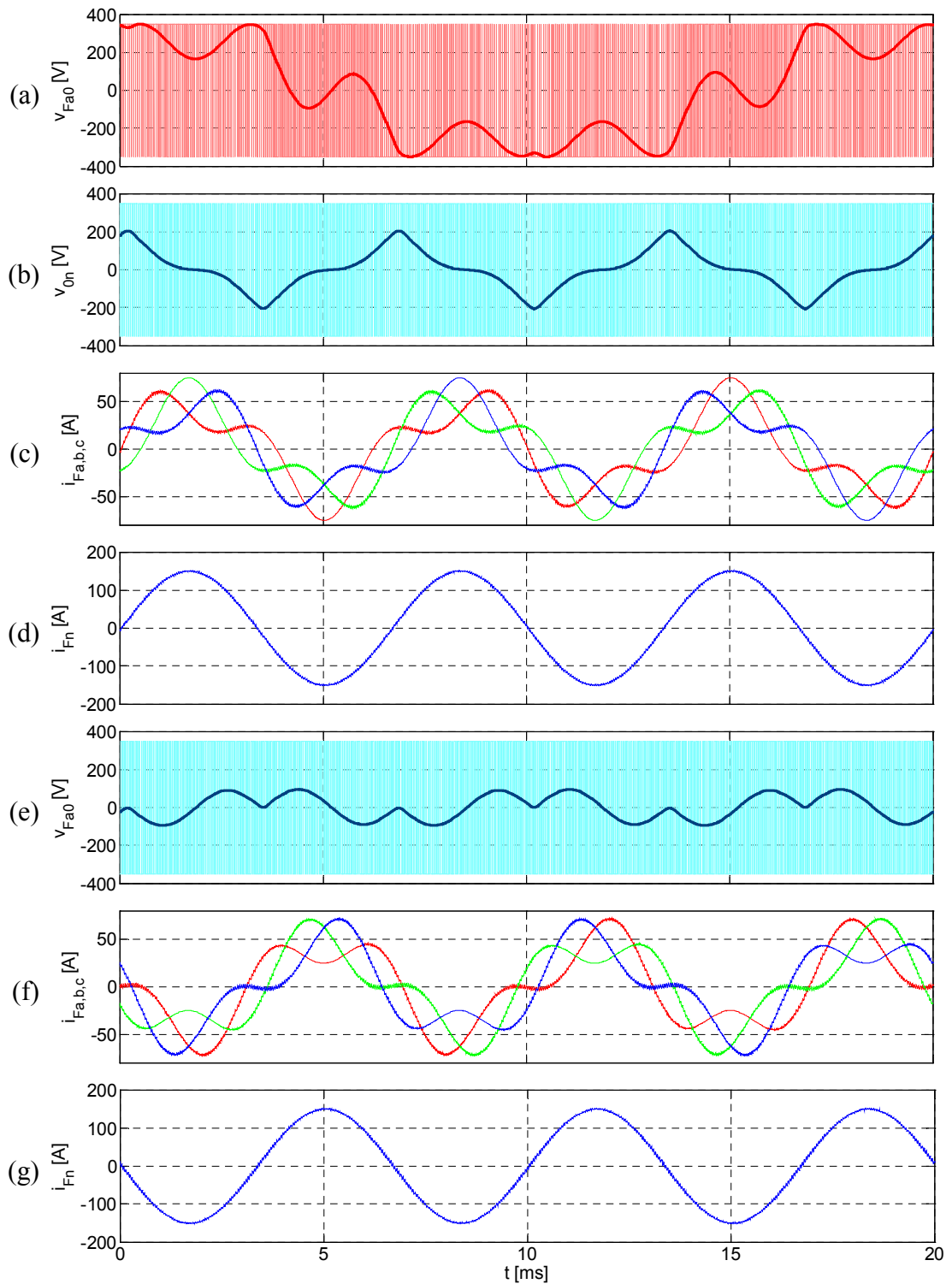


Figura 4.8. Formas de onda del inversor FLFB inyectado 3^{er} y 7^o armónico de corriente en la red.

En la Figura 4.8a se muestra la tensión que será sintetizada por la rama *a* del inversor. Considerando que la corriente de séptimo armónico que se está inyectando en la red no varía, la tensión de la rama *a* será siempre la misma, con independencia de la fase que presente la referencia de corriente de tercer armónico. Esto es debido a

que la responsable de la inyección de esta corriente de tercer armónico es la cuarta rama del inversor.

En la Figura 4.8b se muestra la tensión que aparece entre el nodo '0' y el nodo 'n' cuando las corrientes de las fases, y la derivada desde el neutro, coinciden respectivamente con las mostradas en las Figuras 4.8c y 4.8d. De la misma manera, la Figura 4.8e muestra la tensión existente entre el nodo '0' y el nodo 'n' cuando las formas de onda de corriente corresponden a las mostradas en las Figuras 4.8f y 4.8g.

Hay que indicar que la independencia existente entre las componentes de tensión generables con secuencia positiva y negativa, y con de secuencia homopolar, no se mantiene indefinidamente, existiendo un momento en el que dichas componentes de tensión comienzan a ser dependientes. Sin embargo, esta dependencia se da para valores bastante elevados de la tensión de secuencia homopolar, lo que implica que la corriente que estaría siendo derivada desde el conductor de neutro de la red sería tan elevada que posiblemente el inversor FLFB dejase de ser el más indicado. En tales circunstancias, toda esa corriente de secuencia homopolar debería estar circulando por la cuarta rama del inversor, haciendo que los transistores de dicha rama tuviesen que presentar excelentes prestaciones.

La revisión realizada en este Apartado, acerca de las diferentes topologías del convertidor estático del SAPF, permite discernir las ventajas e inconvenientes de cada una de ellas para su aplicación en redes de potencia de cuatro hilos. Como se expondrá seguidamente, la utilización de una determinada topología en aplicaciones de filtrado activo vendrá determinada, no sólo por las prestaciones intrínsecas del propio convertidor, sino también por la facilidad de su control en este tipo de aplicaciones. En este sentido, la topología de tres ramas y condensador partido, TLSC, resulta fácilmente aplicable, por lo que en el Apartado 4.3 se propondrá una modificación de la misma a modo de solventar los inconvenientes asociados con el desequilibrio en las tensiones de los condensadores de su bus de continua.

4.2. Controlador de corriente

El controlador de corriente del SAPF tiene por objetivo conseguir que las corrientes de salida del inversor sigan fielmente a las referencias aportadas al mismo.

Con independencia de la técnica de control elegida, y suponiendo que no existe ningún tipo de filtro pasivo para las componentes de alta frecuencia, la corriente inyectada en la red presentará un rizado superpuesto. Dicho rizado de corriente resulta de la conmutación de las ramas del inversor, y sus parámetros característicos son su frecuencia y su amplitud. En los filtros activos en derivación, ambos parámetros son contrapuestos, ya que, debido a la evolución temporal de la tensión de red, no existe ninguna técnica de control que permita mantener constantes la frecuencia y la amplitud del rizado de corriente de manera simultánea. Mantener constante la frecuencia del rizado de la corriente, o lo que es lo mismo, mantener constante la frecuencia de conmutación, se traducirá en una mayor sencillez a la hora de sintonizar el pequeño filtro pasivo de la salida del inversor, y se minimizará el

problema de las resonancias que pudieran aparecer. Si se mantiene constante la amplitud del rizado, las corrientes inyectadas tendrán una apariencia más uniforme, aunque es posible que aparezcan secuencias de conmutación que no puedan ser convenientemente ejecutadas debido a las limitaciones impuestas por los tiempos de muertos de los transistores.

Los avances acontecidos en el campo de los procesadores digitales de señal (*DSP's*) han dado lugar a la aparición de diferentes técnicas en el control de la corriente inyectada por el convertidor estático. En [4.25][4.26][4.27][4.28][4.29] se realiza una revisión general de estas técnicas para inversores trifásicos. Debido a la aleatoriedad en la forma de onda de la corriente que debe ser inyectada por el inversor, y a la influencia de las variaciones en las tensiones de red, no todas las técnicas de control citadas en las referencias anteriores son apropiadas para aplicaciones de filtrado activo. En [4.30][4.31][4.32] se ofrece una comparación de algunas técnicas de control utilizadas en filtros activos. A modo de revisión, a continuación se detallan las técnicas de control de corriente que han demostrado mayor efectividad en aplicaciones prácticas de filtrado activo, describiendo en cada una de ellas sus principales características.

(A) Control lineal de corriente

La versión convencional del control lineal de corriente utiliza una modulación PWM estándar del convertidor. En este control, la señal moduladora que se compara con la portadora triangular proviene de la salida de un regulador lineal, generalmente un regulador proporcional-integral. Este control puede ser implementado mediante circuitos analógicos o digitales [4.33][4.34]. Una variante al método convencional consiste en modificar la moduladora original añadiéndole una señal de secuencia homopolar. Para inversores en puente completo, esta variante del método convencional consigue extender el rango lineal del convertidor y permite disminuir las pérdidas de conmutación en el mismo [4.35]. Aunque el control lineal se puede implementar perfectamente sobre un sistema de referencia estacionario [4.36], una variante consiste en la utilización de un sistema de referencia rotativo; ejes $d-q$ [4.37][4.38]. La elección de los parámetros del regulador es directa cuando se trabaja en tiempo continuo. La discretización de este control se puede hacer fácilmente en el paso final de diseño, eligiendo entre diferentes métodos de integración (por ejemplo Euler o trapezoidal). Este método de control presenta una excelente inmunidad al ruido, teniendo en cuenta que el limitado ancho de banda del regulador elimina las componentes de alta frecuencia de la señal de error de corriente. En sistemas continuos, la limitación del ancho de banda se debe a la restricción impuesta por la máxima pendiente de la señal moduladora, la cual no puede superar en ningún momento la pendiente de la portadora triangular. En sistemas discretos, esta limitación viene impuesta por la constante de tiempo de actualización de consignas en el modulador. La limitación del ancho de banda del regulador lineal, implica errores significativos en el seguimiento de la señal de referencia de armónicos de orden elevado. Por tanto, en aplicaciones de filtrado activo, el retardo introducido por el modulador, y el efecto de la respuesta natural del regulador, hace que el control lineal de corriente no consiga unos resultados completamente satisfactorios en la compensación armónica de corrientes de red con alto grado de variabilidad [4.30].

(B) Control predictivo de corriente

Este tipo de control predice, en cada periodo de modulación, y en base al error actual y a los parámetros del sistema, el valor que debería de adoptar la tensión de salida del inversor para asegurar que la corriente inyectada alcance el valor de referencia. Cuando la tensión de salida del inversor se elige de forma que el error de corriente es eliminado al final del siguiente periodo de conmutación, este control se conoce como *dead-beat* [4.39][4.40] y es inherentemente la estrategia de control pseudo-lineal más rápida que puede ser adoptada [4.41][4.42]. En régimen permanente, este control asegura que la corriente sigue exactamente a la referencia con un retraso de dos periodos de muestreo. Este sistema de control se basa en la existencia de un modelo interno del sistema conectado a la salida del inversor, el cual se usa para predecir la respuesta dinámica. Lógicamente, las variaciones en los parámetros del modelo, respecto a la situación real, hacen que este control sea susceptible a inestabilidades y oscilaciones. El control *dead-beat* se suele programar en un procesador digital de señal, y generalmente utiliza modulación vectorial en el convertidor, la cual es también apropiada para implementación digital. Esta técnica de control requiere una elevada potencia de procesado, y necesita una frecuencia de muestreo relativamente elevada. En versiones avanzadas del control *dead-beat*, es común el uso de un estimador de la tensión de red, con lo que se evita el sensado de dicha variable. Sin embargo, los errores cometidos en esta estimación influirán negativamente en la estabilidad y robustez del controlador. Así mismo, los retardos debidos a estos cálculos suponen una seria desventaja en esta técnica [4.43]. Con el objetivo de reducir el retraso de dos periodos de conmutación, la corriente se muestrea dos veces en cada periodo de conmutación, con lo que se consigue reducir dicho retardo a solo un periodo [4.44]. Otro aspecto importante en este control es la influencia del filtro pasivo de alta frecuencia que está colocado a la salida del inversor, el cual debe ser tenido en cuenta en el modelo, dando lugar a un aumento adicional del tiempo de procesado. En el control *dead-beat*, el rizado de la corriente no puede ser establecido explícitamente, y no presenta la capacidad inherente de limitar la corriente instantánea. La idoneidad de esta técnica de control para ser programada en un procesador digital de señal junto con sistemas avanzados de modulación del convertidor, ha hecho que en los últimos hayan aparecido numerosas aplicaciones de control de filtros activos basadas en ella [4.48][4.49][4.50].

(C) Control deslizante de corriente

Los convertidores de potencia se encuentran enmarcados dentro de los sistemas de estructura variable, los cuales son sistemas no lineales con acciones discontinuas de control. Esto hace que el control deslizante (*sliding control*), debido a sus características de invariancia, robustez y simple implementación, resulte un camino natural para el control de convertidores de potencia [4.48]. El control en modo deslizante es un control de estructura variable, el cual selecciona el estado de conmutación adecuado en el inversor para guiar la trayectoria de las variables de estado hacia una superficie de conmutación predefinida. Cuando un sistema gobernado en modo deslizante alcanza la superficie de control, éste es forzado a restringir su evolución sobre dicha superficie de control para todos los instantes de tiempo subsecuentes [4.49]. La respuesta dinámica del sistema, restringida a esa

superficie de control, representa el comportamiento del sistema controlado. En este tipo de control, básicamente se deben considerar tres pasos, que son: proponer la superficie de control, verificar la existencia de control en modo deslizante, y analizar la estabilidad del sistema en esa superficie [4.50][4.51][4.52]. En filtros activos, la aplicación del control deslizante de corriente en tiempo continuo es una práctica habitual [4.53][4.54]. El control deslizante en tiempo continuo asume una frecuencia de conmutación infinita, y se debe aplicar una banda de histéresis para conseguir limitar la frecuencia de conmutación. Por tanto, la frecuencia de conmutación en este caso no es constante, y presenta un espectro continuo en el rizado de la corriente inyectada. La discretización del control soluciona este problema, dando como resultado una frecuencia de conmutación constante [4.55]. En los últimos años, está creciendo el uso de esta técnica de control en aplicaciones de filtrado activo, debido a su idoneidad para ser implementada en procesadores digitales de señal [4.56][4.57].

(D) Control por histéresis de corriente

El control por histéresis se ha utilizado extensamente en la regulación de corriente de convertidores estáticos, y concretamente, en el campo del filtrado activo de corriente, este controlador ya fue empleado en los primeros desarrollos [4.13]. En la versión básica de este controlador, la corriente inyectada se compara con la corriente de referencia, y el error resultante se aplica a un comparador de histéresis de banda fija, obteniéndose así las señales de conmutación de los transistores para mantener el error en la corriente inyectada dentro de esta banda de histéresis [4.25]. Debido a su inherente no linealidad, y a la ausencia de retardos, este método de control es capaz de suministrar la respuesta dinámica más rápida posible. Este sistema de control resulta estable y robusto a variaciones de carga y otro tipo de perturbaciones dinámicas. El control por histéresis resulta sencillo de implementar y es muy utilizado en el control de inversores, suministrando además una limitación instantánea de la corriente. A pesar de las ventajas citadas, esta técnica de control muestra varias características indeseables. La principal desventaja es que da lugar a una frecuencia de modulación variable en el inversor de potencia, lo cual complica el diseño del filtro pasivo de salida del mismo, y puede dar lugar a resonancias con la red. El control por histéresis se aplica fácilmente a inversores en los que las ramas de transistores trabajan de manera independiente, sin embargo en inversores en puente completo, la interacción entre las corrientes de las fases afecta de manera negativa en el funcionamiento de este controlador. En los últimos años se han realizado múltiples mejoras sobre el controlador original. La primera de ellas consiste en la obtención de una frecuencia de conmutación constante a partir del establecimiento de una anchura de banda de histéresis variable [4.58]. En el Apartado 4.5 se propone un algoritmo sencillo para conseguir esta funcionalidad. Otra mejora al método original, aplicable a convertidores en puente completo, consiste en desacoplar las señales de error de las diferentes fases, lo cual se consigue restando al error de corriente de cada fase, la interferencia producida por la tensión instantánea de secuencia homopolar existente a la salida del inversor [4.59]. Cuando los errores de corriente en las diferentes fases se encuentran desacoplados, los instantes de conmutación de las ramas pueden ser sincronizados mediante una señal de reloj, con lo que se pueden obtener secuencias óptimas de conmutación [4.60]. La sencillez del control básico por histéresis posibilita la implementación de un sistema de naturaleza analógica, aunque la

inclusión de las diferentes mejoras realizadas sobre el método original propician su implementación digital [4.61][4.62], apareciendo continuamente nuevas aportaciones y prestaciones [4.63][4.64][4.65][4.66]. Las características finales obtenidas en este método de control lo hacen apropiado para aplicaciones de altas prestaciones, como puede ser el filtrado activo de corriente, en las que es necesario un error de seguimiento acotado y una elevada velocidad de respuesta..

Existe otra técnica de control que, debido a su sencillez de implementación en sistemas digitales con frecuencia de muestreo constante, es muy utilizada en los SAPF's. Esta técnica es conocida como *control bang-bang* o *modulación delta* [4.67][4.68][4.69]. En este trabajo, este tipo de control no ha sido considerado de forma separada, ya que, a juicio del Autor, puede ser catalogado como un control de histéresis con amplitud de banda nula y frecuencia de muestreo constante. En lo referente a velocidad de respuesta y simplicidad, la modulación delta básica presenta características muy similares al control por histéresis, aportando la ventaja de limitar la máxima frecuencia de conmutación a la mitad de la frecuencia de muestreo, lógicamente, a costa de no mantener constante la amplitud del error de corriente.

En los prototipos experimentales desarrollados en este trabajo, se han utilizado dos técnicas diferentes de control de corriente. En aquellos prototipos en los que deseaba evaluar la bondad de los algoritmos de modulación vectorial expuestos en el Capítulo 5, se ha utilizado un control lineal. En los prototipos en los que se deseaba evaluar el comportamiento de la topología propuesta en el Aparato 4.3, cuando actuaba bajo las consignas aportadas por el controlador energético expuesto en el Capítulo 6, se ha utilizado un control por histéresis de banda adaptativa.

4.3. Inversor de cuatro ramas con condensador repartido

El inversor de tres ramas con condensador partido, TLSC, ha sido bien acogido por parte de fabricantes e investigadores para su utilización en aplicaciones de filtrado activo de corriente en redes de cuatro hilos.

En apartados anteriores se indicó que la amplia utilización de este convertidor no reside en la excelencia de sus prestaciones, ya que existen otras topologías que aprovechan mejor los recursos de tensión del bus de continua y alcanzan mayores niveles de inyección de corriente; sino que dicha utilización viene justificada por la sencillez de su control, ya que las tres ramas del mismo funcionan de manera independiente, y consiguientemente, dicho control puede ser concebido como el de tres inversores monofásicos independientes.

También se indicó anteriormente que, cuando este inversor inyecta corriente homopolar, aparece un desequilibrio en el reparto de la tensión de los condensadores de su bus de continua. Este desequilibrio, obliga a incrementar el tamaño de dichos condensadores para asegurar las adecuadas condiciones de operación del SAPF y complica el control del inversor.

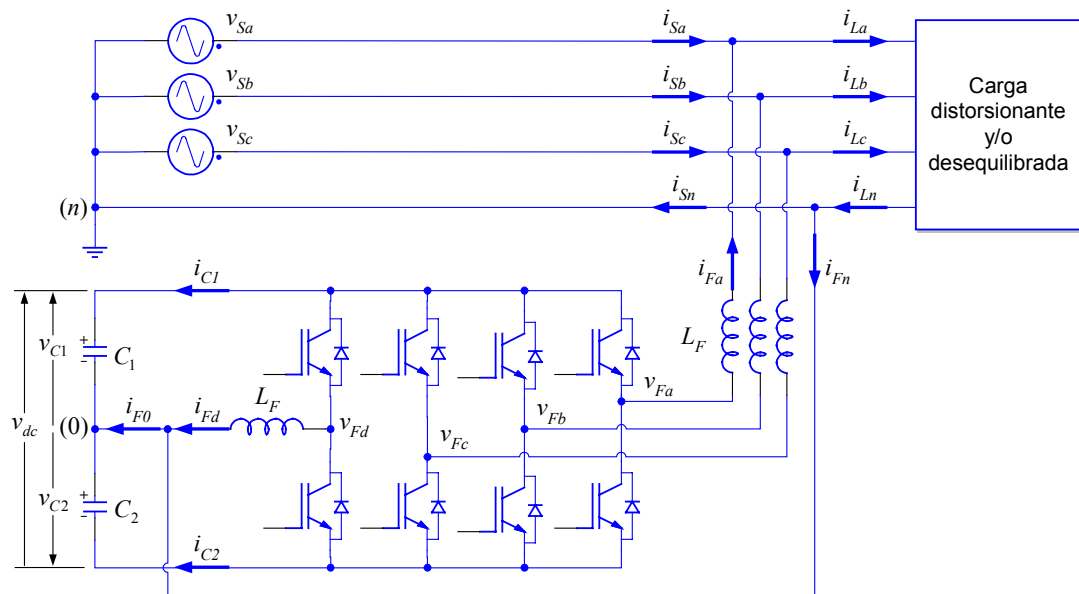


Figura 4.9. Estructura de un SAPF con un inversor FLSC.

En este trabajo se propone una topología alternativa que permite solventar el problema del desequilibrio de tensión en el bus de continua del convertidor TLSC. Esta topología se muestra en la Figura 4.9, y como se puede apreciar, en ella se ha añadido una cuarta rama encargada del equilibrado de tensiones en el bus de continua. A este inversor se le ha denominado “inversor de cuatro ramas con condensador repartido” (FLSC – *Four-Leg Split-Capacitor*). En lo referente a sencillez de control, este inversor presenta las mismas ventajas que el inversor TLSC, pero además, la cuarta rama aporta un nuevo grado de libertad que permite controlar la corriente inyectada en el punto intermedio del bus de continua. Es justo decir que esta topología fue presentada, de forma muy breve, en una conferencia celebrada en 1997 [4.70], y a pesar de sus ventajas, existen muy pocos trabajos en los que se aplique para el filtrado activo de corriente [4.70][4.71].

En esta topología de inversor, si la corriente inyectada por la rama d , i_{Fd} , es idéntica, y de signo opuesto, a la corriente derivada desde el conductor de neutro de la red, i_{Fn} , entonces la corriente inyectada en el nodo intermedio del bus de continua, i_{F0} , será nula, por lo que no aparecerá desequilibrio en el reparto de tensiones en dicho bus. En principio, para conseguir este comportamiento basta con imponer que la referencia de corriente de la rama d sea igual, y de signo opuesto, al sumatorio de las referencias de corriente de las otras tres ramas. Sin embargo, la imposición de esta corriente de referencia en la rama d no garantizará en todo momento una inyección nula de corriente en el nodo intermedio del bus, ya que, en primer lugar, el sumatorio del rizado de corriente en las cuatro ramas no será instantáneamente nulo, y en segundo lugar, podrán aparecer errores transitorios en el seguimiento de las corrientes de referencia. Por consiguiente, será necesaria la utilización de un controlador de la tensión diferencial del bus de continua que garantice la correcta equalización de tensiones entre los condensadores del mismo. Este controlador se presenta en el Apartado 4.6.

En la Figura 4.7 se mostraban las formas de onda de tensión y corriente del inversor TLSC cuando éste inyectaba corrientes de secuencia homopolar. En aquel caso, el bus de continua estaba constituido por dos fuentes ideales de tensión, con lo que no existía el efecto del desequilibrio provocado por las corrientes de secuencia homopolar. Para evidenciar el fenómeno del desequilibrio del bus de continua se ha utilizado el convertidor TLSC que se mostró en la Figura 4.2. En este circuito se ha considerado que: *i)* el valor de los condensadores del bus de continua es $C_1=C_2=1000\mu\text{F}$; *ii)* la tensión inicial del bus es de 700V (350V en cada condensador); *iii)* el valor de pico de la tensión de fase de la red es de 311V; *iv)* las inductancias de acoplo a red son de 2,2mH. Además, se ha utilizado un control de corriente por histéresis, con una banda de amplitud constante igual a 2A.

La Figura 4.10 muestra los resultados de simulación obtenidos cuando el convertidor TLSC inyecta 10A de tercer armónico en cada fase. La corriente inyectada en la fase *a* se muestra en la Figura 4.10a, pudiéndose apreciar como, al estar trabajando con una banda de histéresis de amplitud constante, la frecuencia de conmutación de los transistores es variable. En la Figura 4.10b se muestra la corriente inyectada en el punto intermedio del bus de continua, la cual presenta un rizado pseudo-aleatorio que resulta de la combinación de los rizados individuales de las corrientes inyectadas por cada una de las ramas del inversor. La Figura 4.10c muestra la tensión de la rama *a*, resaltando en trazo grueso la tensión resultante del promediado local de la misma.

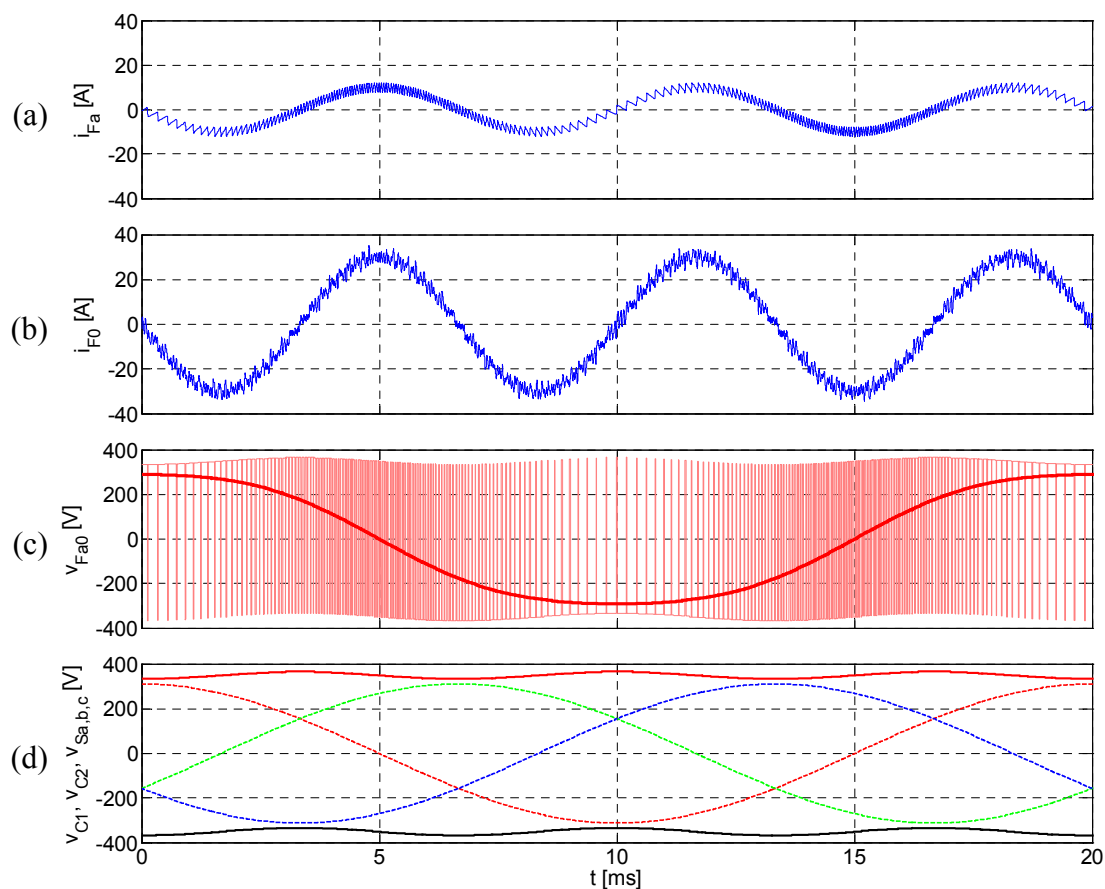


Figura 4.10. Desequilibrio de tensiones en el bus DC del inversor TLSC cuando inyecta corriente de secuencia homopolar.

En la Figura 4.10 se aprecia como el reparto de tensión entre los condensares del bus de continua va variando a lo largo del tiempo, aunque la tensión absoluta del bus permanece prácticamente constante. Este desequilibrio de tensión en el bus de continua ha de ser tenido en cuenta a la hora de plantear el algoritmo de modulación del inversor, ya que origina la pérdida de la relación de proporcionalidad entre el índice de modulación de la rama y la tensión media que aparece a la salida de la misma (por ejemplo, en el caso de una modulación estándar basada en portadora). Además, como se aprecia en la Figura 4.10d, el desequilibrio de tensión en el bus de continua disminuye la capacidad de inyección de corriente por parte del inversor, pudiéndose llegar a alcanzar situaciones en las que, al disminuir la tensión de alguno de los condensadores por debajo del valor de pico de las tensiones de red, se pierda completamente el control de la corriente inyectada. Para evitar estos efectos indeseables en el inversor TLSC, únicamente se puede aumentar el valor nominal de la tensión del bus de continua, o aumentar el tamaño de los condensadores.

Manteniendo los mismos parámetros de trabajo que en el caso anterior, en la Figura 4.11 se muestran los resultados de simulación obtenidos al utilizar el inversor FLSC de la Figura 4.9. Ahora, se puede observar como la corriente inyectada en el punto intermedio del bus de continua es prácticamente nula. La Figura 4.11b muestra el rizado que finalmente se inyecta en dicho punto medio, el cual aparece de la combinación de los rizados individuales de las corrientes inyectadas por las cuatro

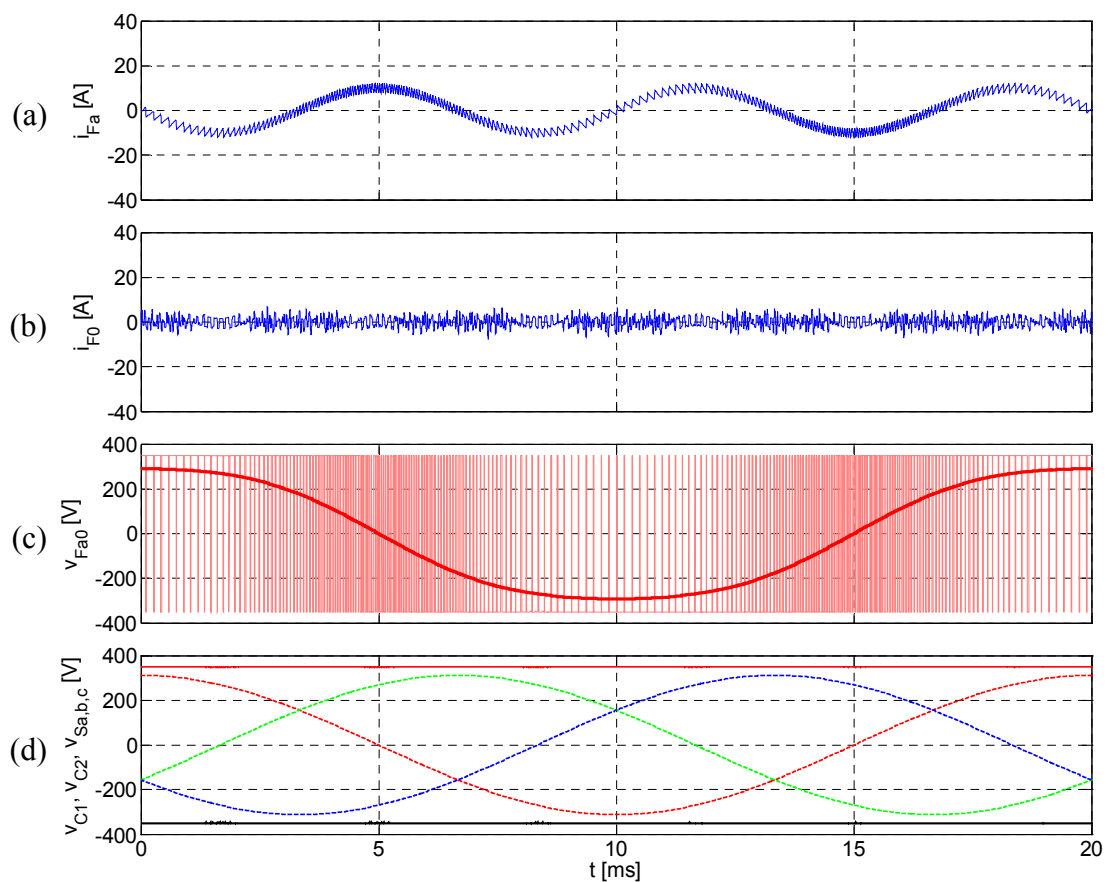


Figura 4.11. Equilibrado de las tensiones del bus DC del inversor FLSC cuando inyecta corrientes de secuencia homopolar.

ramas del inversor. Las Figuras 4.11c y 4.11d muestran como ahora existe un reparto equitativo de tensión entre los dos condensadores del bus de continua, lo cual conduce a una relación de proporcionalidad entre el índice de modulación de la rama y la tensión media que aparece a la salida de la misma. En estas figuras también se puede apreciar como, para las condiciones de simulación consideradas, el equilibrado de las tensiones del bus aumenta el margen de tensión suministrable por el inversor antes de alcanzar la saturación, por lo que su capacidad de inyección de corriente también aumenta. Por último, el margen de controlabilidad del inversor también ha aumentado, ya que las tensiones de los condensadores no se aproximan peligrosamente al valor de pico de las tensiones de red.

En el Apartado 4.6, se realiza un estudio analítico detallado de la evolución de la tensión diferencial del bus de continua, y se presentan las reglas de diseño de un regulador simple que evite los errores de régimen permanente que pudieran aparecer en la misma.

En las simulaciones realizadas hasta el momento, se ha considerado que la tensión de red no presenta componente homopolar, por lo que la potencia activa instantánea desarrollada por el SAPF cuando inyecta corriente con esa secuencia es permanentemente nula. Consiguientemente, como se puede observar en las simulaciones anteriores, la energía acumulada en el bus de continua permanece prácticamente constante, salvando únicamente las pequeñas variaciones de energía que se ocasionan a raíz de la carga y descarga de las inductancias de acoplo. Cuando el SAPF inyecte en la red componentes de corriente que generen valores no nulos en la evolución de la potencia instantánea asociada al mismo, la energía acumulada en el bus de continua variará, lo cual también provocará variaciones en la tensión absoluta de dicho bus. En el Capítulo 6 de este trabajo se realiza un estudio analítico de la evolución de la energía en el bus de continua y se diseña el controlador apropiado encargado de mantener constante el valor medio de la misma.

El inversor FLSC aquí presentado no pretende competir en prestaciones con el inversor FLFB, sino que, en concordancia con el título de este trabajo, pretende aportar una solución efectiva a los problemas que el desequilibrio de las tensiones de los condensadores plantea en el inversor TLSC, el cual es sumamente utilizado en trabajos de investigación y en equipos comerciales.

4.4. Modelo promediado en espacio de estado del SAPF

Para poder diseñar los diferentes controladores del SAPF es necesario disponer de un modelo de éste que determine el comportamiento de sus variables características en función de los parámetros de control y de las condiciones de contorno del sistema.

Si en la concepción del modelo de simulación del convertidor estático del SAPF se tiene en cuenta la estructura variable de sistema, esto es, si en dicho modelo se hacen intervenir las variables de conmutación de los transistores del convertidor, el coste de

procesado en la simulación del convertidor será muy elevado, lo cual se traducirá en varias horas de computación para simular intervalos de tiempo que sólo abarcan algunas decenas de ciclos de la tensión de red. En este Apartado, mediante la utilización de la técnica de promediado en espacio de estado, se procede a la generación de un modelo continuo del SAPF que refleja la evolución promediada de las variables de estado del mismo. Este modelo agilizará enormemente las tareas de simulación y posibilitará el diseño de los controladores necesarios.

En los convertidores bidireccionales de corriente, se puede identificar una unidad genérica de conmutación, como la mostrada en la Figura 4.12, denominada *rama de conmutación*. Cada rama está compuesta por dos elementos de conmutación, y tiene una fuente de tensión en un lado (un condensador en este caso), y una fuente de corriente en el otro (una inductancia en este caso). Estas características convierten a la rama en una unidad genérica de conmutación.

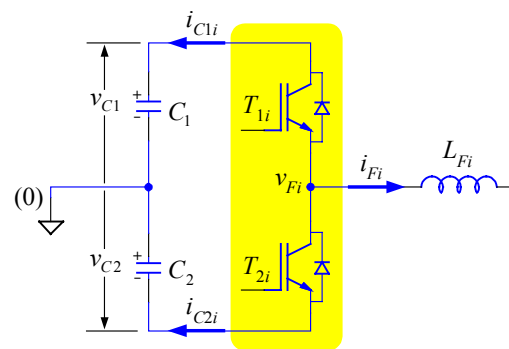


Figura 4.12. Rama genérica de convertidores bidireccionales de corriente.

En el circuito de la Figura 4.12, se ha considerado que el bus de continua está constituido por dos condensadores para facilitar explicaciones posteriores. Los elementos de conmutación mostrados en esta figura pueden ser descritos mediante un interruptor genérico S , como muestra la Figura 4.13, cuya función de control se expone en (4.1).

$$s = \begin{cases} -1 & , i = 0, \text{ si } s \text{ abierto} \\ 1 & , v = 0, \text{ si } s \text{ cerrado} \end{cases} \quad (4.1)$$

Figura 4.13. Interruptor genérico S .

Existen ciertas restricciones para los dos elementos de conmutación de una rama. Las restricciones incluyen que la fuente de tensión, o los condensadores, no pueden ser cortocircuitados, y que la fuente de corriente, o la inductancia, no puede quedar en circuito abierto. Estas restricciones conducen al requerimiento de que los dos interruptores de una rama deben trabajar de forma complementaria, es decir, para evitar el cortocircuito de los condensadores, sólo uno de los dos interruptores puede estar cerrado al mismo tiempo. De la misma manera, para evitar que la inductancia quede en circuito abierto, uno de los dos interruptores debe estar cerrado en cualquier

momento. Basándonos en la función de conmutación definida en (4.1), se puede describir la siguiente relación aritmética:

$$s_{1i} + s_{2i} = 0. \quad (4.2)$$

Como resultado, cada rama puede ser representada mediante un conmutador de un solo polo y doble vía como el mostrado en la Figura 4.14. En esta figura, se ha representado la conexión a red de la rama genérica, así como las diferentes variables de interés. Si esta rama trabajase de manera individual, sería imposible la circulación de corriente alguna, a no ser que se estableciese un vínculo de unión entre los nodos '0' y 'n'. Este vínculo de unión aparece cuando las diferentes ramas del convertidor trabajan de manera conjunta para confeccionar las topologías de los inversores anteriormente expuestos.

En la Figura 4.14, la tensión v_{0n} representa la tensión de flotación del punto medio del bus de continua respecto al neutro de la red. Lógicamente, el valor de esta tensión será nulo para aquellos inversores que presentan el punto intermedio del bus conectado a neutro de la red, mientras que en los inversores en puente completo, su valor dependerá del estado de conmutación de las diferentes ramas.

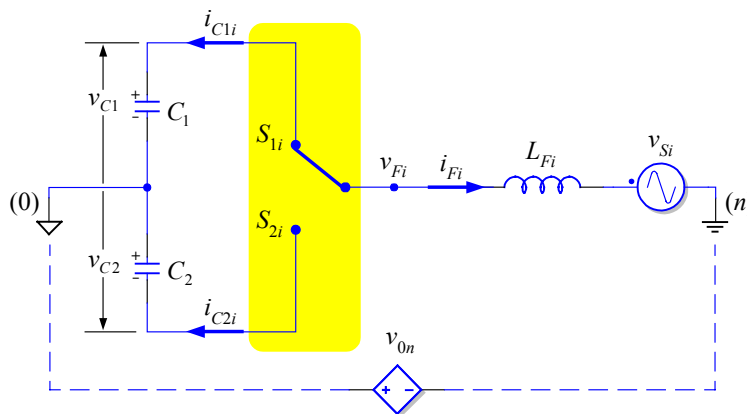


Figura 4.14. Rama genérica de conmutación representada mediante un conmutador de simple polo y doble vía.

Las señales de PWM de esta rama se muestran en la Figura 4.15, donde T_{Si} es el periodo de conmutación y d_i es el ciclo de trabajo del interruptor superior de la rama, S_{1i} . En esta figura, para evaluar la contribución particular de esta rama sobre las corrientes del bus de continua, se ha supuesto que la fuente tensión v_{0n} adopta un valor finito, encontrándose físicamente conectada entre los nudos '0' y 'n', por lo que podrá existir circulación de corriente en dicha rama. Así mismo, se ha considerado un instante particular en el que $|v_{C1}| > |v_{C2}|$, $v_{Si} = 0V$ y $d_i = 0,5$, con lo que la corriente por la inductancia, en promedio, será creciente.

Considerando que en la rama de conmutación mostrada en la Figura 4.14 se cumple que $C_1 = C_2 = C$, un análisis simple permite obtener las expresiones (4.3) y (4.4), las cuales describen la evolución de las diferentes variables para cada intervalo de conmutación. En la interpretación de estas ecuaciones, hay que recordar que, según los criterios de medida de la Figura 4.14, se tiene que $v_{C1} > 0$ y $v_{C2} < 0$.

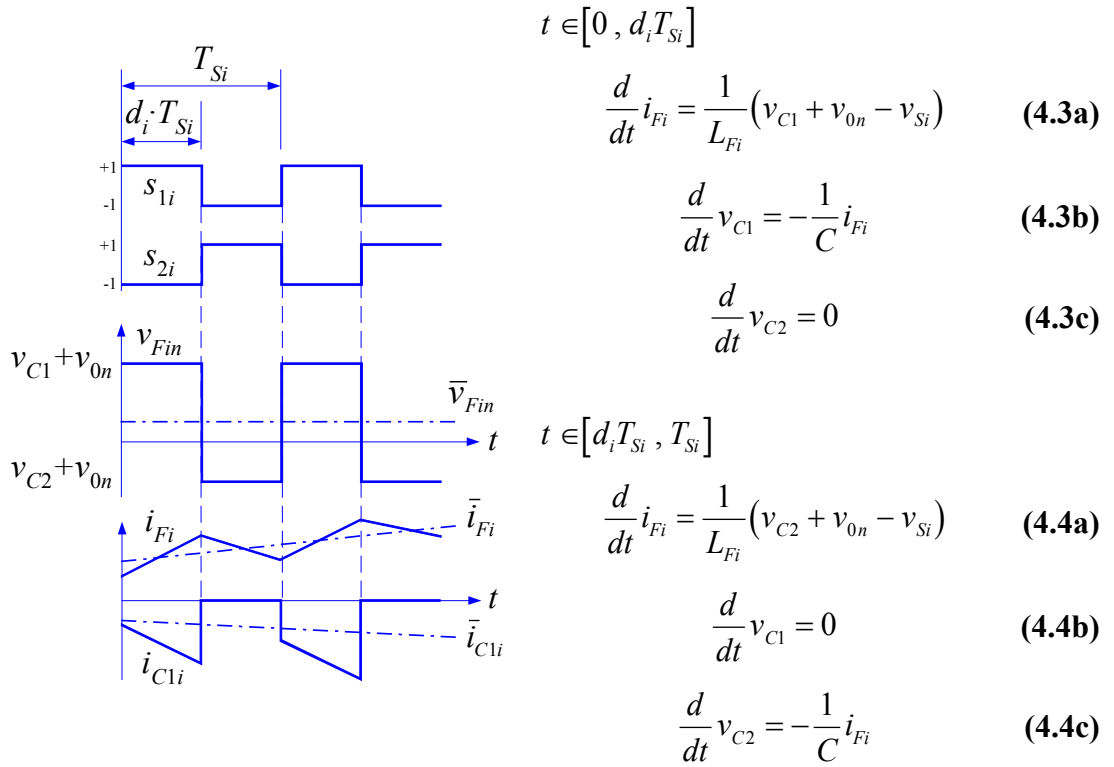


Figura 4.15. PWM de la rama de conmutación y sus correspondientes corrientes y tensiones.

A partir de las expresiones (4.3) y (4.4), la rama genérica de conmutación puede ser representada mediante el modelo promediado en espacio de estado mostrado en (4.5), donde (4.5a) corresponde a la ecuación de estado y (4.5b) a la ecuación de salida. Con objeto de simplificar la notación, las variables de esta ecuación representan directamente valores promediados sobre un periodo de conmutación, es decir: $i_{Fi} \equiv \bar{i}_{Fi}$, $v_{Si} \equiv \bar{v}_{Si}$, etc. En posteriores ecuaciones, y mientras no se especifique lo contrario, se adoptará este criterio de notación para las variables promediadas.

$$\begin{bmatrix} \dot{i}_{Fi} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \begin{bmatrix} 0 & \frac{d_i}{L_{Fi}} & \frac{(1-d_i)}{L_{Fi}} \\ -\frac{d_i}{C} & 0 & 0 \\ -\frac{(1-d_i)}{C} & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Fi} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L_{Fi}} \\ 0 \\ 0 \end{bmatrix} (v_{Si} - v_{0n}) \quad (4.5a)$$

$$\begin{bmatrix} v_{Fi0} \\ i_{C1i} \\ i_{C2i} \end{bmatrix} = \begin{bmatrix} 0 & d_i & 1-d_i \\ -d_i & 0 & 0 \\ -(1-d_i) & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Fi} \\ v_{C1} \\ v_{C2} \end{bmatrix} \quad (4.5b)$$

Se define ahora la variable de control $c_i \in [-1, 1]$, la cual guarda las relaciones mostradas en (4.6) con el ciclo de trabajo $d_i \in [0, 1]$.

$$c_i = -1 + 2d_i \quad (4.6a)$$

$$d_i = \frac{1+c_i}{2} \quad ; \quad 1-d_i = \frac{1-c_i}{2} \quad (4.6b)$$

Por lo que las ecuaciones en espacio de estado mostradas en (4.3) pueden ser expresadas como:

$$\begin{bmatrix} \dot{i}_{Fi} \\ \dot{v}_{C1} \\ \dot{v}_{C2} \end{bmatrix} = \frac{1}{2} \begin{bmatrix} \frac{1}{L_{Fi}} & 0 & 0 \\ 0 & \frac{1}{C} & 0 \\ 0 & 0 & \frac{1}{C} \end{bmatrix} \begin{bmatrix} 0 & 1+c_i & 1-c_i \\ -(1+c_i) & 0 & 0 \\ -(1-c_i) & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Fi} \\ v_{C1} \\ v_{C2} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L_{Fi}} \\ 0 \\ 0 \end{bmatrix} (v_{Si} - v_{0n}), \quad (4.7a)$$

$$\begin{bmatrix} v_{Fi0} \\ i_{Ci} \\ i_{C2i} \end{bmatrix} = \frac{1}{2} \begin{bmatrix} 0 & 1+c_i & 1-c_i \\ -(1+c_i) & 0 & 0 \\ -(1-c_i) & 0 & 0 \end{bmatrix} \begin{bmatrix} i_{Fi} \\ v_{C1} \\ v_{C2} \end{bmatrix}. \quad (4.7b)$$

De (4.7b), la tensión promediada de la rama es:

$$v_{Fi0} = \frac{1}{2} [(1+c_i)v_{C1} + (1-c_i)v_{C2}] = \frac{1}{2} (c_i v_{dc} + \Delta v_{dc}), \quad (4.8)$$

donde, $v_{dc} = v_{C1} - v_{C2}$ representa la *tensión absoluta* del bus de continua, y $\Delta v_{dc} = v_{C1} + v_{C2}$ representa la *tensión diferencial* de dicho bus.

Por tanto, en base a las ecuaciones (4.7b) y (4.8), la rama genérica que se mostró en la Figura 4.12 puede ser ahora representada mediante el modelo continuo promediado mostrado en la Figura 4.16. Nótese en esta figura que el nodo '0' se encuentra virtualmente conectado al nodo '0*', es decir, las tensiones v_{Fi0} y v_{Fi0}^* serán idénticas en todo momento.

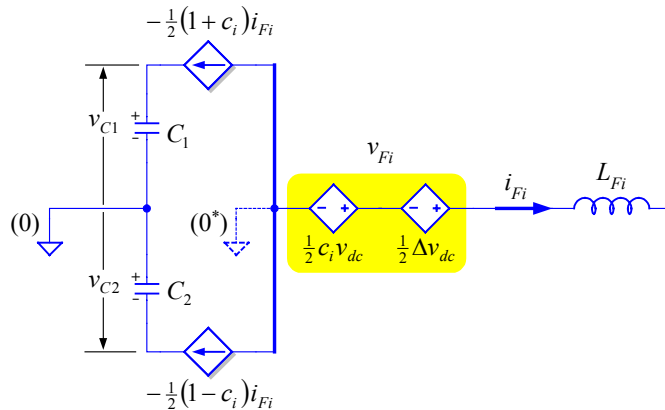


Figura 4.16. Modelo promediado de una rama de conmutación en función de la variable de control c_i .

A partir de la ecuación (4.8), la variable de control c_i puede expresarse en función de las tensiones que afectan a la rama, obteniendo:

$$c_i = \frac{2v_{Fi0} - \Delta v_{dc}}{v_{dc}}. \quad (4.9)$$

Sustituyendo (4.9) en (4.7b) se llega a:

$$i_{C1i} = -\frac{1}{2} \left(\frac{v_{dc} + 2v_{Fi0} - \Delta v_{dc}}{v_{dc}} \right) i_{Fi} = -\frac{(v_{Fi0} - v_{C2})}{v_{dc}} i_{Fi}, \quad (4.10a)$$

$$i_{C2i} = -\frac{1}{2} \left(\frac{v_{dc} - 2v_{Fi0} + \Delta v_{dc}}{v_{dc}} \right) i_{Fi} = \frac{(v_{Fi0} - v_{C1})}{v_{dc}} i_{Fi}. \quad (4.10b)$$

Teniendo en cuenta que la tensión de la rama vale:

$$v_{Fi0} = v_{Fin} - v_{0n} = L_{Fi} \dot{i}_{Fi} + v_{Si} - v_{0n}, \quad (4.11)$$

Entonces las expresiones de (4.10) se transforman en:

$$i_{C1i} = \frac{1}{v_{dc}} \left[(v_{0n} + v_{C2}) i_{Fi} - v_{Si} i_{Fi} - L_{Fi} \dot{i}_{Fi} \right], \quad (4.12a)$$

$$i_{C2i} = \frac{1}{v_{dc}} \left[-(v_{0n} + v_{C1}) i_{Fi} + v_{Si} i_{Fi} + L_{Fi} \dot{i}_{Fi} \right]. \quad (4.12b)$$

Las ecuaciones mostradas en (4.12) reflejan el significado energético de las corrientes que circulan por el bus de continua, y su utilidad quedará perfectamente evidenciada cuando se considere el efecto conjunto de todas las ramas que constituyen el inversor.

Una vez presentado el modelo de una rama de conmutación, resulta sencillo obtener el modelo promediado en espacio de estado del SAPF mediante la agregación de las diferentes ramas que constituyen el inversor. En base al circuito que se mostraba en la Figura 4.16, se puede dibujar la Figura 4.17, la cual presenta un modelo general del SAPF. En este modelo general, las fuentes de tensión controladas, v_{Fi} , simbolizan las dos fuentes agrupadas de la Figura 4.16, ver ecuación (4.8). Así mismo, SW_1 y SW_2 representan dos interruptores genéricos, como los mostrados en la Figura 4.13, y en función de sus variables de control, el modelo de la Figura 4.17 describe el comportamiento del SAPF cuando en su diseño se utilizan los convertidores enumerados en la Tabla 4.1.

sw_1	sw_2	Convertidor	Variables
0	0	TLFB	$v_{0n} \neq 0$; $i_{F0} = i_{Fd} = i_{Fn} = 0$
0	1	FLFB	$v_{0n} \neq 0$; $i_{F0} = 0$; $i_{Fd} = -i_{Fn}$
1	0	TLSC	$v_{0n} = 0$; $i_{F0} = i_{Fn}$; $i_{Fd} = 0$
1	1	FLSC	$v_{0n} = 0$; $i_{F0} = i_{Fd} + i_{Fn}$

Tabla 4.1. Topologías del modelo del SAPF en función de sw_1 y sw_2 .

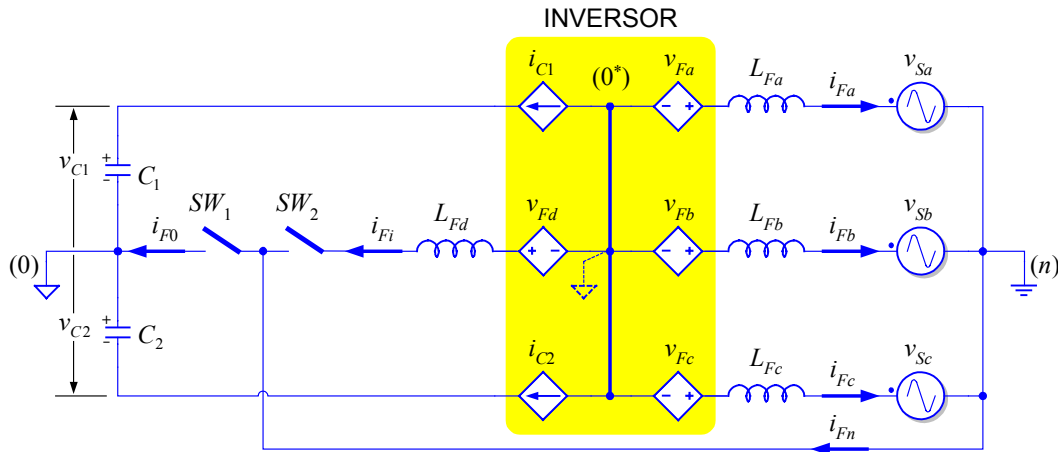


Figura 4.17. Modelo promediado general del SAPF.

A partir de la combinación de las expresiones mostradas en (4.7) para las diferentes ramas, este modelo general del SAPF puede ser representado mediante las ecuaciones de estado de (4.13a) y las ecuaciones de salida de (4.13b):

$$\dot{\mathbf{I}}_F = \frac{1}{L_F} \cdot (\mathbf{C} \cdot \mathbf{V}_C - \mathbf{V}_S + \mathbf{V}_{0n}) \quad , \quad \dot{\mathbf{V}}_C = -\frac{1}{C} \cdot \mathbf{C}^T \cdot \mathbf{I}_F \quad , \quad (4.13a)$$

$$\mathbf{V}_{F0} = \mathbf{C} \cdot \mathbf{V}_C \quad , \quad \mathbf{I}_C = -\mathbf{C}^T \cdot \mathbf{I}_F \quad , \quad (4.13b)$$

donde:

$$\mathbf{I}_F = [i_{Fa} \quad i_{Fb} \quad i_{Fc} \quad i_{Fd}]^T \quad , \quad \mathbf{I}_C = [i_{C1} \quad i_{C2}]^T \quad , \quad (4.14a)$$

$$\mathbf{V}_C = [v_{C1} \quad v_{C2}]^T \quad , \quad \mathbf{V}_{F0} = [v_{Fa0} \quad v_{Fb0} \quad v_{Fc0} \quad v_{Fd0}]^T \quad , \quad (4.14b)$$

$$\mathbf{V}_S = [v_{Sa} \quad v_{Sb} \quad v_{Sc} \quad 0]^T \quad , \quad \mathbf{V}_{0n} = v_{0n} [1 \quad 1 \quad 1 \quad 1]^T \quad , \quad (4.14c)$$

$$\mathbf{C} = \frac{1}{2} \begin{bmatrix} (1+c_a) & (1-c_a) \\ (1+c_b) & (1-c_b) \\ (1+c_c) & (1-c_c) \\ (1+c_d) & (1-c_d) \end{bmatrix} \quad , \quad (4.14d)$$

habiéndose considerado que $C_1=C_2=C$ y $L_{Fi} = L_F \quad \forall i \Big|_{i=\{a,b,c,d\}}$.

En esta última consideración, hay que destacar como particularidad que, en el caso del inversor FLFB, la inductancia de acoplo de la rama d es teóricamente nula, aunque en la práctica, se suele insertar una pequeña inductancia en esta del inversor con el objetivo de limitar las elevadas diferenciales de corriente que se pueden generar en la misma (ruidos) a consecuencia de la pequeña capacidad parásita de acoplamiento que existe entre el bus de continua y tierra. Estimándose que pudiera resultar de utilidad, en la Figura 4.18 se muestra la implementación del modelo inversor del SAPF para Simulink®/MATLAB®.

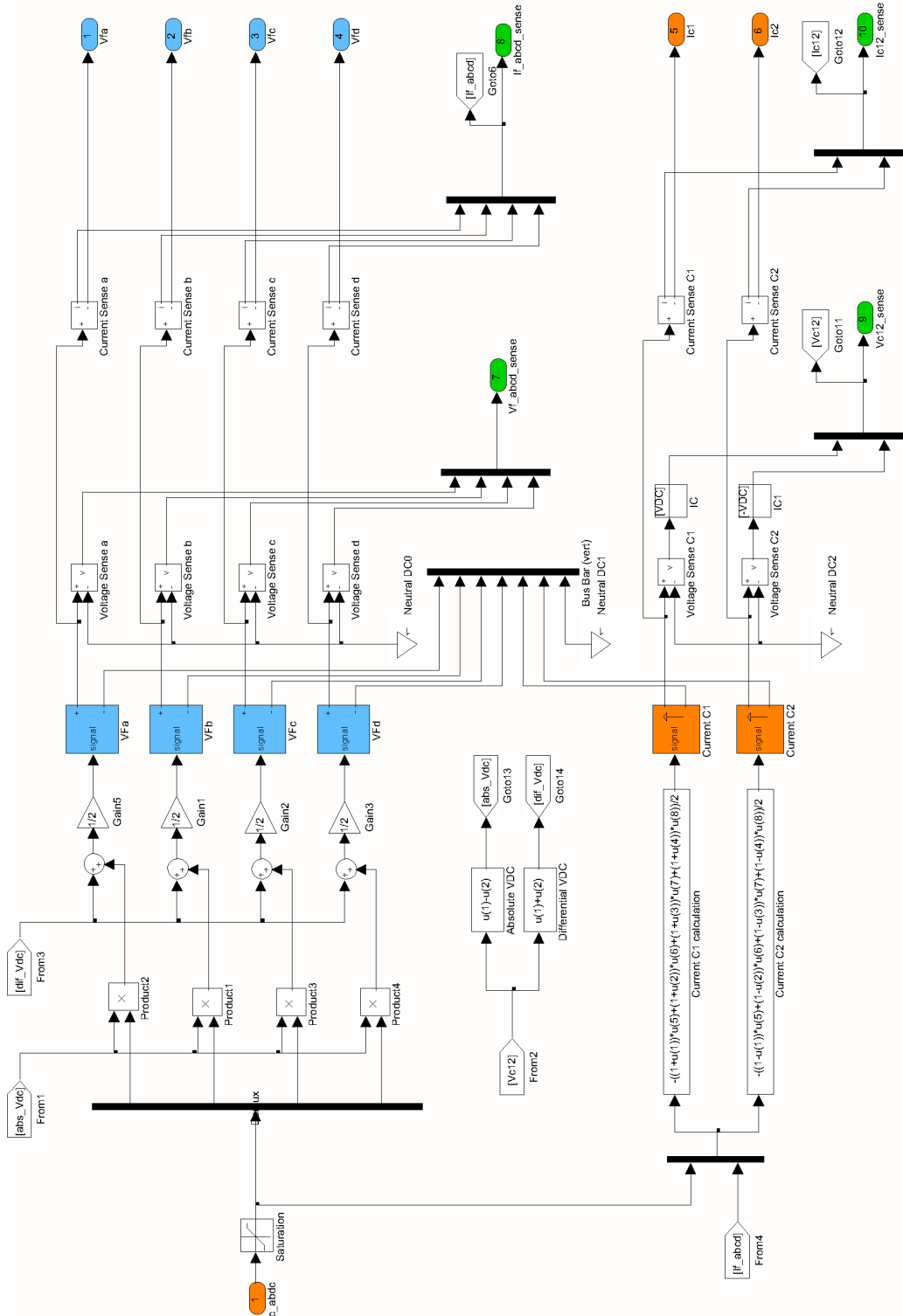


Figura 4.18. Modelo promediado del inversor del SAPF para Simulink®/MATLAB®.

Para obtener una expresión de la corriente que circula por los condensadores del bus de continua en función de términos con significado energético, basta con realizar el sumatorio de las ecuaciones mostradas en (4.12) para las diferentes ramas. De esta forma llega a:

$$i_{C1} = \frac{1}{v_{dc}} \left[(v_{0n} + v_{C2}) \sum_{i=a,b,c,d} i_{Fi} - \sum_{i=a,b,c} v_{Si} i_{Fi} - L_F \sum_{i=a,b,c,d} (i_{Fi} \dot{i}_{Fi}) \right], \quad (4.15a)$$

$$i_{C1} = \frac{1}{v_{dc}} \left[-(v_{0n} + v_{C1}) \sum_{i=a,b,c,d} i_{Fi} + \sum_{i=a,b,c} v_{Si} i_{Fi} + L_F \sum_{i=a,b,c,d} (i_{Fi} \dot{i}_{Fi}) \right], \quad (4.15b)$$

donde:

$$\sum_{i=a,b,c,d} i_{Fi} = i_{F0} \quad \text{es la corriente inyectada en el punto medio del bus;}$$

$$\sum_{i=a,b,c} v_{Si} i_{Fi} = P_{F3\phi} \quad \text{es la potencia activa instantánea desarrollada por el SAPF;}$$

$$L_F \sum_{i=a,b,c,d} (i_{Fi} \dot{i}_{Fi}) \quad \text{es la potencia activa instantánea asociada a las inductancias de acoplo.}$$

Además, teniendo en cuenta que, para todas las topologías de inversor mostradas en la Tabla 4.1, se cumple que, o $v_{0n}=0$, o $i_{F0}=0$, entonces las ecuaciones de (4.15) se pueden escribir como:

$$i_{C1} = \frac{1}{v_{dc}} \left[v_{C2} i_{F0} - P_{F3\phi} - L_F \sum_{i=a,b,c,d} (i_{Fi} \dot{i}_{Fi}) \right], \quad (4.16a)$$

$$i_{C2} = \frac{1}{v_{dc}} \left[-v_{C1} i_{F0} + P_{F3\phi} + L_F \sum_{i=a,b,c,d} (i_{Fi} \dot{i}_{Fi}) \right]. \quad (4.16b)$$

Las ecuaciones mostradas en (4.16) constituirán la base del diseño de los controladores del SAPF. A partir de estas ecuaciones, en el Apartado 4.6 se realiza un estudio de la evolución de la tensión diferencial del bus de continua. Así mismo, en los Apartados 5.1 y 5.2 de este trabajo se realiza un estudio de la evolución de la tensión absoluta del bus de continua y de la energía almacenada en el mismo.

4.4.1. Control de la corriente inyectada en el modelo promediado

Partiendo de las ecuaciones (4.11) y (4.8), la corriente inyectada en red por una rama del inversor valdrá:

$$i_{Fi} = \frac{1}{L_F} \int (v_{Fi0} + v_{0n} - v_{Si}) dt = \frac{1}{L_F} \int \left[\frac{1}{2} (c_i v_{dc} + \Delta v_{dc}) + v_{0n} - v_{Si} \right] dt. \quad (4.17)$$

En esta ecuación, se aprecia como la corriente inyectada por la rama no sólo depende de la variable de control del convertidor y de la tensión total del bus de continua, sino que también depende de la tensión diferencial de dicho bus, de la tensión de flotación del mismo, y de la tensión de red. Estas tres últimas variables actuarían como perturbaciones en el lazo de control de la corriente inyectada.

La Figura 4.19 muestra la estructura inicial del controlador lineal utilizado para regular la corriente inyectada por una rama genérica del inversor modelado anteriormente. En este diagrama de control, el bloque de tipo *feed-forward* es el encargado de eliminar el efecto perturbador producido por la tensión diferencial del bus de continua y por la tensión de red. De esta manera, se puede relajar la acción de control del bloque de tipo *feed-back*, el cual está constituido por un regulador proporcional con ganancia k_F . Así mismo, en el bloque referente al inversor, se ha insertado un limitador para respetar el rango de la variable de control, $c_i \in [-1, 1]$. Un análisis de este diagrama de control conduce a la siguiente función de transferencia:

$$I_{Fi}(s) = \frac{\frac{k_F}{2L_F} V_{dc}(s)}{s + \frac{k_F}{2L_F} V_{dc}(s)} I_{Fi}^*(s) + \frac{1}{s + \frac{k_F}{2L_F} V_{dc}(s)} V_{0n}(s). \quad (4.18)$$

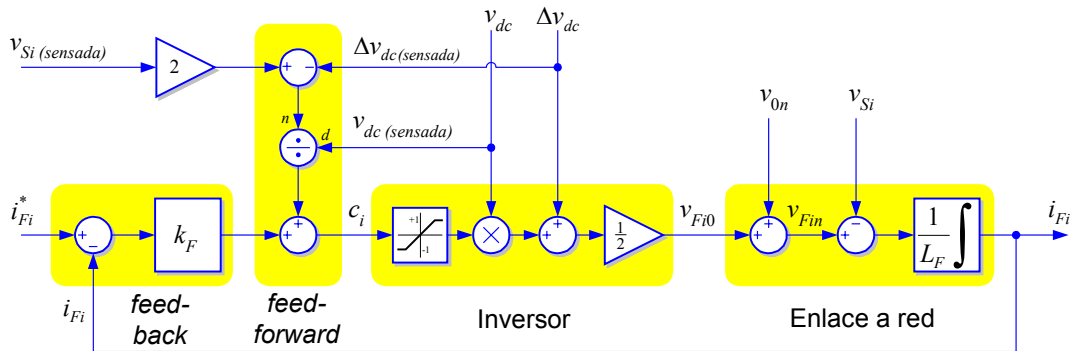


Figura 4.19. Controlador lineal de la corriente inyectada por una rama.

La ecuación (4.18) evidencia como la tensión de flotación del bus de continua sigue actuando como una perturbación en el controlador de corriente. Evidentemente, en los inversores con conexión en el punto intermedio del bus de continua, TLSC y FLSC, la tensión de flotación del bus es nula, por lo que la citada perturbación no existe y el diagrama de control mostrado en la Figura 4.19 resulta perfectamente válido con $v_{0n}=0$. En los inversores en puente completo, TLFB y FLFB, el valor de la tensión de flotación del bus depende de la acción conjunta de sus ramas. En principio, y entendiéndose que se habla de valores promediados de las variables, para una misma tensión de salida del inversor (tensión de salida de las ramas medida respecto al neutro de la red), la tensión de flotación del bus de continua podría adoptar infinitos valores. La selección de la tensión de flotación del bus de continua está relacionada con aspectos tales como son el aprovechamiento de la tensión de

dicho bus, el rizado de la corriente inyectada y las pérdidas de conmutación en los transistores del inversor.

Cuando en la síntesis de la tensión de salida de un inversor se utiliza la técnica de modulación vectorial, la tensión resultante de flotación del bus de continua da lugar a resultados óptimos en lo referente a aprovechamiento de la tensión de dicho bus, rizado de corriente y secuencias de conmutación. En el Capítulo 5 de este trabajo se estudia este aspecto, y se propone una nueva técnica de modulación que consigue los mismos resultados que la modulación vectorial clásica pero de una manera mucho más sencilla. Como resultado de este estudio, se llegará a la obtención de un algoritmo que determinará, a partir de las variables de control de las diferentes ramas, c_i , el valor óptimo que debe adoptar la tensión de flotación del bus, y que modificará adecuadamente dicha variable de control para que, finalmente, la tensión sintetizada por las ramas del inversor, v_{Fi0} , contenga dicha tensión óptima de flotación cambiada de signo. Mediante la aplicación de este algoritmo, se conseguirá eliminar la perturbación generada por la tensión de flotación del bus sobre el control de la corriente inyectada, por lo que el segundo término de la ecuación (4.18) quedará cancelado. Por tanto, para los convertidores TLFB y FLFB, el esquema de control de la Figura 4.19 se vería modificado mediante la inserción de este bloque de cálculo, el cual actuaría de manera conjunta para las ramas a , b y c , y que se encontraría insertado a la entrada del “Inversor” de dicha figura. El control de la rama d del inversor FLFB requerirá un tratamiento ligeramente distinto al mostrado en la Figura 4.19 y se estudiará con detalle en el Capítulo 5.

En el diagrama de control mostrado en la Figura 4.19, para conseguir un error despreciable en el seguimiento de las corrientes de referencia basta con considerar un valor elevado de la ganancia del regulador proporcional. El límite máximo de este valor de ganancia vendrá condicionado por la amplitud del paso de cálculo empleado en la simulación.

En una implementación real de este bucle de control, utilizando un inversor modulado en PWM mediante la comparación de las señales de control c_i con una portadora triangular, es preciso hacer una consideración acerca del valor máximo que puede adoptar la ganancia del regulador proporcional. En ese caso, para garantizar que no aparezcan más de dos conmutaciones en la rama durante un periodo de la portadora triangular, es preciso que el módulo de la pendiente máxima de la señal de control sea siempre inferior al módulo de la pendiente de la portadora triangular.

Teniendo en cuenta que la señal de control vale:

$$c_i = k_F (i_{Fi} - i_{Fi}^*) + \frac{(2v_{Si} - \Delta v_{dc})}{v_{dc}}, \quad (4.19)$$

y teniendo en cuenta que, en un periodo de conmutación, la variación de la corriente inyectada será mucho mayor que la variación del resto de variables, es decir:

$$\left| \frac{d}{dt} i_{Fi} \right| \gg \left| \frac{d}{dt} i_{Fi}^* \right| \quad \text{y} \quad \left| \frac{d}{dt} i_{Fi} \right| \gg \left| \frac{d}{dt} \left(\frac{2v_{Si} - \Delta v_{dc}}{v_{dc}} \right) \right|, \quad (4.20)$$

entonces se puede asumir como valido que:

$$\left| \frac{d}{dt} c_i \right|_{max} \approx k_F \left| \frac{d}{dt} i_{Fi} \right|_{max} = k_F \frac{v_{L_F(max)}}{L_F}, \quad (4.21)$$

donde $v_{L_F(max)}$ es la máxima tensión que puede llegar a aparecer en extremos de la bobina de acoplo a red. Este valor máximo de tensión depende de la topología de inversor utilizada, y, en el peor de los casos, puede ser evaluado como:

$$v_{L_F(max)} = \frac{v_{dc}}{2} + \hat{v}_{Si}. \quad (4.22)$$

Teniendo en cuenta que el rango de la señal de control es $c_i \in [-1, 1]$, entonces la portadora triangular del modulador PWM también presentará dichos límites para su valor máximo y mínimo, por lo que el módulo de la pendiente de la misma valdrá:

$$\left| \frac{d}{dt} v_{tri} \right| = 4f_s, \quad (4.23)$$

siendo f_s la frecuencia de conmutación del modulador. Por tanto, para conseguir que:

$$\left| \frac{d}{dt} c_i \right|_{max} < \left| \frac{d}{dt} v_{tri} \right|, \quad (4.24)$$

se debe cumplir que:

$$k_F < \frac{8L_F f_s}{v_{dc} + 2\hat{v}_{Si}}. \quad (4.25)$$

Este valor máximo de la ganancia del regulador proporcional es el que limita el ancho de banda del controlador lineal, lo cual provoca errores importantes en el seguimiento de la señal de referencia de armónicos de orden elevado. Mediante la utilización de un regulador proporcional-integral es posible aumentar el ancho de banda del sistema a costa, claro está, de reducir el factor de amortiguamiento del mismo. En este caso, el subamortiguamiento de la respuesta natural del regulador, hace que el controlador lineal, en comparación a otros métodos de control, no presente la mejor respuesta dinámica. En este sentido, la técnica de control *dead-beat* presenta mejores prestaciones, ya que es la técnica de control lineal más rápida que puede ser adoptada; siguiendo la señal de referencia con un retraso de dos periodos de muestreo y sin presentar suboscilaciones en su respuesta natural.

No es objetivo de este trabajo comparar la efectividad de los diferentes métodos de regulación de corriente en un SAPF, existiendo excelentes trabajos publicados en este campo [4.30]. Por este motivo, sobre la base de las conclusiones obtenidas por los investigadores que han trabajado en este tema desde hace décadas, en el prototipo físico desarrollado para verificar la efectividad de la topología FLSC y de los métodos para el cálculo de las corrientes de referencia, se utilizará un regulador de corriente por histéresis. Sobre este regulador, se desarrollará un algoritmo de control que adaptará la amplitud de la banda de histéresis a los requisitos del sistema, consiguiéndose así una frecuencia de conmutación constante.

Para verificar la bondad de los diferentes desarrollos realizados en este Apartado, se simulará un SAPF como el que se mostró en la Figura 4.9, el cual correspondía a un filtro activo de cuatro hilos que utilizaba un inversor FLSC.

En el SAPF simulado, el valor de los condensadores del bus de continua es $C_1=C_2=1000\mu\text{F}$, la tensión inicial del bus es de 700V, 350V en cada condensador, el valor de pico de la tensión de fase de la red es de 311V, y todas las inductancias del sistema son de 2,2mH. Este SAPF se encontrará inyectando en cada fase de la red 15A de tercer armónico, 10A de quinto y 5A de séptimo. Inicialmente la rama d del inversor estará desactivada, por lo que éste se comportará como un inversor TLSC. En el instante $t=25\text{ms}$, se habilita la rama d , anulando la inyección de corriente en el punto medio del bus de continua.

El escenario anteriormente descrito se simulará utilizando dos modelos distintos; un modelo de estructura variable, y el modelo promediado anteriormente expuesto. En el modelo de estructura variable, la conmutación de los transistores vendrá determinada por un controlador de histéresis con una banda fija de 2A. En el modelo promediado se utilizará el controlador de corriente mostrado en la Figura 4.19, con un valor elevado para la ganancia del regulador proporcional, $k_F=100$.

La Figura 4.20 muestra las formas de onda características de tensión y corriente resultantes ambas simulaciones. Antes del instante $t=25\text{ms}$, cuando el inversor se comporta como un TLSC, la corriente inyectada en el punto medio del bus de continua da lugar a una oscilación en el reparto de tensiones en los dos condensadores del mismo. En este caso, esta oscilación origina que el inversor entre en saturación en determinados momentos. En el instante $t=25\text{ms}$, cuando se habilita la rama d del inversor, se anula el desequilibrio de tensión en los condensadores y, para la misma referencia de corriente, el inversor pasa a trabajar exclusivamente en modo lineal.

En la Figura 4.20a se muestra la corriente inyectada en la red por el modelo conmutado, mientras que en la Figura 4.20c, mediante trazo fino, se muestra la tensión de la rama a de dicho inversor conmutado. En ambas figuras, se aprecia claramente como, antes del instante $t=25\text{ms}$, el inversor alcanza la saturación en determinados momentos, lo cual origina deformaciones en la corriente inyectada debido a la pérdida del control de la misma durante esos intervalos de tiempo. La corriente que se está inyectando en el nodo intermedio del bus de continua es un tercer armónico de 45A de amplitud, la cual origina una oscilación, de esa misma frecuencia, en el reparto de tensiones en el bus. Este desequilibrio de tensión en el bus da lugar a que existan instantes en los que la tensión en alguno de los condensadores sea lo suficientemente baja como para provocar la saturación del inversor.

Después del instante $t=25\text{ms}$, la rama d entra en funcionamiento, absorbiendo los 45A de tercer armónico que antes se inyectaban en el nodo intermedio del bus. Ahora, la inyección de corriente en dicho nodo será nula, y consiguientemente, también se anulará la oscilación de tercer armónico de la tensión diferencial del bus de continua. En este caso, al hacerse nula la tensión diferencial del bus, la tensión de

cualquiera de los condensadores es siempre lo suficientemente alta como para evitar la saturación del inversor, con lo que las corrientes inyectadas siguen perfectamente, y en todo momento, a las señales de referencias.

En la Figura 4.20b se muestran las corrientes inyectadas en la red cuando se utiliza el modelo promediado del inversor. En esta figura se puede observar como las corrientes ahora inyectadas corresponden exactamente con el valor medio instantáneo de las corrientes mostradas en la Figura 4.20a, incluso en aquellos momentos en que el inversor entra en saturación. En la Figura 4.20c se muestra, mediante trazo grueso, la tensión ofrecida por la rama *a* del inversor promediado. Claramente, esta tensión corresponde con el promediado local de la tensión que ofrecía la rama *a* del modelo conmutado. La forma de la tensión de la rama *a* del inversor promediado recoge perfectamente el fenómeno de la saturación anteriormente descrito, y también refleja cómo el inversor pasa trabajar exclusivamente en modo lineal una vez que la rama *d* entra en funcionamiento.

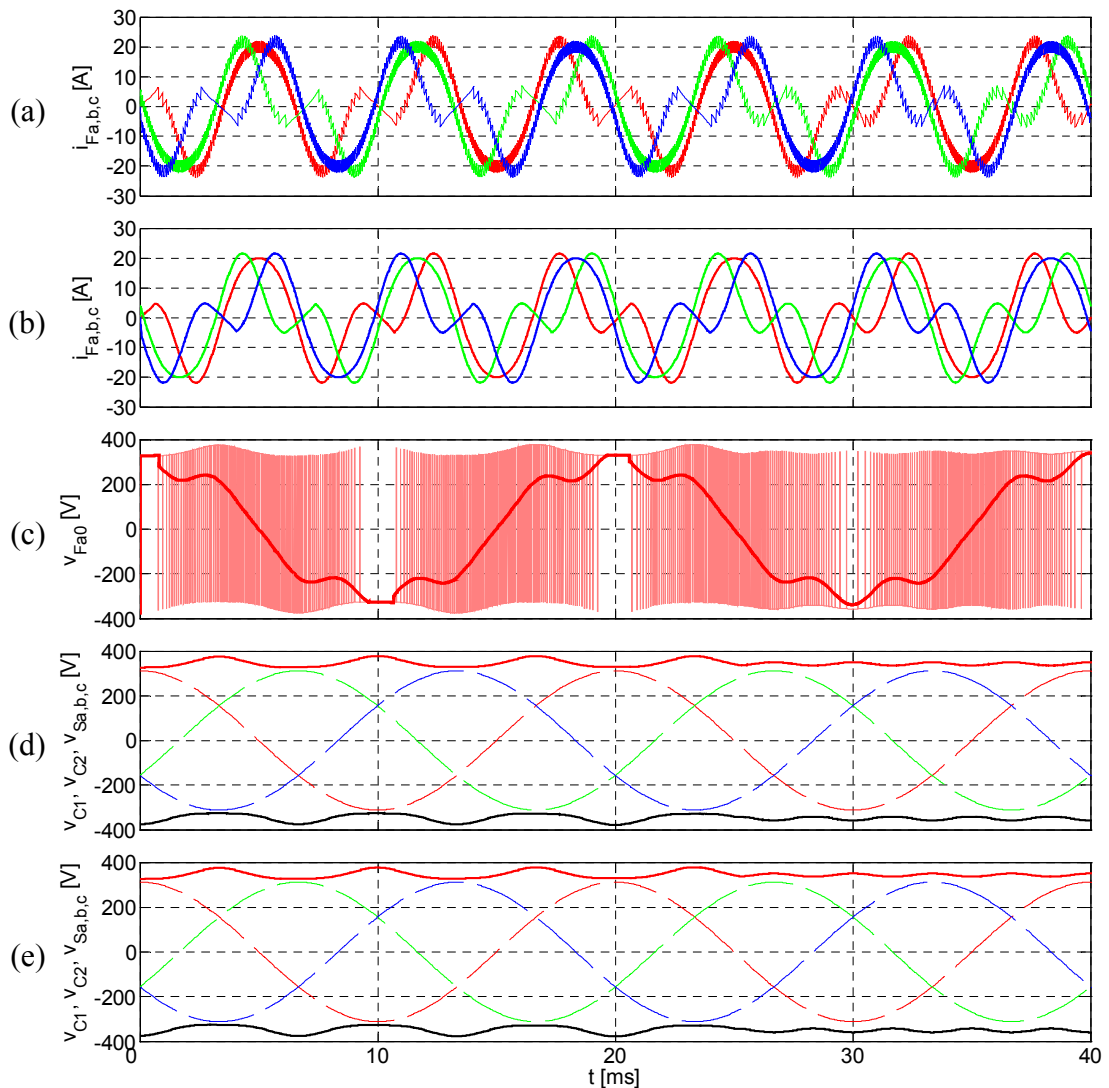


Figura 4.20. Formas de onda de tensión y corriente de los modelos conmutado y promediado del SAPF.

La Figura 4.20d muestra las tensiones de red y las tensiones de los condensadores del bus obtenidas cuando se utiliza el modelo conmutado. La Figura 4.20e muestra las mismas tensiones anteriores, pero siendo éstas obtenidas mediante la utilización del modelo promediado. Como se puede apreciar, ambas figuras son prácticamente idénticas.

La exactitud de los resultados de simulación obtenidos mediante el modelo promediado del inversor verifica su validez, sin embargo, la principal ventaja ofrecida por el modelo promediado, respecto del conmutado, no está en la exactitud de los resultados, sino en la velocidad con que éstos son obtenidos, ya que la simulación del modelo promediado es decenas de veces más rápida que la del conmutado, lo cual resulta imprescindible para la evaluación de estrategias de compensación que impliquen sucesos de larga duración en el SAPF.

4.5. Control de corriente por histéresis de banda adaptativa en el inversor FLSC

Como se indicó en el Apartado 4.2, cuando se presentaron diferentes métodos de control de corriente, el controlador por histéresis resulta sencillo de implementar, robusto, y muestra una excelente respuesta dinámica. Sin embargo, esta técnica de control da lugar a una frecuencia de modulación variable en el convertidor, lo cual complica el diseño del filtro pasivo de salida del inversor y puede dar lugar a indeseables resonancias.

En el prototipo físico del inversor FLSC que ha sido implementado en este trabajo, se ha utilizado un controlador por histéresis adaptativa para regular la corriente inyectada por el mismo. Este controlador adaptativo calcula, en función de los valores presentados por las diferentes variables del sistema, la amplitud necesaria que debe tener la banda de histéresis para conseguir una frecuencia de conmutación constante. En este Apartado se expondrá el diseño de este controlador.

Hablando de valores instantáneos (ya no promediados), la corriente inyectada por una rama del inversor se puede expresar de la forma:

$$i_{Fi} = i_{Fi}^* + \Delta i_{Fi}, \quad (4.26)$$

donde Δi_{Fi} representa el error instantáneo en el seguimiento de la corriente de referencia i_{Fi}^* . Considerando que el origen de tiempos se encuentra al comienzo de un periodo de conmutación de la corriente inyectada, y a partir de lo expuesto en (4.3) y (4.4), las siguientes ecuaciones pueden ser escritas:

$$v_{C1} - v_{Si} + v_{0n} = L_F \left(\frac{di_{Fi}^*}{dt} + \frac{d\Delta i_{Fi}}{dt} \right) \quad t \in [0, t_{i1}], \quad (4.27a)$$

$$v_{C2} - v_{Si} + v_{0n} = L_F \left(\frac{di_{Fi}^*}{dt} + \frac{d\Delta i_{Fi}}{dt} \right) \quad t \in [t_{i1}, T_S]. \quad (4.27b)$$

En los inversores con conexión al punto intermedio del bus de continua, TLSC y FLSC, la tensión de flotación de dicho bus, v_{0n} , es nula. En los inversores en puente completo, TLFB y FLFB, el valor de la tensión de flotación puede experimentar cambios de sustanciales dentro de los intervalos de tiempo descritos en las ecuaciones de (4.27), ya que su valor instantáneo depende del estado de conmutación del resto de ramas del inversor. Para un inversor en puente completo, diseñar un controlador de histéresis en el que, a pesar de la variabilidad de v_{0n} , la frecuencia de conmutación deba de ser constante, resulta una tarea relativamente compleja. Un ejemplo de este diseño para un inversor de tres ramas puede ser encontrado en [4.59]. En el caso del inversor FLSC que nos ocupa, el hecho de que $v_{0n}=0$, hará que el diseño de este controlador sea bastante más sencillo.

Si se considera que la frecuencia de conmutación elegida para la rama del inversor es lo suficientemente elevada, es posible admitir como válido que v_{C1} , v_{C2} y v_{Si} son magnitudes constantes durante todo el periodo de conmutación. De la misma manera, es posible admitir que, en régimen permanente, la pendiente de la referencia de corriente también será constante durante todo el periodo de conmutación.

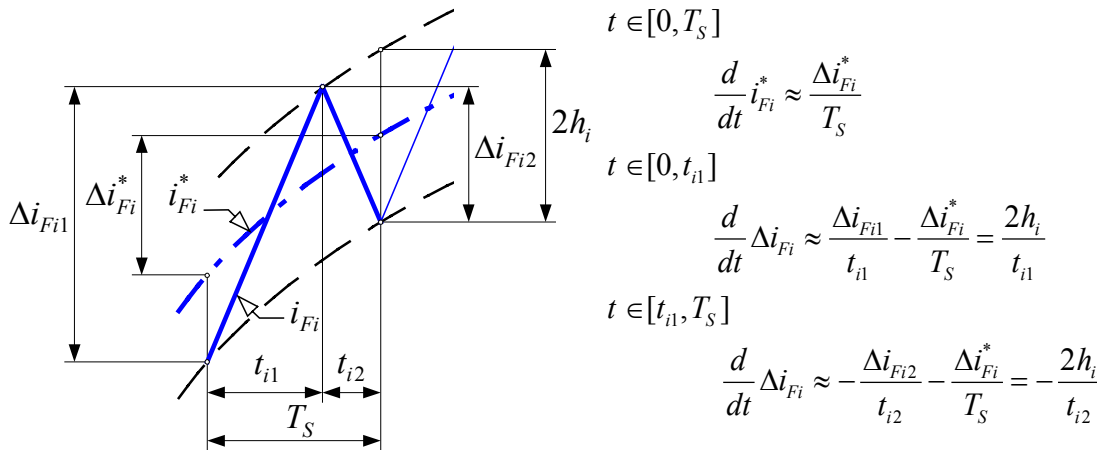


Figura 4.21. Corriente inyectada por una rama del inversor FLSC controlada por histéresis.

Por tanto, para los inversores con conexión al punto intermedio del bus de continua, y sobre la base de lo mostrado en la Figura 4.21, las ecuaciones de (4.27) pueden ser rescritas como:

$$\left(v_{C1} - v_{Si} - L_F \frac{di_{Fi}^*}{dt} \right) t_{i1} = 2L_F h_i \quad t \in [0, t_{i1}], \quad (4.28a)$$

$$\left(v_{C2} - v_{Si} - L_F \frac{di_{Fi}^*}{dt} \right) t_{i2} = -2L_F h_i \quad t \in [t_{i1}, T_S]. \quad (4.28b)$$

El desarrollo de las ecuaciones mostradas en (4.28) conduciría a una expresión relativamente compleja que determina la amplitud que debe adoptar la banda de histéresis para conseguir un periodo de conmutación constante. Sin embargo, cuando la rama d del inversor FLSC se encuentra operativa, y obviando situaciones

transitorias, el desequilibrio de tensión en el bus de continua puede hacerse nulo. Por tanto, en condiciones normales de operación del inversor FLSC se cumplirá que:

$$v_{C1} = -v_{C2} = \frac{v_{dc}}{2}. \quad (4.29)$$

Este equilibrado de tensiones simplificará el algoritmo finalmente obtenido para el cálculo de la amplitud de la banda de histéresis, y las ecuaciones de (4.28) se convierten en:

$$\left(\frac{v_{dc}}{2} - v_{Si} - L_F \frac{di_{Fi}^*}{dt} \right) t_{i1} = 2L_F h_i \quad t \in [0, t_{i1}], \quad (4.30a)$$

$$\left(-\frac{v_{dc}}{2} - v_{Si} - L_F \frac{di_{Fi}^*}{dt} \right) t_{i2} = -2L_F h_i \quad t \in [t_{i1}, T_S]. \quad (4.30b)$$

Sumando (4.30a) y (4.30b), y reordenando términos, se obtiene que:

$$t_{i1} - t_{i2} = \frac{2T_S}{v_{dc}} \left(v_{Si} + L_F \frac{d}{dt} i_{Fi}^* \right). \quad (4.31)$$

Restando (4.30b) a (4.30a) se obtiene que:

$$\frac{v_{dc}}{2} T_S - \left(v_{Si} + L_F \frac{d}{dt} i_{Fi}^* \right) (t_{i1} - t_{i2}) = 4L_F h_i. \quad (4.32)$$

Sustituyendo (4.31) en (4.32), y reordenando términos, se llega a la expresión final que determina la amplitud que debe adoptar la banda de histéresis para conseguir una frecuencia de conmutación constante en la rama del inversor. Esta expresión es:

$$h_i = \frac{T_S}{2L_F v_{dc}} \left[\frac{v_{dc}^2}{4} - \left(v_{Si} + L_F \frac{d}{dt} i_{Fi}^* \right)^2 \right]. \quad (4.33)$$

La expresión (4.33) debería ser aplicada a cada una de las cuatro ramas del inversor FLSC, manteniendo en mente que en la rama d , la tensión v_{Sd} es nula.

Para comprobar la efectividad del controlador aquí propuesto, se compararán los resultados obtenidos en la corriente inyectada por el inversor cuando se utiliza un controlador de histéresis adaptativa y un controlador de banda de histéresis fija. Ambos controladores regularán la corriente inyectada por el SAPF de la Figura 4.9, el cual utilizaba un convertidor FLSC.

Los parámetros del filtro activo coincidirán con los de las simulaciones precedentes, es decir, $C_1=C_2=1000\mu\text{F}$, $L_F=2,2\text{mH}$, tensión inicial del bus de 700V y tensión de fase de red igual a 311V. La corriente inyectada por cada fase del SAPF será la misma que la de la Figura 4.20, es decir, 15A de tercer armónico, 10A de quinto y 5A de séptimo.

En el controlador de banda de histéresis adaptativa, se fijará un periodo de conmutación de 50 μs , lo que equivale a una frecuencia de conmutación de 20kHz.

Para seleccionar la amplitud de la banda de histéresis en el controlador de banda fija, se partirá de las ecuaciones mostradas en (4.30), obteniéndose:

$$t_{i1} = \frac{2L_F h_i}{\frac{v_{dc}}{2} - v_{Si} - L_F \frac{di_{Fi}^*}{dt}} \quad t \in [0, t_{i1}], \quad (4.34a)$$

$$t_{i2} = \frac{2L_F h_i}{\frac{v_{dc}}{2} + v_{Si} + L_F \frac{di_{Fi}^*}{dt}} \quad t \in [t_{i1}, T_S]. \quad (4.34b)$$

Sumando (4.34a) y (4.34b) se llega a:

$$T_S = \frac{2L_F h_i v_{dc}}{\left(\frac{v_{dc}}{2}\right)^2 - \left(v_{Si} + L_F \frac{di_{Fi}^*}{dt}\right)^2}. \quad (4.35)$$

La expresión (4.35) evidencia la variabilidad del periodo de conmutación cuando se utiliza una banda de histéresis constante, lo cual se traducirá en dispersión en representación espectral de la corriente inyectada en la red.

Suponiendo como aproximación que en (4.35) la tensión del bus de continua se mantuviese constante, el valor mínimo del periodo de conmutación se daría cuando:

$$v_{Si} + L_F \frac{di_{Fi}^*}{dt} = 0, \quad (4.36)$$

lo que conduciría a que el periodo mínimo de conmutación valdría:

$$T_{S(min)} = \frac{8L_F h_i}{v_{dc}}. \quad (4.37)$$

Por tanto, para mantener la coherencia con lo establecido para el controlador de histéresis de banda adaptativa, se fijará el periodo mínimo de conmutación en 50µs, por lo que la amplitud de la banda de histéresis fija debería de ser de 1,99A.

En la Figura 4.22, se muestran los resultados de la simulación obtenidos para la corriente inyectada por la rama *a* cuando se utiliza el controlador de histéresis de banda fija y el controlador de banda adaptativa. Las Figuras 4.22a (corriente inyectada) y 4.22b (rizado de corriente) corresponden al controlador de banda fija, mientras que las Figuras 4.22c y 4.22d corresponden al controlador de banda adaptativa.

La Figura 4.22 permite apreciar, a simple vista, cómo el controlador de banda adaptativa modifica continuamente la amplitud de la banda de histéresis para evitar la frecuencia de conmutación variable que aparece cuando se utiliza el controlador de banda fija. En la Figura 4.22e se muestra, mediante trazo discontinuo, la amplitud asignada a la banda del controlador convencional, y mediante trazo continuo, se muestra la amplitud que adopta en cada momento la banda del controlador adaptativo.

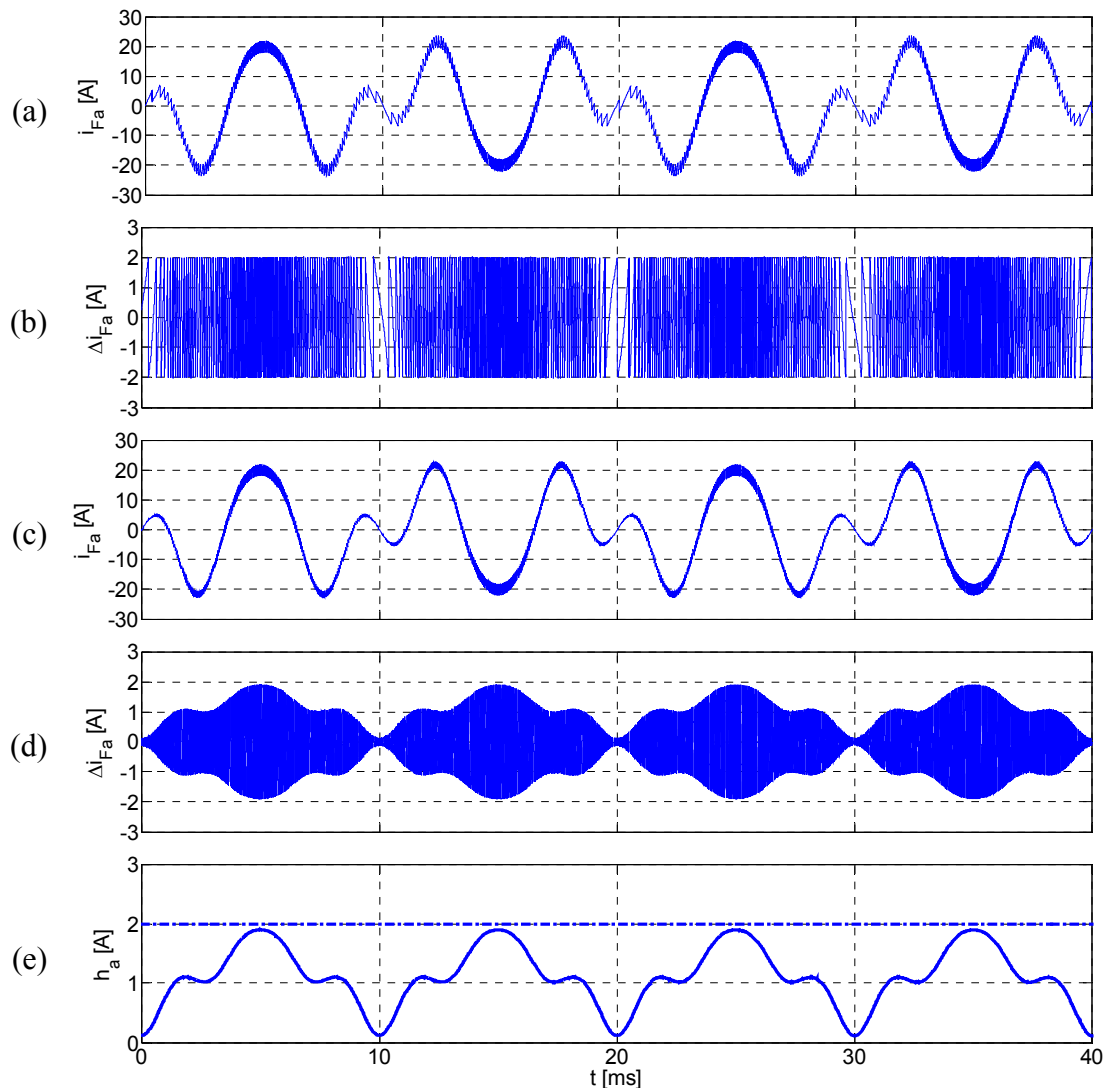


Figura 4.22. Corriente inyectada por la rama a del inversor FLSC utilizando banda de histéresis fija y banda de histéresis adaptativa.

En la Figura 4.23, se muestra el espectro del rizado de la corriente inyectada para ambos controladores. La Figura 4.23a corresponde al controlador de histéresis de banda fija, mientras que la Figura 4.23b corresponde al controlador de histéresis de banda adaptativa. En el controlador de banda fija existe una gran dispersión espectral, lo cual puede dar lugar a resonancias con otros elementos del sistema. En el controlador de banda adaptativa, las líneas del espectro se encuentran concentradas en torno a la frecuencia de conmutación y sus múltiplos, por lo que el diseño del filtro pasivo, que debiera atenuar dicho rizado, resultará más sencillo que en el caso anterior.

Los resultados mostrados en la Figura 4.23b confirman la efectividad del algoritmo de cálculo propuesto para adaptar la amplitud de la banda de histéresis a las condiciones de trabajo del sistema, consiguiéndose una frecuencia de conmutación constante, y concentrando las bandas del espectro en posiciones discretas, lo cual facilitará el filtrado de las mismas.

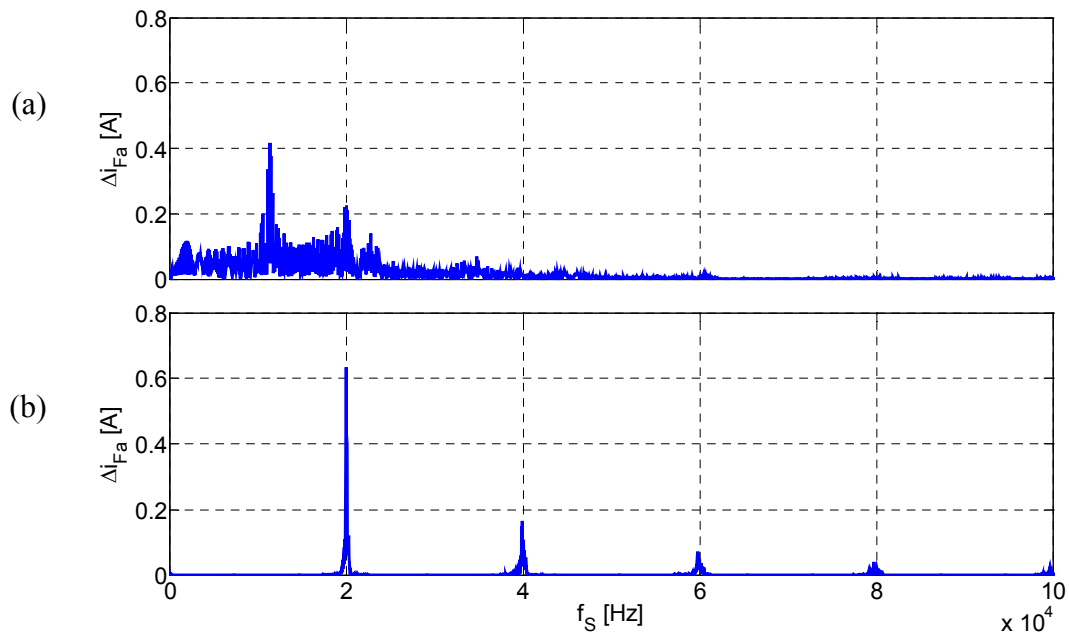


Figura 4.23. Espectro del rizado de la corriente inyectada por el inversor FLSC utilizando banda de histéresis fija y banda de histéresis adaptativa.

4.6. Control de tensión diferencial en el bus de continua del inversor FLSC

A partir del modelo generalizado del SAPF que se mostraba en la Figura 4.17, resulta intuitivo entender que si el SAPF utiliza un inversor TLSC ($sw_1=1$, $sw_2=0$), la inyección de corriente de secuencia homopolar en la red implicará también la inyección neta de corriente en el nodo de unión de los condensadores del bus de continua, lo que inevitablemente origina un desequilibrio en el reparto de tensión entre ambos condensadores. Este es el principal inconveniente del inversor TLSC. Además, como quedará justificado en el Capítulo 5, esta inyección neta de corriente en el bus de continua también hará variar el valor de la tensión absoluta de dicho bus.

Como se mostró en el Apartado 4.3, el inversor FLSC, mediante un control sencillo, permite regular la corriente inyectada en el nodo intermedio del bus, con lo que, teóricamente, la tensión diferencial en dicho bus debe de ser permanentemente nula. En este Apartado se justifica que, a pesar de que la cuarta rama del inversor FLSC reciba una consigna inicialmente adecuada, la tensión diferencial del bus de continua puede experimentar variaciones, por lo que se hace necesario el diseño de un controlador apropiado que regule dicha tensión diferencial.

Merece la pena citar aquí que el problema del equilibrado de las tensiones en los condensadores del bus de continua resulta aún más importante cuando se utilizan inversores multinivel con diodos de fijación del punto neutro (NPC – *Neutral Point Clamped*), en los que el bus de continua está constituido por múltiples células capacitivas. Una revisión del estado del arte en este campo evidencia que, para

ciertas condiciones de operación de los inversores NPC con un gran número de niveles, no se puede conseguir el equilibrado de tensiones del bus [4.73]. Esas condiciones de operación abarcan el trabajo con grandes índices de modulación y la inyección de corrientes activas. En aplicaciones de filtrado activo, el SAPF generalmente no inyectará corrientes activas en la red, lo cual aboga a favor del uso este tipo de convertidores multinivel NPC en dichas aplicaciones. El problema del equilibrado de carga en el bus de continua ya aparece en el inversor NPC de cuatro niveles [4.74][4.75]. Teniendo en cuenta que los condensadores pueden estar completamente cargados o descargados para determinadas condiciones de operación, esta circunstancia limita severamente la aplicación de inversores NPC. Sin embargo, estrategias avanzadas de modulación permiten obtener un buen comportamiento del sistema para puntos de operación en los que el equilibrado del bus puede ser conseguido [4.76].

4.6.1. Evolución de la tensión diferencial del bus de continua

La Figura 4.24 representa los sentidos adoptados para la medida de las tensiones individuales de los condensadores, v_{C1} y v_{C2} , y de la tensión absoluta del bus de continua, v_{dc} , en el inversor FLSC. Hay que recordar que $v_{C1} > 0$ y $v_{C2} < 0$, lo cual se ha representado mediante los signos “+/-“ de los condensadores. Así mismo, también se han representado los sentidos adoptados para la medida de las corrientes.

Según estos criterios de signos, si la tensión diferencial del bus de continua, Δv_C , se expresa en función de la corriente que circula por los condensadores se obtiene que:

$$\Delta v_C = v_{C1} + v_{C2} = \frac{1}{C} \int_0^t (i_{C1} + i_{C2}) dt + v_{C1}(0) + v_{C2}(0), \quad (4.38)$$

donde $v_{C1}(0)$ y $v_{C2}(0)$ representan las tensiones de los condensadores, $C_1 = C_2 = C$, en el instante inicial de la integración. Si ambas tensiones se suponen iguales y de signo opuesto, es decir, si $v_{C1}(0) = -v_{C2}(0)$, entonces:

$$\Delta v_C = \frac{1}{C} \int_0^t (i_{C1} + i_{C2}) dt. \quad (4.39)$$

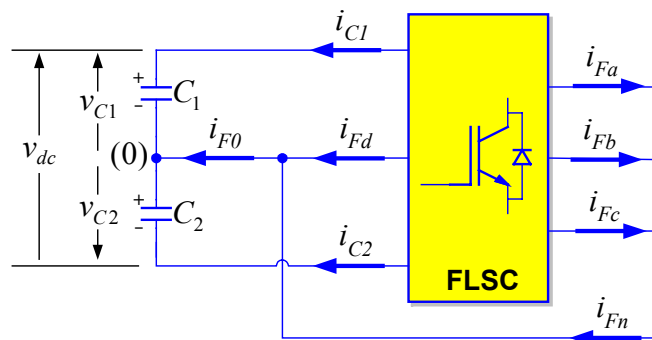


Figura 4.24. Tensiones y corrientes en el bus de continua del inversor FLSC.

Substituyendo las corrientes de los condensadores por las expresiones mostradas en (4.15), se obtendrá que:

$$\Delta v_C = \frac{1}{C} \int_0^t \left(\frac{v_{C2} - v_{C1}}{v_{dc}} \cdot \sum_{i=a,b,c,d} i_{Fi} \right) dt = -\frac{1}{C} \int_0^t i_{F0} dt. \quad (4.40)$$

La ecuación (4.40) demuestra analíticamente cómo, en el convertidor TLSC, en el cual i_{F0} es igual al sumatorio de las corrientes en las ramas a , b y c , la inyección de corrientes de secuencia homopolar implica la aparición de tensión diferencial del bus de continua.

En el inversor FLSC, y sobre la base de (4.40), es fácil entender que si se fuerza que el sumatorio de las corrientes instantáneas inyectadas por las cuatro ramas del mismo sea nulo en todo momento, $i_{F0} = 0$, esto implica que la tensión diferencial en el bus de continua será también nula. Sin embargo, si se produce algún desequilibrio transitorio que haga que este sumatorio deje de ser momentáneamente nulo, entonces aparecerá la correspondiente tensión diferencial en dicho bus. Este desequilibrio de corriente está motivado por que:

- i)* El sumatorio de los rizados de conmutación de las corrientes instantáneas inyectadas por las cuatro ramas no es permanentemente nulo, por lo que siempre se inyectará una pequeña corriente de frecuencia elevada en el nodo '0' del bus de continua. Si el seguimiento de las corrientes de referencia aportadas al convertidor se realiza de forma correcta, es presumible que el valor medio de i_{F0} sea nulo. Además, la elevada frecuencia de esta pequeña corriente inyectada en el bus hará que su efecto sea prácticamente inapreciable sobre la tensión diferencial del mismo.
- ii)* A pesar de que el sumatorio de las corrientes de referencia de las cuatro ramas del inversor sea siempre nulo, el seguimiento de dicha referencias no es inmediato. Por ejemplo, el inversor no podrá seguir la dinámica impuesta en un cambio súbito de las corrientes de referencia, lo que dará lugar a la aparición de errores transitorios en las corrientes que realmente inyectan las ramas del inversor. Estos errores transitorios en la corriente inyectada ocasionarán situaciones, también transitorias, en las que $i_{F0} \neq 0$.

Para solventar estos errores, es necesario diseñar un controlador apropiado, que modifique la corriente inyectada por alguna de las ramas, y consiga mantener la situación de equilibrio de tensiones de los condensadores del bus de continua.

Si la corriente que circula por la rama $i \in \{a, b, c, d\}$ se expresa según lo que se indicó en (4.26), es decir, $i_{Fi} = i_{Fi}^* + \Delta i_{Fi}$, donde Δi_{Fi} representa el error en el

seguimiento de la corriente de referencia i_{Fi}^* , entonces, la tensión diferencial del bus de continua viene dada por:

$$\Delta v_C = -\frac{1}{C} \int_0^t \left(\sum_{i=a,b,c,d} i_{Fi}^* + \sum_{i=a,b,c,d} \Delta i_{Fi} \right) dt. \quad (4.41)$$

Como se indicó anteriormente, para anular la tensión diferencial del bus de continua es necesario modificar la corriente de alguna de las ramas del inversor. Lógicamente, la rama en la que modificará la corriente inyectada será la d , ya que en la aplicación de filtrado activo que nos ocupa, las corrientes inyectadas por el resto de ramas deberán seguir, con la mayor fidelidad posible, sus referencias de corriente. Por tanto, la referencia de corriente para la rama d será:

$$i_{Fd}^{**} = -\left(i_{Fa}^* + i_{Fb}^* + i_{Fc}^*\right) + \Delta i_{Fd}^*. \quad (4.42)$$

donde Δi_{Fd}^* es la variable de salida del controlador utilizado.

Ahora, gracias a la acción de este controlador, la expresión de la tensión diferencial del bus de continua pasará a ser:

$$\Delta v_C = -\frac{1}{C} \int_0^t \left(\sum_{i=a,b,c,d} i_{Fi}^* + \Delta i_{Fd}^* + \sum_{i=a,b,c,d} \Delta i_{Fi} \right) dt, \quad (4.43)$$

y la estructura del sistema de control coincide con la mostrada en la Figura 4.25.

Según este diagrama de control, las funciones de transferencia características del sistema de regulación de la tensión diferencial del bus de continua se pueden expresar como:

$$\frac{I_{F0}}{\sum I_{Fi}}(s) = \frac{s}{s + \frac{K(s)}{C}}, \quad (4.44a)$$

$$\frac{\Delta V_C}{\sum I_{Fi}}(s) = -\frac{1}{C} \frac{1}{s + \frac{K(s)}{C}}. \quad (4.44b)$$

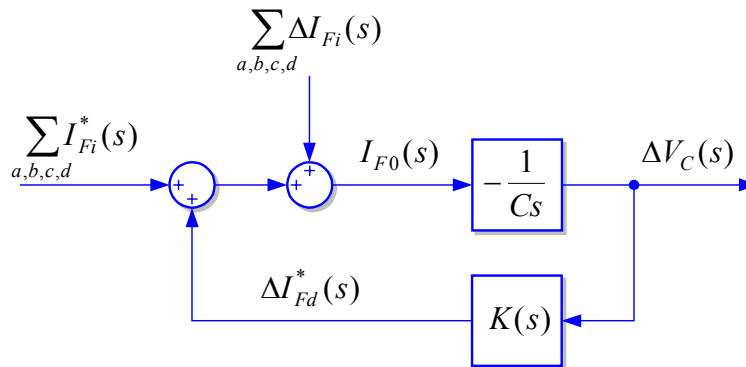


Figura 4.25. Diagrama de control de la tensión diferencial del bus de continua.

En estas últimas funciones de transferencia, $I_{F0}(s)$ está relacionada con la corriente finalmente inyectada en el punto intermedio del bus de continua, y $\sum I_{Fi}(s)$ está relacionada con el sumatorio de las corrientes finalmente inyectadas por las cuatro ramas del convertidor, es decir, $\sum I_{Fi}(s) = \sum_{i=a,b,c,d} (I_{Fi}^*(s) + \Delta I_{Fi}(s))$.

La Figura 4.26 muestra la implementación del controlador de la tensión diferencial del bus de continua del inversor FLSC. Seguidamente se evaluará el comportamiento del sistema para dos tipos de controladores lineales, uno proporcional (P), y otro proporcional-integral (PI). En la Tabla 4.2 se muestran las funciones de transferencia resultantes para cada uno de estos controladores.

Tipo	$K(s)$	$\frac{I_{F0}}{\sum I_{Fi}}(s)$	$\frac{\Delta V_C}{\sum I_{Fi}}(s)$
P	k	$\frac{s}{s + \frac{k}{C}}$	$-\frac{1}{C} \frac{1}{s + \frac{k}{C}}$
PI	$\frac{k_p s + k_i}{s}$	$\frac{s^2}{s^2 + \frac{k_p}{C} s + \frac{k_i}{C}}$	$-\frac{1}{C} \frac{s}{s^2 + \frac{k_p}{C} s + \frac{k_i}{C}}$

Tabla 4.2. Funciones de transferencia para los controladores (P y PI) de la tensión diferencial del bus DC.

Un primer criterio para evaluar la bondad de estos controladores será determinar la capacidad de cancelar, en régimen permanente, la corriente inyectada en el punto intermedio del bus de continua ante variaciones de las corrientes circulantes por las ramas del inversor. En régimen estacionario, la corriente inyectada en el punto medio del bus viene determinada por la expresión (4.45).

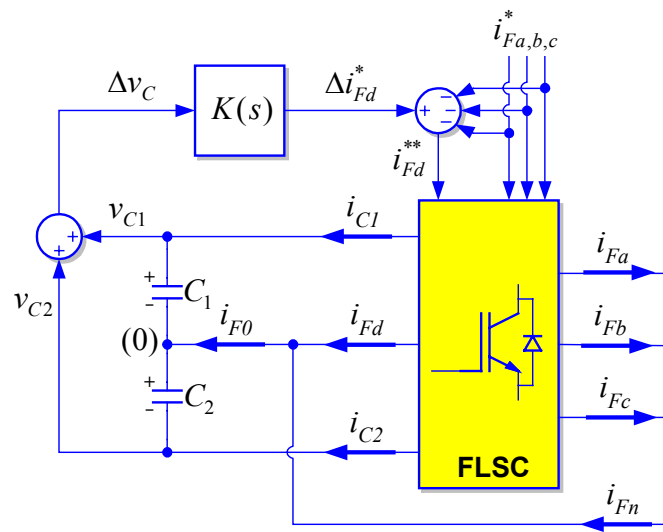


Figura 4.26. Controlador de la tensión diferencial del bus DC en el inversor FLSC.

$$i_{F0-ss} = \lim_{s \rightarrow 0} s \left(\frac{s}{s + \frac{K(s)}{C}} \right) \sum I_{Fi}(s) \quad (4.45)$$

De la misma manera, se evaluará la capacidad del controlador para cancelar, en régimen permanente, la tensión diferencial del bus de continua cuando se produzcan variaciones en las corrientes inyectadas por las ramas del convertidor. En régimen estacionario, esta tensión diferencial valdrá:

$$\Delta v_{C-ss} = \lim_{s \rightarrow 0} s \left(-\frac{1}{C} \frac{1}{s + \frac{K(s)}{C}} \right) \sum I_{Fi}(s). \quad (4.46)$$

Para evaluar la respuesta en régimen permanente del controlador, se considerará un error de tipo escalón en el sumatorio de las corrientes circulantes por las ramas del inversor, es decir:

$$\sum I_{Fi}(s) = \frac{I_\varepsilon}{s}. \quad (4.47)$$

El sistema de resultante cuando se utiliza el controlador P es de tipo 1. Por tanto, en régimen permanente, y ante una entrada escalón para el sumatorio de las corrientes de las fases, la corriente inyectada en el punto intermedio del bus será nula. Sin embargo, la tensión diferencial no será nula, sino que presentará un valor tal que:

$$\Delta v_{C-ss} = -\frac{I_\varepsilon}{k}. \quad (4.48)$$

En principio, este controlador puede parecer inadecuado. Sin embargo, en la práctica, el sumatorio de las referencias de corriente para las cuatro ramas siempre será nulo, lo que implica que el sumatorio de las corrientes instantáneas inyectadas por estas ramas presentará una evolución pseudo-pulsante, ya que sólo alcanza valores de consideración durante los intervalos transitorios en que se producen errores en el seguimiento de las referencias de corriente. En la Tabla 4.2, para el controlador P , la función de transferencia $\Delta V_C(s)/\sum I_{Fi}(s)$ corresponde a un filtro pasa-bajas de primer orden. Por tanto, desde un punto de vista ingenieril, considerando la simplicidad de este controlador, y asumiendo que la señal de entrada podría consistir en un tren de pulsos de polaridades opuestas, es razonable aceptar el controlador proporcional como una solución válida.

El sistema resultante cuando se utiliza el controlador PI es de tipo 2. Por tanto, en régimen permanente, y ante un escalón en el sumatorio de las corrientes de las ramas, la corriente inyectada en el punto intermedio del bus de continua, y la tensión diferencial del mismo, serán nulas. Por consiguiente, este controlador cancelará cualquier desviación de régimen permanente que aparezca en la tensión diferencial del bus, ya sea ésta debida a errores en el cálculo de las corrientes referencias de las ramas, a errores de régimen permanente en el seguimiento de dichas referencias, o

cualquier otra razón que diese lugar a que el teórico tren de pulsos que puede aparecer en la señal resultante del sumatorio de corriente de las cuatro ramas presente un valor medio no nulo.

A la hora de establecer los parámetros de ajuste de estos controladores, es preciso tener en cuenta que la pendiente instantánea de la corriente inyectada por la rama d viene determinada por la tensión de los condensadores del bus y por la inductancia asociada a dicha rama. El valor mínimo para esta pendiente se da cuando los condensadores del bus presenten su valor mínimo de tensión en extremos. Por tanto, el valor considerado para esta pendiente mínima de la corriente inyectada por la rama d es:

$$\left| \frac{di_{Fd}}{dt} \right|_{min} = \frac{V_{C(min)}}{L_{Fd}}, \quad (4.49)$$

donde $V_{C(min)}$ representa el mínimo valor de tensión que puede llegar a aparecer en extremos de cualquiera de los dos condensadores del bus de continua.

Para asegurar que el sistema de control exhiba un comportamiento lineal, será preciso asegurar que la referencia de corriente aportada por el controlador a la rama d presente, en todo momento, una pendiente inferior al valor determinado mediante (4.49). La expresión que determina la pendiente de la señal de salida del controlador, en función del sumatorio de corriente en las cuatro ramas del inversor, es:

$$\Delta \dot{i}_{Fd}^*(s) = s \Delta i_{Fd}^*(s) = -\frac{1}{C} \frac{s K(s)}{s + \frac{K(s)}{C}} \sum I_{Fi}(s). \quad (4.50)$$

Para poder determinar los parámetros del controlador, es preciso adoptar una señal patrón para el sumatorio de las corrientes inyectadas por las cuatro ramas del inversor. En este caso, la señal adoptada como patrón será nuevamente un escalón de amplitud I_ε .

4.6.2. Controlador proporcional de la tensión diferencial del bus DC

Si se considera el controlador P , la expresión temporal de la derivada de la señal de salida del controlador cuando aparece un escalón en el sumatorio de las corrientes inyectadas por las cuatro ramas del inversor es:

$$\frac{d}{dt} \Delta i_{Fd}^* = -\frac{k I_\varepsilon}{C} e^{-\frac{k}{C} t}. \quad (4.51)$$

La expresión (4.51) presenta su máximo para $t=0$, por tanto, para asegurar una control lineal en todo momento, se debe cumplir que:

$$\left| \frac{d}{dt} \Delta i_{Fd}^* \right|_{t=0} < \left| \frac{di_{Fd}}{dt} \right|_{min} \Rightarrow \frac{k I_\varepsilon}{C} < \frac{V_{C(min)}}{L_{Fd}}. \quad (4.52)$$

Según (4.52), el valor de la ganancia del controlador proporcional viene limitado por:

$$k < \frac{CV_{C(min)}}{L_{Fd}I_{\varepsilon}}. \quad (4.53)$$

Teniendo en cuenta que, cuando se utiliza el controlador proporcional, la función de transferencia $I_{F0}(s)/\sum I_{Fi}(s)$ responde a un filtro pasa-altas de primer orden, la frecuencia de corte de dicha función de transferencia viene determinada por:

$$\omega_c < \frac{V_{C(min)}}{L_{Fd}I_{\varepsilon}}. \quad (4.54)$$

Para evaluar el comportamiento del sistema de regulación propuesto cuando se utiliza el controlador proporcional, se considerará que el valor elegido para los condensadores del bus de continua es $C_1=C_2=2000\mu\text{F}$. En esta evaluación, con el objetivo de trabajar con una frecuencia de conmutación relativamente baja, el valor de las inductancias de acoplo de las ramas ha sido fijado en $L_{Fi}=5\text{mH}$. Para la selección de la ganancia del controlador proporcional se considerará que la tensión mínima que puede aparecer en cualquiera de los dos condensadores del bus de continua es $V_{C(min)}=335\text{V}$. Por último, se ha considerado que la amplitud del hipotético escalón que podría aparecer en el sumatorio de las corrientes de las cuatro ramas del inversor vale $I_{\varepsilon}=10\text{A}$. Según estos datos, la ganancia máxima del controlador proporcional es de $k=13,4$. En la Figura 4.26 se muestra la respuesta en frecuencia de las funciones de transferencia características del sistema de control cuando se adopta la ganancia máxima. En esta figura, y de acuerdo a (4.54), la frecuencia de corte de la función de transferencia $I_{F0}(s)/\sum I_{Fi}(s)$ es de 1.066Hz , la cual resulta adecuada si se tiene en cuenta que la frecuencia de conmutación de las diferentes ramas podría estar fijada en torno a los 20kHz .

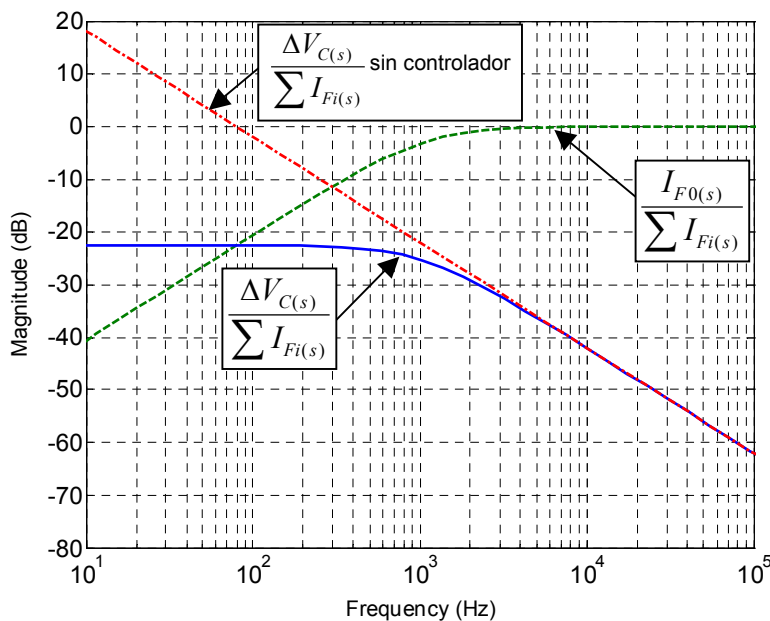


Figura 4.27. Respuesta en frecuencia del controlador proporcional de la tensión diferencial del bus DC del inversor FLSC.

En la Figura 4.27 se muestra la respuesta temporal teórica del controlador de la tensión diferencial del bus de continua cuando se utiliza un controlador proporcional.

Como se indicó anteriormente, se ha considerado la aparición de un escalón de 10A en el sumatorio de las corrientes de las cuatro ramas del convertidor. En la Figura 4.17, la gráfica superior representa la corriente inyectada en el punto intermedio del bus de continua, i_{F0} , mientras que la gráfica inferior representa la evolución de la tensión diferencial en dicho bus, Δv_C . En esta segunda gráfica se ha añadido, mediante una línea discontinua, la representación de la evolución que experimentaría la tensión diferencial del bus en el caso de que el controlador proporcional no existiese. La Figura 4.27 muestra cómo el error de régimen permanente introducido por el controlador proporcional es muy bajo, si se compara con la magnitud de las tensiones de bus que se están manejando. Además, teniendo en cuenta que, en una aplicación real, la polaridad de los escalones que podrían resultar del sumatorio de las corrientes inyectadas por las cuatro ramas sería cambiante, se podría admitir que el valor promediado de la tensión diferencial sería prácticamente nulo, por lo que el controlador proporcional se puede aceptar como una solución viable.

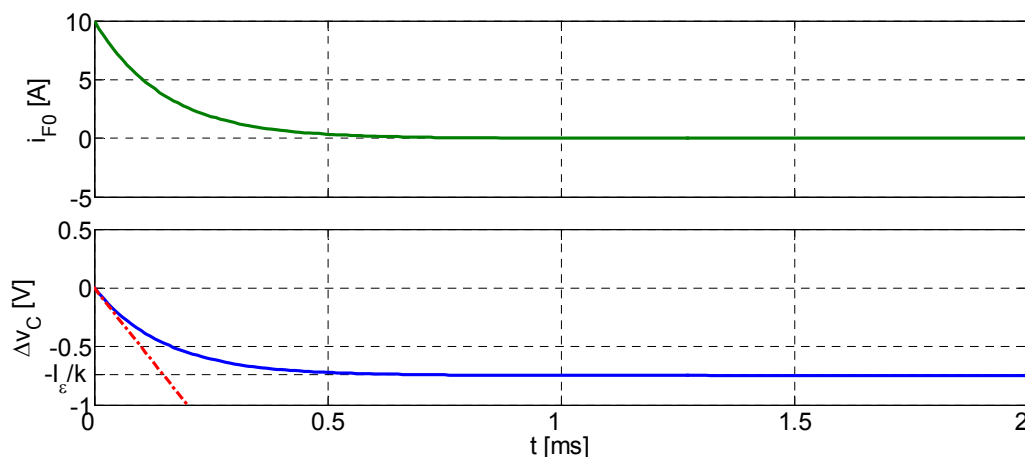


Figura 4.28. Respuesta temporal teórica del controlador proporcional de la tensión diferencial en el bus DC ante un escalón de entrada de 10A.

4.6.3. Controlador proporcional-integral de la tensión diferencial del bus DC

Para determinar los parámetros de ajuste del controlador *PI* se procede de manera similar al caso anterior. Partiendo de (4.50), la evolución temporal de la derivada de la señal de salida del controlador cuando se considera un escalón en el sumatorio de las corrientes inyectadas por las cuatro ramas del inversor viene dada por:

$$\frac{d}{dt} \Delta i_{Fd}^* = -2I_\varepsilon M \cos(\beta t - \theta) e^{-\alpha t}, \quad (4.55)$$

especificándose en (4.56) el valor de los diferentes parámetros de esta ecuación.

$$M = \frac{\omega_c}{2\sqrt{1-\xi^2}} ; \theta = \tan^{-1} \frac{1-2\xi^2}{2\xi\sqrt{1-\xi^2}} ; \quad (4.56)$$

$$\alpha = \xi\omega_c ; \beta = \omega_c\sqrt{1-\xi^2} ; \omega_c = \sqrt{\frac{k_i}{C}} ; \xi = \frac{k_p}{2C\omega_c}.$$

Si se adopta que $\xi = 1/\sqrt{2}$, la expresión (4.55) presenta su máximo para $t=0$, por tanto se debe cumplir que:

$$\left| \frac{d}{dt} \Delta i_{Fd}^* \right|_{t=0} < \left| \frac{di_{Fd}}{dt} \right|_{min} \Rightarrow \sqrt{2} I_\varepsilon \omega_c < \frac{V_{C(min)}}{L_{Fd}}. \quad (4.57)$$

Por tanto, la frecuencia de corte de la función de transferencia $I_{F0}(s)/\Sigma I_{Fi}(s)$ viene determinada por:

$$\omega_c < \frac{V_{C(min)}}{\sqrt{2} L_{Fd} I_\varepsilon}. \quad (4.58)$$

A partir de (4.58), y usando (4.56), las constantes proporcional e integral del controlador deben valer:

$$k_i < \frac{C}{2} \left(\frac{V_{C(min)}}{L_{Fd} I_\varepsilon} \right)^2 ; \quad k_p = \sqrt{2k_i C} \quad (4.59)$$

Para simular el sistema propuesto cuando se utiliza el controlador proporcional-integral, se considerarán los mismos parámetros que el caso anterior, es decir, $C_1=C_2=2000\mu\text{F}$, $L_{Fi}=5\text{mH}$, $V_{C(min)}=335\text{V}$ e $I_\varepsilon=10\text{A}$. Con estos datos, las constantes del controlador proporcional-integral se fijan en $k_p=13,4$ y $k_i=44.890$, que corresponden a la situación límite definida (4.59). En la Figura 4.29 se muestra la respuesta en frecuencia de las funciones de transferencia características del sistema.

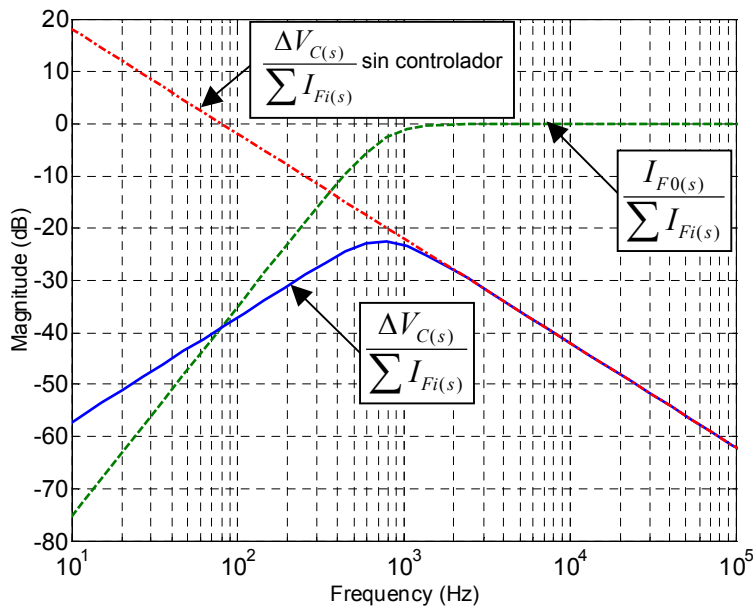


Figura 4.29. Respuesta en frecuencia del controlador proporcional-integral de la tensión diferencial del bus DC del inversor FLSC.

En esta figura, y de acuerdo a (4.58), la frecuencia de corte de la función de transferencia $I_{F0}(s)/\Sigma I_{Fi}(s)$ presenta su valor máximo, que es de 753Hz.

La Figura 4.30 muestra la respuesta temporal teórica del controlador de la tensión diferencial del bus de continua cuando se utiliza un controlador proporcional-integral. Igual que en el caso anterior, se ha considerado la aparición de un escalón de 10A en el sumatorio de las corrientes inyectadas por las cuatro ramas del inversor. En la segunda gráfica de esta figura se representa, mediante una línea discontinua, la evolución que experimentaría la tensión diferencial del bus en el caso de que el controlador proporcional-integral no existiese. En esta figura se aprecia que el error de régimen permanente de la tensión diferencial del bus de continua es ahora nulo.

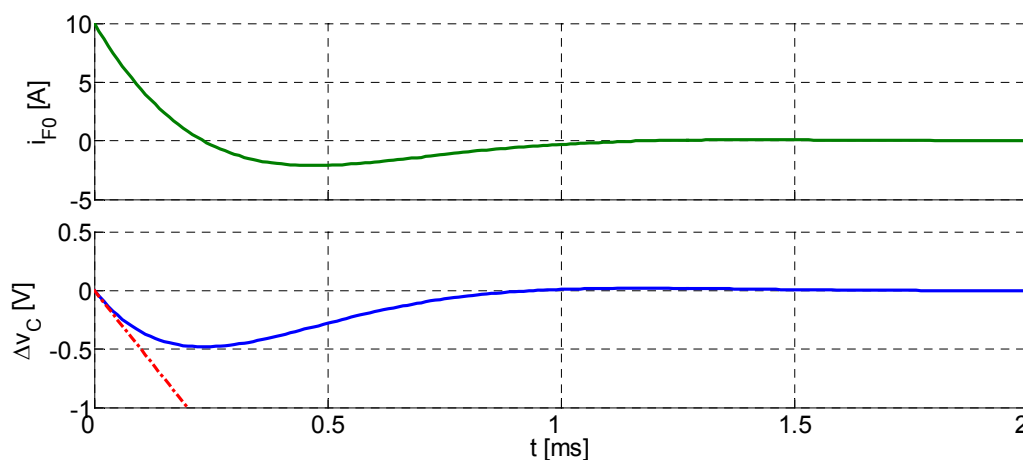


Figura 4.30. Respuesta temporal teórica controlador proporcional-integral de la tensión diferencial en el bus DC ante un escalón de entrada de 10A.

4.6.4. Simulación de los controladores de la tensión diferencial del bus DC

Para verificar el desarrollo analítico realizado anteriormente, se procederá a la simulación del sistema considerando el convertidor real. Para crear un escalón en el sumatorio de las corrientes de las cuatro ramas, se impondrá que la referencia de corriente para la rama d sea intencionadamente nula, es decir, $i_{Fd}^*=0$, y se fijará la consigna de corriente para las otras tres ramas a un valor constante de $10/3$ A. Además, y en concordancia con lo indicado anteriormente, se considerará que la tensión inicial en cada uno de los condensadores del bus de continua es de 335V. Por último, para el control de la corriente inyectada por las cuatro ramas se ha considerado una modulación por banda de histéresis de amplitud constante igual a 1A. En estas condiciones, el controlador detectará la tensión diferencial del bus y modificará la referencia de corriente de la rama d para así conseguir el equilibrado del mismo.

En la Figura 4.31 se muestra el resultado de esta simulación. En esta figura, se muestra la respuesta de ambos controladores ante el mismo escalón de 10A en el sumatorio de las corrientes de las cuatro ramas. En la Figura 4.31a se observa como

este escalón de corriente no es perfecto, ya que las corrientes inyectadas por las ramas a , b y c experimentan un error transitorio en el seguimiento de sus referencias. Lógicamente, la diferencia en la dinámica de la corriente inyectada por cada una de las ramas se debe a la diferencia existente en los valores de las tensiones de red en el momento en que dichas ramas reciben la referencia de corriente de $10/3$ A.

En la Figura 4.31b se aprecia cómo, en ambos controladores, la corriente inyectada por la rama d sigue correctamente la referencia aportada por el controlador, lo que permite afirmar que los parámetros de control calculados con anterioridad efectivamente garantizan un comportamiento lineal en el sistema de regulación.

La Figura 4.31d muestra la evolución experimentada por la tensión diferencial del bus de continua. Esta figura muestra cómo el controlador proporcional-integral anula completamente el error de régimen permanente de la tensión diferencial del bus. La pequeña diferencia existente en el valor de la tensión diferencial, respecto al cálculo teórico, se debe a que el escalón real de entrada no es perfecto, y además, aparece el efecto introducido por el periodo de muestreo de la tensión de los condensadores. Este periodo de muestreo no ha sido considerado en el cálculo teórico, ya que su duración es bastante inferior a la constante de tiempo final que presenta el sistema de regulación cuando las constantes de los controladores se fijan de acuerdo a lo especificado en (4.53) y (4.59).

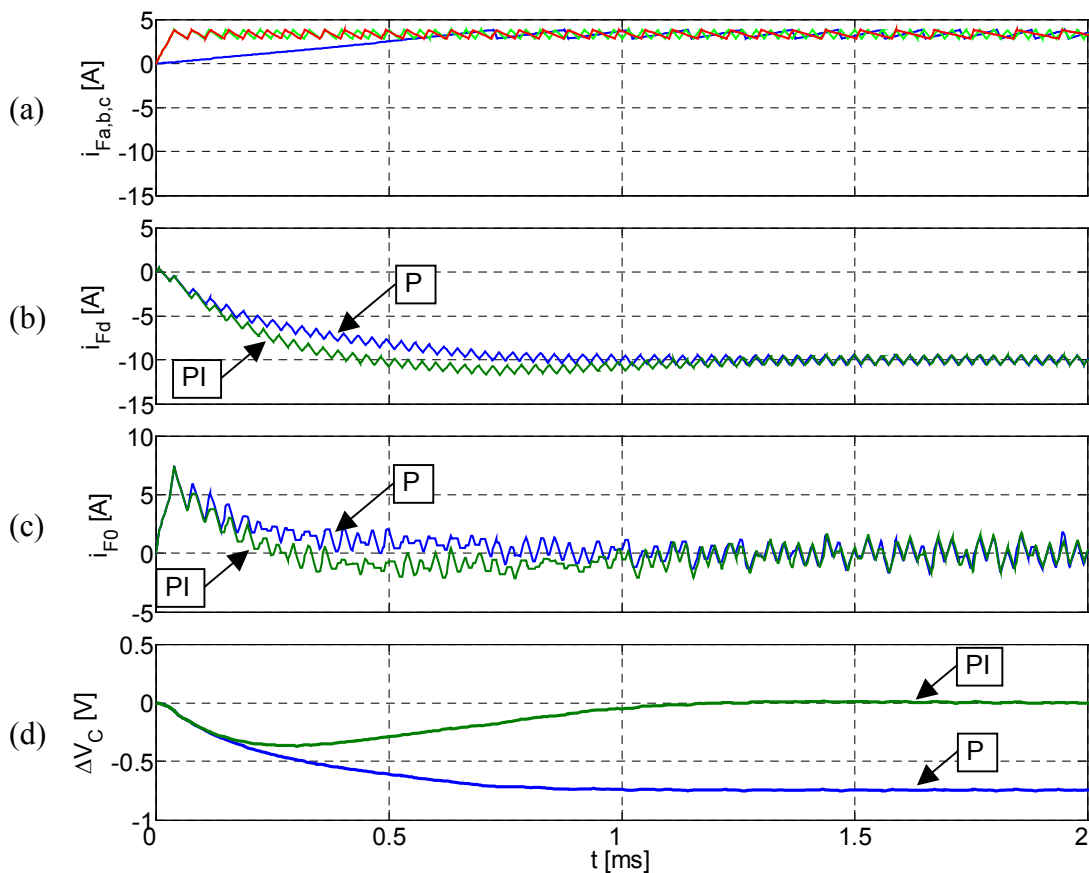


Figura 4.31. Respuesta a un escalón de 10A cuando los controladores de la tensión diferencial del bus DC trabajan en modo lineal.

Hay que destacar que los parámetros de sintonización elegidos para los controladores dependen de la amplitud en el escalón de corriente inyectada por las cuatro ramas del inversor. Dicha amplitud se impone como condición de diseño. Si esta amplitud excediese el valor considerado en el diseño, el sistema de control atravesaría una zona de funcionamiento no lineal, ya que la corriente inyectada por la rama d no podría seguir la dinámica impuesta por la señal de salida de dicho controlador. La Figura 4.32 corresponde a la simulación del convertidor real cuando la referencia de corriente para las ramas a , b , y c es de $20/3$ A, lo que da lugar a un valor resultante en el sumatorio de las corrientes de las cuatro ramas que es superior a los 10A que se consideraron a la hora de fijar las constantes de los controladores. En estas condiciones, la Figura 4.32b muestra como la corriente inyectada por la rama d atraviesa, en las proximidades de $t=0$, un periodo en el que no es capaz de seguir la pendiente impuesta por la consigna. Sin embargo, el sistema continúa siendo estable, y la rama d vuelve a deslizarse sobre la referencia una vez que la pendiente de ésta disminuye.

Por último, se ha simulado una situación en la que, desde el primer momento, se fija la referencia de las ramas a , b y c en $10/3$ A, mientras que a la rama d se le aporta una referencia de -10 A. En este caso, el controlador sólo debe compensar la tensión diferencial originada por los errores transitorios producidos en el seguimiento de las corrientes de referencia en las distintas ramas.

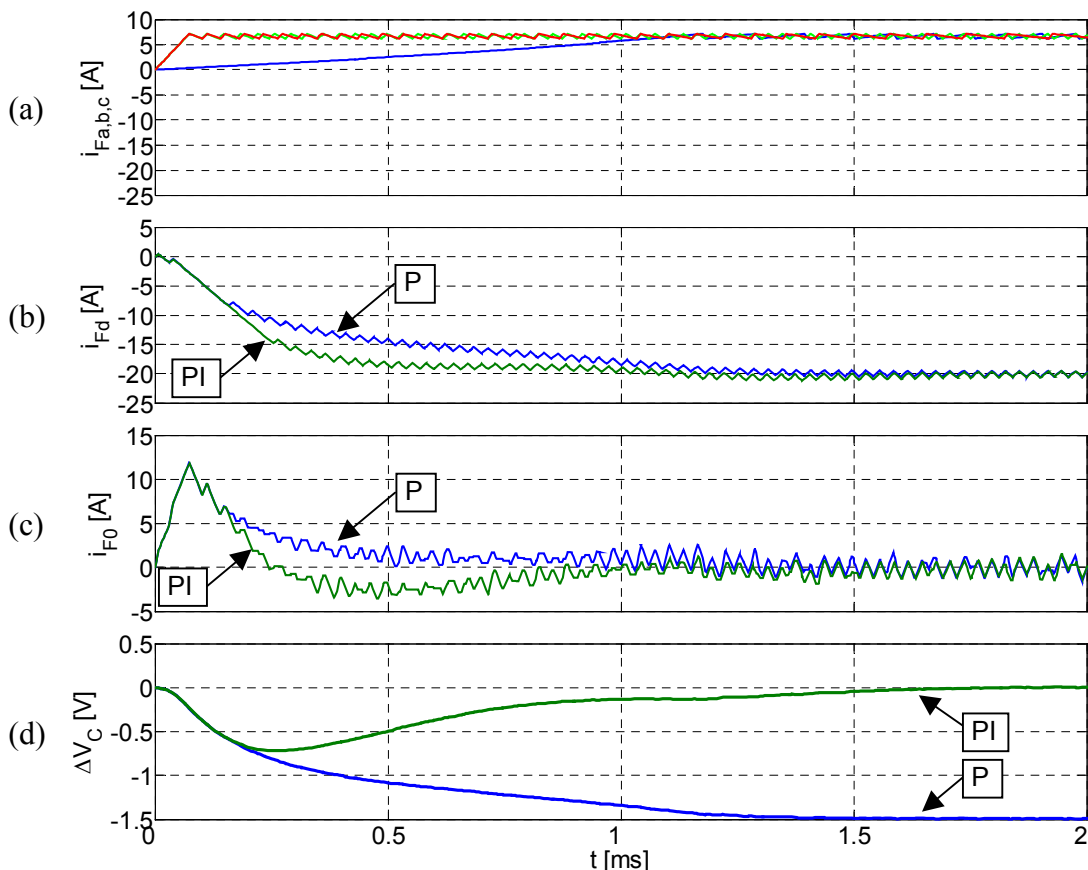


Figura 4.32. Respuesta a un escalón de 20A que provoca que los controladores de la tensión diferencial del bus DC trabajen en modo no lineal.

La Figura 4.33 muestra el resultado de esta simulación. En la Figura 4.33b se aprecia como la corriente de la rama d tiende a seguir la referencia de -10A desde el principio de la simulación, y consiguientemente, la corriente inyectada en el punto intermedio del bus de continua tiende a tener una característica pseudo-impulsional, lo que da lugar a que el controlador proporcional compense adecuadamente la tensión diferencial resultante y consiga un error nulo de régimen permanente en la tensión diferencial del bus de continua. Sin embargo, y ante situaciones sumamente adversas, este controlador proporcional podría llegar a dar lugar a errores acumulativos en la tensión diferencial del bus. Por tanto, desde el punto de vista de la robustez del sistema, el controlador proporcional-integral será el más adecuado, ya que este controlador cancelará cualquier desviación de régimen permanente que aparezca en la tensión diferencial del bus, ya sea ésta debida a errores en el cálculo de las corrientes referencias de las ramas, a errores de régimen permanente en el seguimiento de dichas referencias, o cualquier otra razón que en la práctica implicase tener un valor medio no nulo de régimen permanente en la corriente inyectada en el punto intermedio del bus de continua.

Los controladores evaluados en este estudio resultan simples y ofrecen una respuesta adecuada a las necesidades que presenta el SAPF, sin embargo, esto no quiere decir que no puedan existir otros sistemas de control que ofrezcan mejores prestaciones a costa de un mayor coste computacional, véase [4.72].

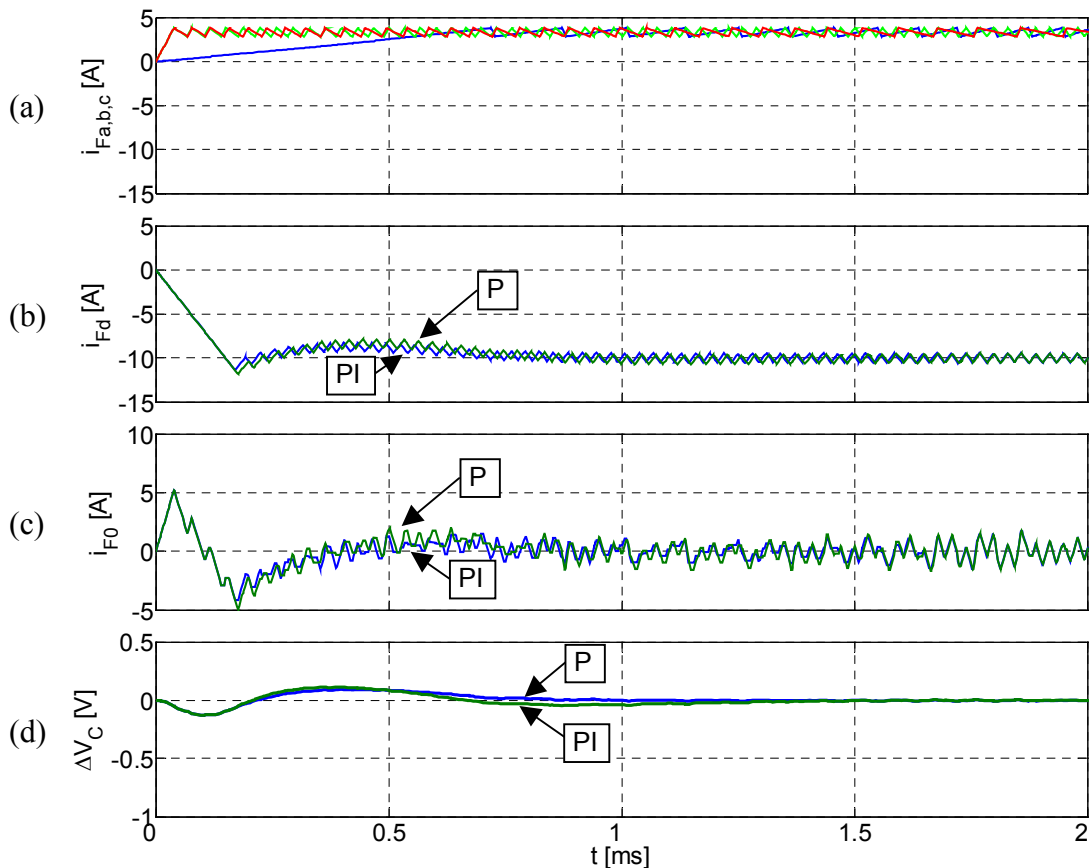


Figura 4.33. Respuesta a un escalón de 10A de los controladores de la tensión diferencial del bus DC cuando la rama d recibe la consigna adecuada.

4.7. Conclusiones

En este Capítulo, se han estudiado las topologías más usuales del inversor estático de potencia que se utiliza en las aplicaciones de filtrado activo de corriente sobre redes trifásicas de cuatro hilos, y se han revisado los principales métodos de control de la corriente inyectada por el mismo. Tras exponer las ventajas e inconvenientes de los inversores TLSC y FLFB, se propone el uso de una topología alternativa en el inversor, FLSC, la cual reporta una serie de ventajas que se expondrán a continuación. El análisis detallado de la estructura del SAPF permite obtener un modelo promediado en espacio de estado, que resume el comportamiento de las diferentes topologías anteriormente citadas, y que permite agilizar enormemente las tareas de simulación. Basándose en las ecuaciones obtenidas en el modelo promediado, se presenta la estructura de un control lineal de la corriente inyectada por el mismo. El análisis de la evolución instantánea de la corriente en cada periodo de conmutación del inversor FLSC permite la obtención de un algoritmo para el control de corriente por histéresis de banda adaptativa. Por último, utilizando nuevamente las ecuaciones del modelo promediado en espacio de estado, se analiza la evolución de la tensión diferencial del bus de continua del inversor TLSC. A partir de este análisis, se diseña el correspondiente controlador que evitará errores de régimen permanente en la tensión diferencial del bus del inversor FLSC.

Los diferentes estudios llevados a cabo permiten llegar a las siguientes conclusiones:

- i)* En un SAPF de cuatro hilos, el inversor TLSC presenta un control sencillo, ya que el hecho de tener el nodo intermedio del bus de continua conectado al neutro de la red, hace que las tres ramas del mismo trabajen de manera independiente. Esta sencillez en el control, equivalente al de tres inversores monofásicos, da lugar a que este inversor haya sido bien aceptado por fabricantes e investigadores. En este inversor, al no existir tensión de flotación entre el punto medio del bus de continua y el neutro de la red, no se consigue un aprovechamiento óptimo de los recursos de tensión de dicho bus, lo cual, más que una desventaja, se debe considerar como una característica particular asociada con el hecho de que el inversor sólo disponga de tres ramas de transistores. Sin embargo, sí existe un inconveniente importante en el inversor TLSC, el cual consiste en el desequilibrio que se produce en el reparto de tensión entre los condensadores del bus de continua cuando dicho inversor inyecta corrientes de secuencia homopolar. Este desequilibrio complica la modulación en el inversor, y puede dar lugar a la pérdida del control sobre la corriente inyectada en la red. Para minimizar esta tensión diferencial en el bus de continua, es necesario sobredimensionar los condensadores el mismo.
- ii)* El inversor FLFB presenta mejores prestaciones que el TLSC, no existiendo la posibilidad de desequilibrios en el bus de continua, y permitiendo aprovechar adecuadamente la tensión disponible en el mismo. El precio que se paga por estas prestaciones no sólo reside en el coste de los transistores de la cuarta rama, sino que también hay que tener

en cuenta que el control de este inversor es ahora más complejo. Un control óptimo de este inversor implica el uso de modulación vectorial. Hasta hace muy pocos años, no existían publicaciones que abordasen esta modulación sobre un inversor de cuatro ramas. Además, los algoritmos de modulación vectorial propuestos en trabajos bastante recientes son realmente complejos, lo que hace necesario el uso de procesador digital con gran potencia de cálculo. Ambos factores han desanimado a determinados fabricantes de filtros activos en la utilización del inversor FLFB en sus equipos.

- iii)* El inversor FLSC es una extensión del TLSC, y dispone de una cuarta rama que inyecta corriente en el punto intermedio del bus de continua para controlar el desequilibrio de tensión en mismo. El control de este inversor es tan simple como el del TLSC, ya que las ramas continúan trabajando de manera independiente, por lo que resulta factible el uso de un sistema de control de bajo coste. Además, el hecho de poder cancelar la tensión diferencial del bus de continua permite reducir el valor de los condensadores del mismo. Este inversor permite la inyección de corriente de secuencia homopolar bastante elevada, ya que, cuando se supere la corriente nominal de los transistores de la cuarta rama, es posible relajar la acción de la misma, para permitir una oscilación moderada en la tensión diferencial del bus. En este inversor, al igual que en el TLSC, al no existir tensión de flotación del bus de continua, se reducirán las corrientes parásitas debidas al acoplo capacitivo entre dicho bus y tierra, lo que simplifica los sistemas de sensado y control. Por último, hay que indicar que, teóricamente, este inversor podría llegar a conseguir un aprovechamiento óptimo de la tensión del bus de continua. Para ello habría que regular, mediante la cuarta rama, la tensión diferencial del bus de continua para que se comportase como una tensión óptima de secuencia homopolar que aparecería superpuesta a las tensiones de salida de las otras tres ramas (véase la modulación ZSS-PWM en el Capítulo 6). Este punto no ha sido desarrollado en este Capítulo, y se emplaza dentro de los trabajos futuros a desarrollar.
- iv)* El modelo promediado en espacio de estado del SAPF constituye una herramienta muy útil para la simulación de situaciones de larga duración, reduciendo muchísimo el coste de procesado. Este modelo generalizado recoge las tres topologías de inversor que se utilizan con más frecuencia en los SAPF's de cuatro hilos, permitiendo, además, la simulación de sistemas de tres hilos basados en el inversor TLFB. Las ecuaciones de estado de este modelo posibilitan un diseño preciso de los sistemas de control del SAPF, y son el origen de un método de obtención de las corrientes de referencia basado en la evaluación del estado energético del bus de continua (véase el Capítulo 7).
- v)* El algoritmo propuesto para el control de corriente por banda de histéresis adaptativa es bastante simple, y consigue situar las bandas del espectro del rizado de la corriente inyectada en posiciones discretas que son

múltiplos de la frecuencia de conmutación seleccionada. Esta característica facilita el diseño del filtro de salida del inversor, reduciendo su tamaño respecto al supuesto de haber considerado una banda de histéresis constante, y mejorando por tanto la respuesta dinámica del SAPF. Así mismo, se reduce el riesgo de resonancia que existe cuando el rizado de la corriente presenta un espectro continuo.

- vi) Si la corriente inyectada en el punto intermedio del bus de continua por parte la cuarta rama del inversor FLSC es igual, y de signo opuesto, al sumatorio de las corrientes que inyectan el resto de ramas, la tensión diferencial de dicho bus debería ser teóricamente nula. Sin embargo, existen diferentes factores que hacen que la afirmación anterior no sea siempre cierta. Por este motivo, se hace necesario del empleo de un controlador que, a partir de la lectura de la tensión diferencial del bus de continua, modifique la referencia de corriente para la cuarta rama con el objetivo de conseguir que el error de régimen permanente en esta variable sea nulo. El estudio llevado a cabo en este Capítulo permite concluir diciendo que un simple controlador proporcional puede resultar suficiente para conseguir resultados aceptables en la regulación de la tensión diferencial del bus de continua, sin embargo, siempre se conseguirá mayor robustez en el sistema de regulación resultante si a dicho controlador se le añade una parte integradora que pueda cancelar cualquier desviación de régimen permanente.

4.8. Referencias del Capítulo 4

- [4.1] J. Rodríguez, J. –S. Lai, and F. Z. Peng, “Multilevel inverters: a survey of topologies, controls, and applications,” *IEEE Trans. Ind. Electron.*, vol. 49, pp. 724-738, Aug. 2002.
- [4.2] J. N. Chiasson, L. M. Tolbert, K. J. McKenzie, and Z. Du, “Control of a multilevel converter using resultant theory,” *IEEE Trans. Cont. Syst. Tech.*, vol. 11, pp. , May 2003.345-354.
- [4.3] M. Kurokawa, C. Y. Inaba, Y. Conoshi, and M. Nakaoka, “Three-phase voltage source soft-switching active power filter,” in *Proc. IEEE Appl. Power Electron. Conf. (APEC’00)*, vol. 1, 2000, pp. 205-210.
- [4.4] M. Aredes, “Active Power Line Conditioners,” Section 5.4, Ph.D. dissertation, Tech. Univ. Berlin, Germany, 1996.
- [4.5] T. Thomas, K. Haddad, G. Joos, and A. Jaafari, “Performance evaluation of three phase three and four active filters,” in *Proc. IEEE Ind. Appl. Conf.*, vol. 2, 1996, pp. 1016-1023.
- [4.6] SineWave, active harmonics conditioner, “Second generation of power active harmonic conditioner based on the current injection principle,” documentation from *MGE UPS Systems*, Ref. MGE 0121-UKI, 1998, in website www.mgeups.com.
- [4.7] PQFA, power quality filter, documentation from *ABB*, Ref. AC 1506, 1998, in website www.abbcontrol.com.
- [4.8] H. Rudnick, J. Dixon, and L. Morán, “Delivering clean and pure power,” *IEEE Power and Energy Magaz.*, vol. 1, pp. 32-40, Sep./Oct. 2003
- [4.9] Y. Hayashi, N. Sato, K. Takahashi, “A novel control of a current-source active filter for ac power system harmonic compensation”, *IEEE Trans. Ind. Applicat.*, vol. 27, pp. 380-385, Mar./Apr. 1991.
- [4.10] S. Fukuda, T. Endoh, “Control method for a combined active filter system employing a current source inverter and a high pass filter”, *IEEE Trans. Ind. Applicat.*, vol. 31, pp. 590-595, May/June 1995.
- [4.11] H. Akagi, “Trends in active power line conditioners”, *IEEE Trans. Power Electron.*, vol. 9, pp. 263-268, May 1994.
- [4.12] H. Akagi, “New Trends in Active Filters”, in *Proc. Eur. Conf. Power Electron. and Applicat. (EPE’95)*, vol. 0, 1995, pp. 17-26.
- [4.13] H. Akagi, Y. Kanazawa, and A. Nabae, “Instantaneous reactive power compensators comprising switching devices without energy storage components,” *IEEE Trans. Ind. Applicat.*, vol. IA-20, pp. 625-630, May/Jun. 1984.
- [4.14] C. Qiao, T. Jin, and K. M. Smedley, “One-cycle control of three-phase active power filter with vector operation,” *IEEE Trans. Ind. Electron.*, vol. 51, pp. 455-463, Apr. 2004.
- [4.15] T. E. Núñez-Zúñiga and J. A. Pomillo, “Shunt active power filter synthesizing resistive loads,” *IEEE Trans. Ind. Applicat.*, vol. 37, pp. 81-89, Jan./Feb. 2001.
- [4.16] P. Mattavelli, “A close-loop selective harmonic compensation for active filters,” *IEEE Trans. Power Electron.*, vol. 17, pp. 273-278, Mar. 2002.
- [4.17] J. Holtz, “Pulsewidth modulation for electronic power conversion,” in *Proc. IEEE*, vol. 82, 1994, pp. 1194-1214.
- [4.18] B. N. Singh, P. Rastgoufard, B. Singh, A. Chandra, and K. Al-Hadaad, “Design, simulation and implementation of three-pole four-pole topologies for active filters,” in *IEE Proc. Elect. Power Applicat.*, vol. 151, pp. 467-476, July 2004.
- [4.19] J. R. Vázquez and P. Salmerón, “Active power filter control using neural network technologies,” in *IEE Proc. Elect. Power Applicat.*, vol. 150, pp. 139-145, July 2003.
- [4.20] P. Verdhello and G. D. Marques, “Four-wire current-regulated PWM voltage converter,” *IEEE Trans. Ind. Electron.*, vol. 45, pp. 761-770, Oct. 1998.
- [4.21] Sinewave, Model AC-120, documentation from *MGE UPS Systems*, Ref. MGE 0023-UK0-1, 2004, in website www.mgeups.com.
- [4.22] R. Zhang, V. H. Prasad, D. Boroyevich, and F. C. Lee, “Three-dimensional space vector modulation for four-leg voltage-source converters,” *IEEE Trans. Ind. Electron.*, vol. 17, pp. 314-326, May 2002..
- [4.23] C. E. Lin, C. L. Cheng, and C. L. Huang, “Calculating approach, implementation for active filters in unbalanced three-phase systems using synchronous detection method,” in *Proc. IEEE Ind. Electron. Conf. (IECON’92)*, 1992, pp. 374-380.

- [4.24] C. L. Cheng, C. E. Lin, and C. L. Huang, "An active filter for unbalanced three-phase systems using synchronous detection method," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'94)*, vol. 2, 1994, pp. 1451-1455.
- [4.25] M. P. Kazmierkowski and L. Malesani, "Current control techniques for three-phase voltage-source PWM converters: A survey," *IEEE Trans. Ind. Electron.*, vol. 45, pp. 691-703, Oct. 1998.
- [4.26] M. P. Kazmierkowski and M. A. Dzieaniakowski, "Review of current regulation techniques for three-phase PWM inverters," in *Proc. IEEE Ind. Electron. Conf. (IECON'94)*, vol. 1, 1994, pp. 567-575.
- [4.27] L. Malesani and P. Tomasin, "PWM current control techniques of voltage source converters - A survey," in *Proc. IEEE Ind. Electron. Conf. (IECON'92)*, vol. 2, 1992, pp. 670-675.
- [4.28] M. Cichowlas and M. Kazmierkowski, "Comparison of current control techniques for PWM rectifiers," *IEEE Trans. Ind. Applicat.*, in *Proc. IEEE Int. Symp. Ind. Electron. (ISIE'02)*, vol. 4, 2002, pp. 1259-1263.
- [4.29] D. M. Brod and D. W. Novotny, "Current control of VSI-PWM inverters," *IEEE Trans. Ind. Applicat.*, vol. IA-21, pp. 562-570, May/June 1985.
- [4.30] S. Buso, L. Malesani, and P. Mattavelli, "Comparison of current control techniques for active filter applications," *IEEE Trans. Ind. Electron.*, vol. 45, pp. 722-729, Oct. 1998.
- [4.31] M. Labben-Ben, F. Fnaiech, and K. Al-Haddad, "Comparison of direct current control techniques for a three-phase shunt active filter," in *Proc. IEEE Int. Symp. Ind. Electron. (ISIE'02)*, vol. 4, 2002, pp. 1217-1221.
- [4.32] V. M. C'ardenas, C. Nuñez, and M. Vázquez, "Analysis and evaluation of control techniques for active power filters: sliding mode control and proportional-integral control," in *Proc. IEEE Appl. Power Electron. Conf. (APEC'99)*, vol. 1, 1999, pp. 649-654.
- [4.33] S. Hiti, D. Borojevic, A. Ravindra, R. Zhang, and Y. Jiang, "Average current control of three-phase PWM boost rectifier," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'95)*, vol. 1, 1995, pp. 131-137.
- [4.34] H. Mao, D. Borojevic, A. Ravindra, and F.C. Lee, "Analysis and design of high frequency three-phase boost rectifier," in *Proc. IEEE Appl. Power Electron. Conf. (APEC'96)*, vol. 2, 1996, pp. 538-544.
- [4.35] A. M. Hava, R. J. Kerkman, and T. A. Lipo, "A high performance generalized discontinuous PWM algorithm," *IEEE Trans. Ind. Appl.*, vol. 34, pp. 1059-1071, Sep./Oct. 1998.
- [4.36] D. N. Zmood and D. G. Holmes, "Stationary frame current regulation of PWM inverters with zero steady-state error," *IEEE Trans. Power Electron.*, vol. 18, pp. 814-822, May 2003.
- [4.37] S. Fukuda and T. Yoda, "A novel current-tracking method for active filters based on a sinusoidal internal model for PWM invertors," *IEEE Trans. Ind. Applicat.*, vol. 37, pp. 888-895, May/June 2001.
- [4.38] C. T. Rim, N. S. Choi, G. C. Cho, and G. H. Cho, "A complete DC and AC analysis of three-phase controlled-current PWM rectifier using circuit D-Q transformation," *IEEE Trans. Power Electron.*, vol. 9, pp. 390-396, July 1994.
- [4.39] K. Nishida, Y. Konoshi, and M. Nakaoka, "Current control implementation with deadbeat algorithm for three-phase current-source active power filter," in *IEE Proc. Elect. Power Applicat.*, vol. 149, pp. 275-282, July 2002.
- [4.40] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Dead beat control of three phase PWM inverter," *IEEE Trans. Power Electron.*, vol. 5, pp. 21-28, Jan. 1990.
- [4.41] L. Malesani, P. Mattavelli, and S. Buso, "Robust dead-beat current control for PWM rectifiers and active filters," *IEEE Trans. Ind. Applicat.*, vol. 35, pp. 613-620, May/June 1999.
- [4.42] L. Malesani, P. Mattavelli, S. Buso, "Dead-beat current control for active filters," in *Proc. IEEE Ind. Electron. Conf. (IECON'98)*, vol. 3, 1998, pp. 1859-1864.
- [4.43] P. Tenti, A. Zuccato, L. Rossetto, and M. Bortolotto, "Optimum digital control of PWM rectifiers," in *Proc. IEEE Ind. Electron. Conf. (IECON'94)*, vol. 1, 1994, pp. 382-387.
- [4.44] D. G. Holmes and D. A. Martin, "Implementation of a direct digital predictive current controller for single and three phase voltage source inverters," in *Proc. IEEE Ind. Applicat. Conf.*, vol. 2, 1996, pp. 906-913.
- [4.45] K. Nishida, M. Rukonuzzman and M. Nakaoka, "Advanced current control implementation with robust deadbeat algorithm for shunt single-phase voltage-source type active power filter," *IEE Proc. Elect. Power Applicat.*, vol. 151, pp. 283-288, May 2004.

- [4.46] S. Hamasaki and A. Kawamura, "Improvement of current regulation of line-current-detection-type active filter based on deadbeat control," *IEEE Trans. Ind. Applicat.*, vol. 39, pp. 536-541, Mar./Apr. 2003.
- [4.47] S. Chen and G. Joós, "A unified series-parallel deadbeat control technique for an active power quality conditioner with full digital implementation," in *Proc. IEEE Ind. Applicat. Conf.*, vol. 1, 2001, pp. 172-178.
- [4.48] J. Y. Yung, W. Gao, and J. C. Hung, "Variable structure control: A survey," *IEEE Trans. Ind. Electron.*, vol. 40, pp. 2-22, Feb. 1993.
- [4.49] V.A. Utkin, "Variable structure systems with sliding mode", *IEEE Trans. Aut. Control*, vol. AC-22, pp. 212-222, 1977.
- [4.50] R. A. DeCarlo, S. Zak, G. P. Matthews, "Variable structure control of nonlinear multivariable systems: A tutorial," in *Proc. IEEE*, vol. 76, 1988, pp. 212-232.
- [4.51] J. -J. Slotine, W. Li, *Applied Nonlinear Control*, New York: Prentice Hall, 1990.
- [4.52] V. I. Utkin, *Sliding Modes and Their Application in Variable Structure Systems*, Moscow: MIR Publishers, 1974.
- [4.53] V. Cárdenas, N. Vázquez, and C. Hernández, "Sliding mode control applied to a 3M shunt active power filter using compensation with instantaneous reactive power theory", in *Proc. IEEE Power Electron. Spec. Conf. (PESC'98)*, vol. 1, 1998, pp. 236-241.
- [4.54] S. Saetio, R. Devaraj, and D.A. Torrey, "The design and implementation of a three-phase active filter based on sliding mode control," *IEEE Trans. Ind. Applicat.*, vol. 31, , pp. 993-1000, Sept./Oct. 1995.
- [4.55] J. F. Silva and S. S. Paulo, "Fixed frequency sliding mode modulator for current mode PWM inverters," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'93)*, 1993, pp. 623-629.
- [4.56] M. G. F. Gous and I. J. Beukes, "Sliding mode control for a three-phase shunt active power filter utilizing a four-leg voltage source inverter," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'04)*, vol. 6, 2004, pp. 4609-4615.
- [4.57] J. Miret, L. G. de Vicuña, and J. M. Guerrero, "A simple sliding mode control of an active power filter," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'04)*, vol. 2, 2004, pp. 1052-1056.
- [4.58] K. M. Rahman, M. Rezwana Khan, M. A. Choudhury, and M. A. Rahman, "Variable-band hysteresis current controllers for PWM voltage-source inverters," *IEEE Trans. Power Electron.*, vol. 12, , pp. 964-970, Nov. 1997.
- [4.59] L. Malesani and P. Tenti, "A novel hysteresis control method for current controlled VSI PWM inverters with constant modulation frequency," *IEEE Trans. Ind. Applicat.*, vol. 26, pp. 88-92, Jan./Feb. 1990.
- [4.60] L. Malesani, P. Mattavelli, and P. Tomasin, "Improved constant-frequency hysteresis current control of VSI inverters with simple feedforward bandwidth prediction," *IEEE Trans. Ind. Applicat.*, vol. 33, , pp. 1194-1202, Sep./Oct. 1997.
- [4.61] L. Malesani, L. Rossetto, P. Tomasin, and A. Zuccato, "Digital adaptive hysteresis current with clocked commutations and wide operating range," *IEEE Trans. Ind. Applicat.*, vol. 32, pp. 316-325, March/April 1996.
- [4.62] S. Buso, S. Faloso, L. Malesani, and P. Mattavelli, "A dead-beat adaptive hysteresis current control," *IEEE Trans. Ind. Applicat.*, vol. 36, pp. 1174-1180, Jul./Aug. 2000.
- [4.63] A. Tilli and A. Tonielli, "Sequential design of hysteresis current controller for three-phase inverter," *IEEE Trans. Ind. Electron.*, vol. 45, , pp. 771-781, Oct. 1998.
- [4.64] K. A. Corzine, "A hysteresis current-regulated control for multi-level drives," *IEEE Trans. Energy Conv.*, vol. 15, , pp. 169-175, Jun. 2000.
- [4.65] G. H. Bode and D. G. Holmes, "Load independent hysteresis current control of a three level single phase inverter with constant switching frequency," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'01)*, vol. 1, 2001, pp. 14-19.
- [4.66] X. Dianguo, G. Jianjun, L. Hankui, and G. Maozhong, "Improved hysteresis current control for active power filter," in *Proc. IEEE Int. Symp. Ind. Electron. (ISIE'03)*, vol. 2, 2003, pp. 836-840.
- [4.67] A. Mertens, "Performance analysis of three-phase inverters controlled by synchronous delta-modulation systems," *IEEE Trans. Ind. Applicat.*, vol. 30, pp. 1174-1180, Jul./Aug. 1994.
- [4.68] A. J. Frazier and M. K. Kazimierczuk, "DC-AC power inversion using Σ - Δ modulation," *IEEE Trans. Circ. Syst.*, vol. 47, pp. 79-82, Jan. 2000.

- [4.69] A. Sánchez, F. Ibáñez, M. Alcañiz, and J. Polo, "Analysis of sigma-delta modulation techniques in low frequency DC-AC converters," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'03)*, vol. 3, 2003, pp. 507-512.
- [4.70] L. A. Pittorino, J. A. du Toit, and J. H. R. Enslin, "Evaluation of converter topologies and controllers for power quality compensators under unbalanced conditions," in *Proc. IEEE Power Electron. Spec. Conf. (PESC'97)*, vol. 2, 1997, pp. 1127-1133.
- [4.71] M. Basu, S. P. Das, and G. K. Dubey, "Parallel converter scheme for high-power active power filters," in *IEE Proc. Elect. Power Applicat.*, vol. 151, pp. 460-466, July 2004.
- [4.72] Q. C. Zhong, T. C. Green, J. Liang, and G. Weiss, " H^∞ control of the neutral point in 3-phase 4-wire DC-AC converters," in *Proc. IEEE Ind. Electron. Conf. (IECON'02)*, vol. 1, 2002, pp. 520-525.
- [4.73] M. Marchesoni and P. Tenca, "Theoretical and practical limits in multilevel MPC inverters with passive front ends," in *Proc. Eur. Conf. Power Electron. Applicat. (EPE'01)*, vol. 0, 2001.
- [4.74] R. Rojas, T. Ohnishi, and T. Suzuki, "PWM control method for a fourlevel inverter," in *Proc. IEE Electric Power Applicat.*, vol. 142, pp. 390-396, Nov. 1995.
- [4.75] G. Sinha and T. A. Lipo, "A four-level inverter based drive with a passive front end," *IEEE Trans. Power Electron.*, vol. 15, pp. 285-294, Mar. 2000.
- [4.76] J. Pou, R. Pindado, D. Boroyevich, P. Rodríguez, and J. Vicente, "Voltage-balancing strategies for diode-clamped multilevel converter," *Proc. IEEE Power Electron. Spec. Conf. (PESC'04)*, vol. 5, 2004, pp. 3988-3993.

