



**Universitat Autònoma
de Barcelona**

Departamento de Ingeniería Electrónica

**CMOS-MEMS para aplicaciones de
RF: Osciladores**

Una tesis doctoral por

Guillermo Sobreviela Falces

En cumplimiento de los requisitos para el grado de
Doctor en Ingeniería Electrónica y de Telecomunicación

Supervisada por la Dra. Arantxa Uranga del Monte

Bellaterra, Septiembre de 2016

IV. Diseño CMOS

1 Introducción

En el presente capítulo se analizan las tres principales estrategias para sensar la corriente mecánica de los resonadores MEMS. Estas estrategias se basan en la configuración de integración resistiva, la integración capacitiva y la amplificación de la corriente de salida.

Una vez presentadas las estrategias se desarrollan cuatro amplificadores diseñados para realizar la integración capacitiva de la corriente mecánica. En el diseño de estos amplificadores se ha minimizado tanto la contribución de ruido del amplificador sobre el nodo de sensado como la contribución del amplificador a la capacidad parásita del nodo de sensado.

Las tecnologías utilizadas para implementar los circuitos han sido la tecnología AMS de nodo $0.35\mu\text{m}$ y tensión de alimentación 3.3V y la tecnología SiTerra de nodo $0.18\mu\text{m}$ y tensión de alimentación 1.65V , ambas tecnologías compatibles con la integración monolítica de sistemas CMOS-MEMS.

2 Sensado de corrientes

En el capítulo II se modelizó el resonador MEMS como un sistema que genera a partir de un voltaje de componentes AC y DC una corriente AC. Esta corriente generada tiene, para los resonadores de la presente tesis, un orden de magnitud comprendido entre nA y uA, por lo tanto es necesario un esquema de sensado de corriente para detectarlas. Uno de los métodos utilizados para sensar corrientes se basa en hacer circular la corriente a través de un elemento con un valor de impedancia conocido. [1]. La corriente, al circular a través del elemento, produce una diferencia de potencial entre los extremos del dispositivo. Esta diferencia de potencial generada es proporcional a la corriente. En la figura 1 se muestra el esquema de sensado.

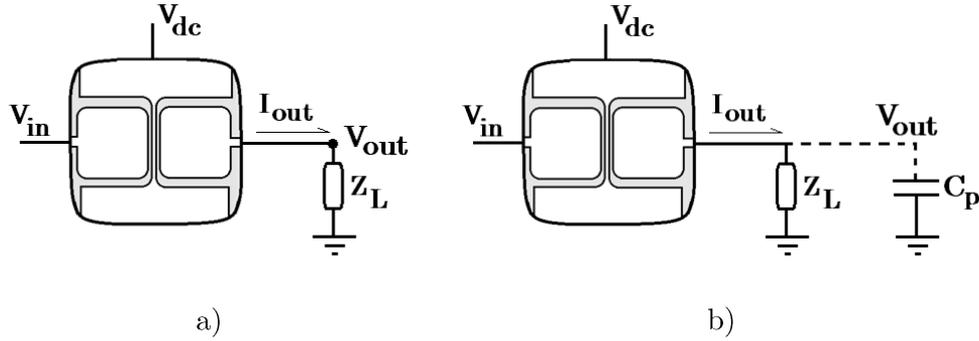


Figura 1. Esquema del sensado de la corriente de salida de un resonador MEMS. a) La corriente I_{out} circula a través de la impedancia Z_L , generando una diferencia de tensión $V_{out} = Z_L I_{out}$. b) La corriente I_{out} se reparte entre la impedancia de carga Z_L y la capacidad parásita C_p .

En la práctica aparecen elementos parásitos en forma de capacidad cuya impedancia se añade en paralelo a Z_L . Si la impedancia de los elementos parásitos es inferior a Z_L la mayor parte de la corriente de salida será desviada a través de estos, por lo que la tensión generada en los extremos de Z_L será inferior, dificultando su sensado. Debido a esto, es necesario diseñar sistemas que ofrezcan una impedancia de entrada en el nodo de sensado cuyo valor sea inferior a las impedancias parásitas del sistema. A continuación se muestran distintas configuraciones para lograr maximizar la fracción de corriente de salida que circula por la impedancia de sensado.

2.1 Sensado resistivo

En el sensado resistivo se utiliza como impedancia Z_L una resistencia R . Dado que las impedancias parásitas son de origen capacitivo el sistema de sensado que transforma I_{out} en V_{out} se va a comportar como un filtro pasabajos. El comportamiento del filtro se muestra en la ecuación (1).

$$V_{out} = I_{out} R \frac{1}{1 + RC_p s} \quad ; \quad f_{BW} = \frac{1}{2\pi RC_p} \quad ; \quad GBW = \frac{1}{2\pi C_p} \quad (1)$$

Por lo tanto, el valor de transimpedancia del sistema de sensado queda determinado por R cuando se opera por debajo del ancho de banda f_{BW} . En este sistema, cuando se trabaja dentro del ancho de banda, el voltaje V_{out} está en fase con la corriente I_{out} . El producto ganancia-ancho de banda del sistema de sensado depende únicamente de la capacidad parásita. Una mejora sobre el sensado

resistivo es el utilizar un amplificador inversor realimentado a través de la resistencia de integración como se muestra en la figura 2.

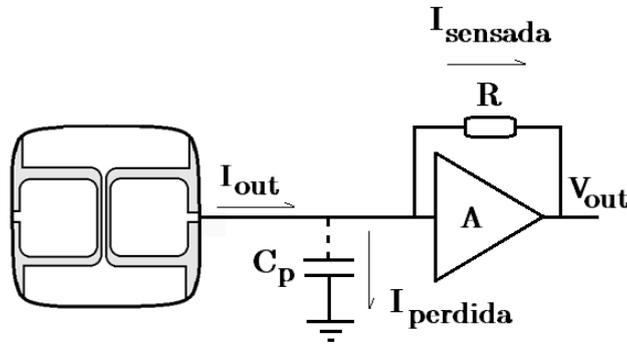


Figura 2. Esquema de sensado resistivo utilizando un amplificador inversor realimentado por el elemento de impedancia $Z_L=R$. En el esquema se incluye como elemento la capacidad parásita C_p que aparece entre el nodo de sensado y tierra. La corriente I_{out} se reparte entre el camino de R y C_p , siendo $I_{sensada}$ la fracción de I_{out} que sensará el sistema e $I_{perdida}$ la fracción de I_{out} que se perderá a través de la capacidad C_p .

Si el amplificador ha sido diseñado en la tecnología CMOS, la componente resistiva de su impedancia de entrada puede considerarse suficientemente elevada como para ser ignorada, ya que será la puerta de uno o varios transistores CMOS. Sin embargo, las capacidades de los transistores de entrada del amplificador contribuirán a incrementar la capacidad parásita del nodo de entrada. Ahora la corriente de salida se reparte entre dos caminos, el de C_p y el de la impedancia de integración R . El camino de la capacidad parásita tiene una impedancia igual a $1/2\pi f C_p$, mientras que el camino resistivo, al utilizar un amplificador realimentado, tiene una impedancia de entrada muy inferior a Z_L o R como muestra la ecuación (2).

$$Z_{in} = \frac{R}{(1-A)} \quad (2)$$

Por lo tanto, cuanto mayor sea la ganancia A (ganancia en lazo abierto) del amplificador menor será la impedancia de entrada del camino resistivo a través de R . El comportamiento de la configuración presentada se muestra en la ecuación (3).

$$V_{out} = -I_{out}R \frac{1}{1 + \frac{RC_p s}{A}} ; f_{BW} = \frac{A}{2\pi RC_p} ; GBW = \frac{A}{2\pi C_p} \quad (3)$$

La configuración permite reducir la impedancia de entrada, incrementando la proporción de I_{out} que circula por el camino de Z_L . En este sistema el voltaje V_{out} está en antifase con la corriente I_{out} . Sin embargo, la transformación I_{out} en V_{out} sigue dándose a través del valor de $Z_L=R$. Esta configuración abre las puertas al sensado de corriente a altas frecuencias. También cabe destacar que se ha supuesto que el ancho de banda del amplificador es infinito o muy superior que el ancho de banda del nodo de sensado. Para lograr trabajar en altas frecuencias es necesario disponer de un amplificador de alta ganancia en lazo abierto y ancho de banda siempre superior al de la frecuencia que se quiere sensar.

A la hora de seleccionar un sistema de sensado es imprescindible conocer el su contribución de ruido en corriente equivalente sobre el nodo de sensado, ya que fija la resolución de sensado. La contribución de ruido de este sistema de sensado se describe en la ecuación (4). Por una parte la resistencia contribuye con ruido térmico sobre el nodo de salida, mientras que el amplificador contribuye con su ruido a la salida.

$$\langle V_{out} \rangle_n^2 = \langle V_{outAMP} \rangle_n^2 + 4k_B TR \quad (4)$$

Por lo tanto la relación señal ruido operando dentro del ancho de banda queda descrita por la ecuación (5).

$$\frac{V_{out}^2}{\langle V_{out} \rangle_n^2} = \frac{I_{out}^2 R^2}{\langle V_{outAMP} \rangle_n^2 + 4k_B TR} \quad (5)$$

Un incremento en el valor de la resistencia de integración mejora la relación señal ruido del sistema.

Uno de los esquemas más utilizados por su simplicidad es el mostrado en la figura 3. Esta estructura está basada en un amplificador CMOS inversor, esta forma parte de los amplificadores Push-Pull.

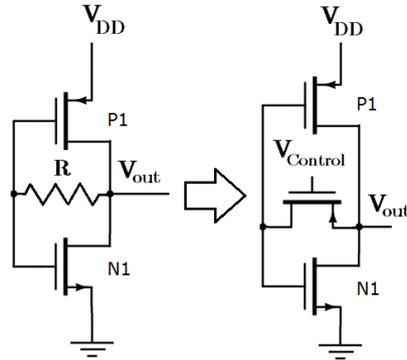


Figura 3. Implementación del amplificador resistivo en la tecnología CMOS. Este sistema puede ser implementado utilizando una resistencia de valor fijo R , aunque con el objetivo de controlar la transimpedancia del sistema global es común implementar un transistor PMOS cuyo voltaje de puerta está controlado externamente.

En el segundo caso mostrado en la figura 3 el canal del transistor realiza la función de elemento resistivo, siendo el valor de su resistencia controlado por el voltaje V_{control} . Este sistema permite implementar resistencias de integración de alto valor, del orden de magnitud de $k\Omega$ y $M\Omega$ y operar a altas frecuencias desde los MHz hasta los pocos GHz. [2-5].

Además del diseño mostrado en la figura 3 también se pueden encontrar diseños basados en la integración resistiva en la que se utilizan sistemas más complejos como amplificadores de configuración cascode [6] o amplificadores operacionales para el sensado de una corriente [7-8] o dos corrientes [9-11] para su posterior procesamiento diferencial.

2.2 Sensado capacitivo

Una opción utilizada cuando se requieren valores altos de transimpedancia es la integración capacitiva. La técnica se basa en observar el nodo de sensado a través de un camino resistivo elevado, reduciendo al máximo el ancho de banda del nodo, haciendo circular la corriente I_{out} íntegramente a través de la capacidad parásita C_P como se muestra en la figura 4.

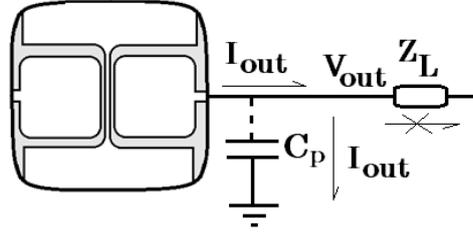


Figura 4. Esquema de sensado capacitivo bloqueando el camino al nodo de sensado V_{out} mediante el dispositivo Z_L utilizando un elevado valor de impedancia. Al no circular corriente por Z_L la corriente I_{out} circula íntegramente por la capacidad parásita C_P .

De esta manera, la corriente de salida al circular por la capacidad parásita genera el voltaje sobre el nodo de sensado indicado en (6).

$$V_{out} = \frac{I_{out}}{C_p s} \quad (6)$$

La forma de poder utilizar el valor de V_{out} sin desviar parte de la corriente de salida del resonador es mediante el uso de un amplificador como se ha mostrado en la en la figura 2. En este caso C_p es la suma de la capacidad parásita del nodo de salida del resonador sumado a la capacidad de entrada del amplificador. Al contrario que para el sensado resistivo, la impedancia en la que se integra la corriente no genera ruido. En este sistema el ruido es generado por el amplificador, por esto el ruido en voltaje del nodo de salida y ruido de corriente equivalente en la entrada del sistema quedan descritos por la ecuación (7).

$$\langle V_{out} \rangle_n^2 = \langle V_{outAMP} \rangle_n^2 \quad ; \quad \langle I_{in} \rangle_n^2 = \frac{\langle V_{outAMP} \rangle_n^2}{A^2} (C_p s)^2 \quad (7)$$

Siendo la relación señal ruido de sensado la indicada en (8).

$$\frac{V_{out}^2}{\langle V_{out} \rangle_n^2} = \left(A \frac{I_{out}}{C_p s} \right)^2 \frac{1}{\langle V_{outAMP} \rangle_n^2} \quad (8)$$

Por lo que un valor pequeño de C_P no sólo permite trabajar con un alto valor de transimpedancia, sino que además mejora su relación señal ruido respecto a la integración resistiva.

A la hora de aplicar esta técnica de integración surge el siguiente problema: Se necesita diseñar un elemento resistivo cuya impedancia tenga un valor elevado.

En las tecnologías CMOS de único pozo (como es nuestro caso) es común que el pozo de los transistores P se implante sobre el sustrato mientras que el pozo de los transistores N es directamente el sustrato. Dado que el sustrato siempre ha de estar conectado al voltaje más negativo del circuito (Tierra o $-V_{ss}$ para la alimentación simétrica), el pozo de los transistores N no dispone de libertad de polarización. Por esto se van a utilizar como transistores de polarización únicamente transistores tipo P. Para obtener un elemento de alta impedancia se conecta el transistor PMOS como se muestra en la figura 5 [12].

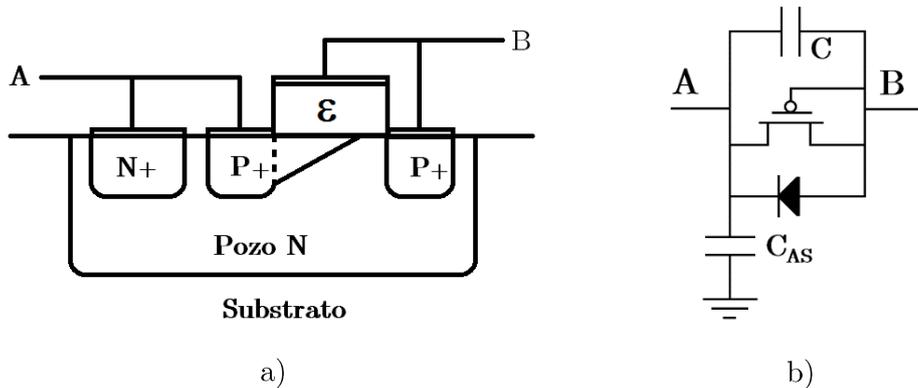
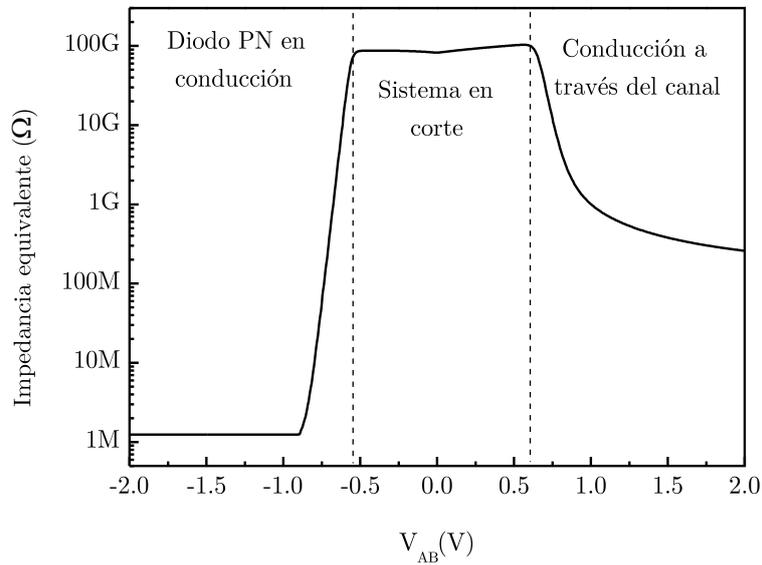
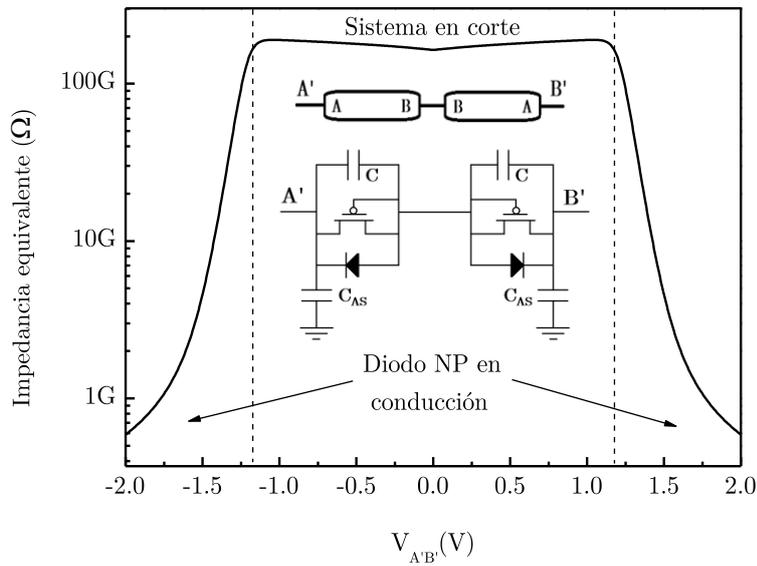


Figura 5. a) Configuración de alta impedancia para un transistor PMOS. La difusión P+ correspondiente al Nodo A ha sido cortocircuitada con el pozo N, mientras que la difusión P+ correspondiente al Nodo B se ha cortocircuitado con la puerta del transistor. b) Modelo eléctrico equivalente al sistema mostrado en a). La capacidad C_{AS} corresponde con la capacidad formada entre el nodo A y el sustrato, la capacidad C es la capacidad formada entre los nodos A y B. Entre el nodo B y A se forma un diodo PN a través de la difusión P+ (Nodo B) y la difusión N+ (Nodo A). Además de estos tres elementos se incluye el transistor PMOS en configuración de diodo.

El sistema ha sido diseñado para generar una elevada impedancia equivalente entre los nodos A y B cuando el voltaje V_{AB} aplicado entre sus extremos toma valores próximos a cero. La impedancia del dispositivo frente al voltaje V_{AB} se muestra en la figura 6.



a)



b)

Figura 6. a) Curva resistencia-voltaje para el transistor P-CMOS conectado en la configuración mostrada en la figura 4. b) Curva resistencia-voltaje para el sistema de dos transistores P-CMOS conectados en serie e invertidos (AB-BA).

En la figura 5.a se pueden distinguir tres zonas de operación para el sistema:

- Zona central en la cual no existe canal entre las dos difusiones P. Además, el diodo PN que se forma de B a A se encuentra en corte. En esta zona la impedancia es máxima entre los extremos A y B.
- Zona de valores negativos de V_{AB} inferiores a $-0.5V$. En esta zona el diodo PN formado entre el pozo (A) y la difusión P+ (B) entra en conducción, dando una impedancia equivalente en pequeña señal que decrece según se hace más negativo el voltaje en los extremos del diodo.
- Zona de voltajes positivos superiores a $0.6V$. En este punto el transistor operando en configuración de diodo comienza a crear canal. Desde el primer momento que esto ocurre aparece un camino resistivo entre A y B cuya resistencia se reduce al hacer V_{AB} más positivo.

En la figura 5.b se muestra la misma gráfica de resistencia cuando en lugar de utilizar un único dispositivo con la configuración mostrada en 5 se utilizan dos dispositivos conectados en serie de la forma AB - BA. En este caso la impedancia equivalente es mayor, ya que las impedancias de ambos quedan sumadas. Además, el sistema tiene un comportamiento simétrico.

Utilizar este sistema como elemento polarizador tiene como ventaja su alta impedancia y su capacidad para cargar y descargar el nodo intermedio a A'B'. Sin embargo el mismo proceso de conducción que permite cargar y descargar el nodo central produce una no linealidad en el valor de la resistencia del sistema cuando se aplica una diferencia de potencial entre sus extremos. La falta de estabilidad en el valor de la resistencia frente a diferencias de potencial grandes genera fenómenos de saturación y no linealidad sobre la señal, generando el ruido paramétrico explicado en el capítulo III.

A pesar de que el esquema de integración capacitivo es menos ruidoso que el esquema resistivo, su aplicación no está tan extendida. En parte esto se debe a la dificultad a la hora de predecir el valor de la capacidad total de integración y que el voltaje generado por esta integración está desfasado -90° con respecto a la corriente, lo que dificulta cerrar el lazo en un sistema oscilador.

El sensado de la corriente mediante la integración capacitiva ha sido ampliamente utilizado en sensores MEMS basados en la transducción capacitiva tales como acelerómetros o giroscópios. Sin embargo, también existen trabajos en los que se utiliza este esquema para sensar resonadores MEMS con el objetivo de construir filtros [13] o sistemas osciladores [14-15], incluyendo sistemas de sensado diferencial [16-17].

2.3 Sensado mediante amplificadores de corriente

El último de los esquemas de sensado más extendidos se basa en el sensado de una corriente mediante su amplificación a través de un espejo de corriente. El esquema más sencillo queda descrito en la figura 7.

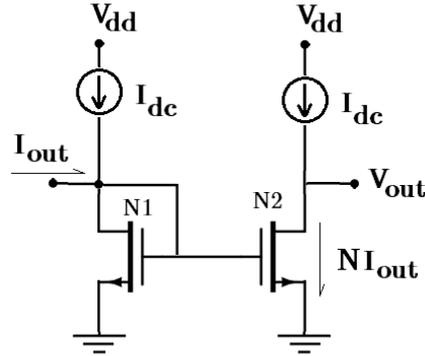


Figura 7. Esquema de sensado basado en la amplificación de la corriente I_{out} . La corriente es amplificada en el espejo de corriente con una ganancia N .

Este sistema se basa en crear un camino de baja impedancia a través del transistor N1 en configuración de diodo, siendo su impedancia $1/g_m$, donde g_m es el valor de transconductancia del transistor N1. De esta manera se puede reducir la impedancia de entrada absorbiendo la corriente I_{out} íntegramente. Esta corriente al circular por el transistor N1 se espeja al transistor N2. El factor de ganancia de este espejo es igual a el cociente mostrado en (9).

$$N = \frac{W_2/L_2}{W_1/L_1} \quad (9)$$

Donde W y L son la anchura y longitud del canal de los transistores respectivamente. Este sistema se utiliza comúnmente en resonadores de alta frecuencia, del orden de GHz. La principal desventaja de este sistema de sensado es su contribución al ruido en el nodo de sensado. El ruido en corriente equivalente sobre el nodo de sensado está generado principalmente por el transistor N1 y se muestra en (10).

$$\langle I_{in} \rangle_n^2 = 4k_B T g_{m-N1} \quad (10)$$

Donde g_m es la transconductancia del transistor N1. Esto implica que la reducción de la impedancia de entrada del sistema está ligada a un incremento en la contribución del ruido sobre el nodo de sensado.

El circuito mostrado en la figura 7 puede mejorarse en términos de impedancia de entrada si entre la puerta y el drenador del transistor N1 se conecta una resistencia de realimentación [18]. Esto permite reducir la impedancia de entrada sin incrementar el ruido en corriente equivalente. Sin embargo, en comparación con los dos esquemas de sensado anteriores esta configuración sigue siendo la que aporta un mayor ruido sobre el nodo de sensado.

3 Amplificador diferencial: Ganancia regulable

El objetivo del presente amplificador es permitir realizar un sensado diferencial de las corrientes para separar la componente de corriente parásita de la corriente mocional útil.

Como se explicó en el capítulo II, la corriente de salida del resonador MEMS actuado electrostáticamente y leído capacitivamente tiene dos componentes. La primera es la corriente mocional, relacionada con el movimiento de la estructura. La segunda corriente es la corriente parásita, originada por la componente AC del voltaje de actuación. Dado que la componente parásita enmascara a la corriente mocional resulta conveniente diseñar un sistema que separe ambas componentes para poder filtrar la componente mocional útil [17], [19-20]. En la figura 8 se muestra un esquema de sensado basado en la lectura diferencial.

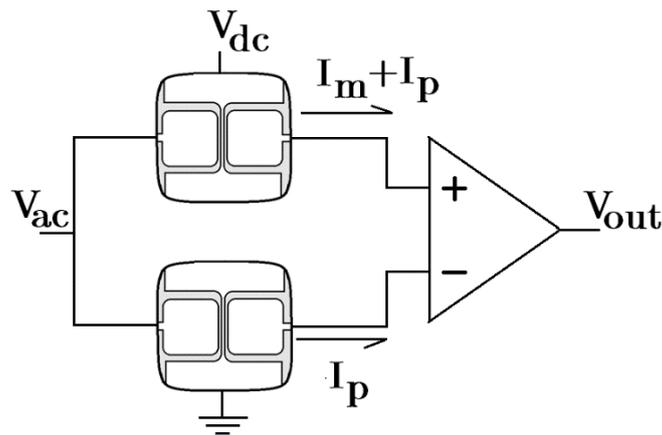


Figura 8. Esquema de sensado basado en la lectura diferencial.

El resonador superior de la figura está polarizado con un voltaje V_{dc} , por esto tendrá un valor de resistencia mocional finito y por lo tanto, como respuesta a la actuación V_{ac} , generará una corriente mocional en su nodo de lectura. El resonador inferior está polarizado a tierra, por lo que su impedancia mocional es infinita y no producirá una corriente mocional como respuesta a V_{ac} . Ambos resonadores, al ser iguales entre sí, responderán a la actuación V_{ac} con la misma corriente parásita. Ambos resonadores están conectados a un amplificador de transimpedancia diferencial. El voltaje de salida del amplificador se muestra en la ecuación (11).

$$V_{out} = G[(I_m + I_p) - I_p] = G I_m \quad (11)$$

Donde G es la transconductancia diferencial del amplificador. El voltaje de salida será la componente de la corriente mocional multiplicada por la transconductancia, por lo que la corriente sensada sólo tendrá la componente mocional.

Paralelamente a este esquema también se puede recurrir a una excitación diferencial. Esta se muestra en la figura 9 y reside en la misma idea.

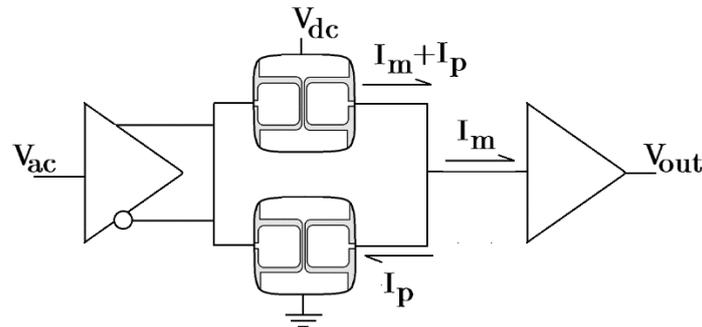


Figura 9. Esquema de sensado basado en la actuación diferencial.

En la figura, el voltaje V_{ac} es transformado en un voltaje de excitación en fase (salida superior) y en antifase (salida inferior) a V_{ac} y de misma amplitud. Como en el caso de lectura diferencial, el resonador polarizado con V_{dc} tiene como salida una corriente mocional y una corriente parásita. Pero sin embargo, en este caso, el resonador que está polarizado a tierra no sólo tiene únicamente una componente de corriente parásita, sino que esta componente está en antifase con la componente parásita del primer resonador. Cuando se realiza la suma de corrientes en el nodo de salida se obtiene que las corrientes parásitas se anulan y sólo queda como resultado la corriente mocional del primer resonador, que será transformada en un voltaje V_{out} por el amplificador de transimpedancia de lectura.

Ambas configuraciones tienen las mismas ventajas, sin embargo, en la presente tesis se va a utilizar el sensado diferencial en lugar de la actuación diferencial.

Para el presente diseño, además de realizar la lectura diferencial se busca que la ganancia del amplificador sea regulable. Para lograr este sistema se propone el sistema mostrado en la figura 10.

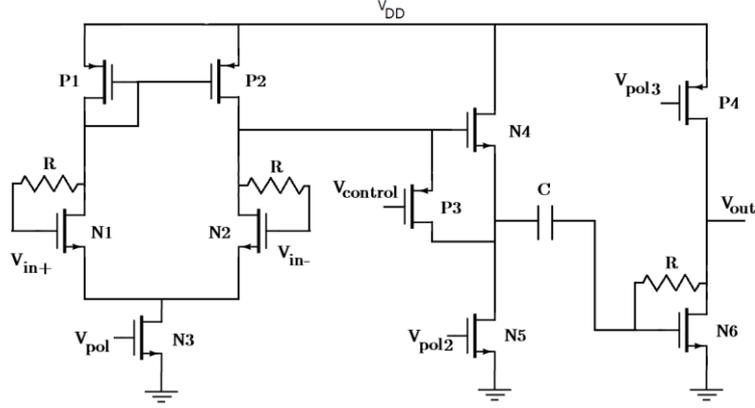


Figura 10. Diseño esquemático del amplificador diferencial de ganancia regulable mediante el voltaje de control $V_{control}$ conectado a la puerta del transistor P3.

El sistema diferencial está dividido en tres etapas, cuyo análisis e implementación se expone en los siguientes subapartados.

3.1 Primera etapa: Par diferencial

La primera etapa se basa en un amplificador diferencial con un espejo de corriente como carga, formado por los transistores N1, N2, N3, P1 y P2. Los dos transistores de entrada están polarizados por la corriente que suministra el transistor N3 y las resistencias R. La ganancia diferencial de esta etapa queda descrita en (12).

$$G = \frac{g_{mN1} + g_{mN2}}{2} R_{out} = \frac{g_{mN1} + g_{mN2}}{2} (r_{dsN2} \parallel r_{dsP2}) \quad (12)$$

Donde R_{out} es la resistencia del nodo de salida, conectado a los drenadores de N2 y P2. Las dimensiones y parámetros de los transistores utilizados son los indicados en la tabla I.

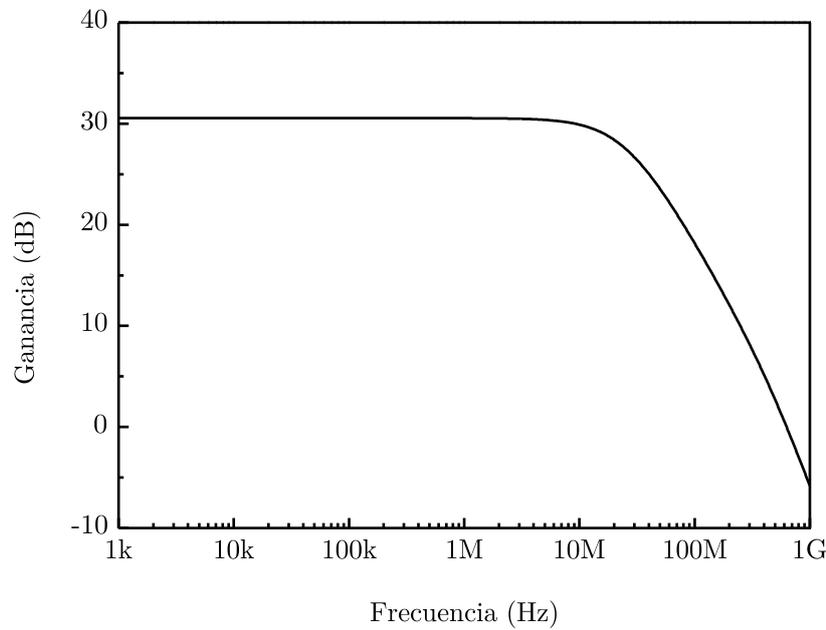
Transistor	W/L (um/um)	I _{ds} (uA)	g _m (uA/V ²)	r _{ds} (Ω)
N1	2/0.5	20	127	560k
N2	2/0.5	20	127	-
N3	16/2	40	279.3	-
P1	2/0.5	20	71.47	-
P2	2/0.5	20	71.47	279k

Tabla I. Parámetros de diseño de los transistores de la primera etapa.

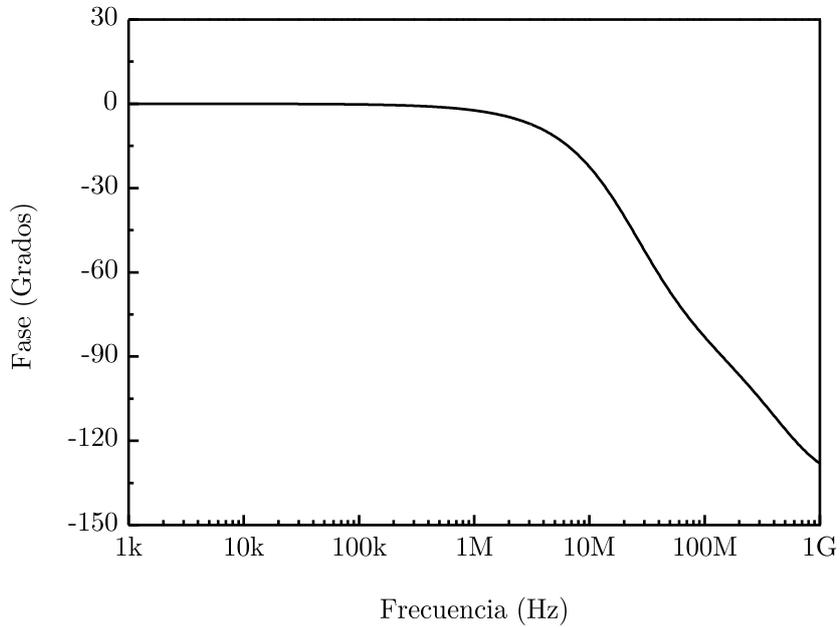
A partir de los parámetros mostrados en la tabla se obtiene la ganancia DC mostrada en (13).

$$G_{Par} = \frac{g_{mN1} + g_{mN2}}{2} (r_{dsN2} \parallel r_{dsP2}) = 35.48 \quad ; \quad G_{Par} = 31dB \quad (13)$$

La simulación del circuito esquemático correspondiente a la respuesta frecuencial en magnitud y fase de esta etapa se muestra en la figura 11.



a)



b)

Figura 11. Valores simulados para a) Ganancia, b) Fase de la primera etapa del amplificador diferencial.

Las capacidades de entrada simuladas, incluyendo la contribución de las resistencias de polarización tienen un valor de 7.98 fF para C_+ y 17.85 fF para C_- . La estimación de ruido equivalente a la entrada del amplificador se da en la ecuación (14).

$$V_{n-in}^2 = \frac{8}{3} k_B T \frac{(g_{mN1} + g_{mN2} + g_{mN3} + g_{mP1} + g_{mP2})}{g_{mN1-N2}} = 4.62 \cdot 10^{-16} V^2 / Hz$$

$$V_{n-in} = 21.5 nV / \sqrt{Hz} \quad (14)$$

El resultado de la simulación se muestra en la figura 12, dando un valor similar de ruido térmico al obtenido en (14).

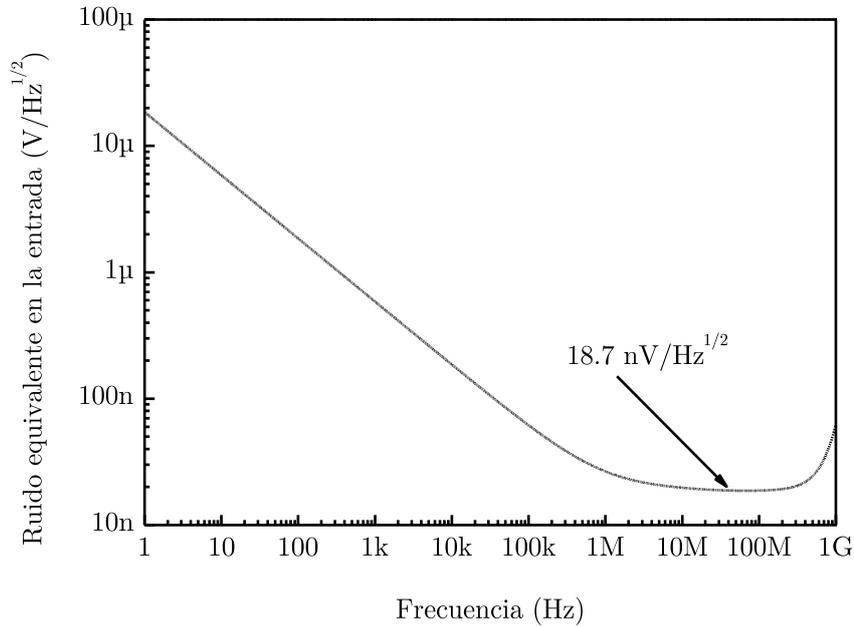


Figura 12. Análisis del ruido equivalente a la entrada del amplificador, usando la configuración utilizada en la figura 4 y 5.

La estimación del ruido mediante la ecuación (14) da un resultado similar al obtenido mediante la simulación. Sin embargo, el ruido Flicker que se puede observar en la figura es muy elevado y domina por debajo del MHz. Esto es consecuencia de las reducidas dimensiones de los transistores utilizados en esta primera etapa.

3.2 Segunda etapa: Control de ganancia

Como se ha explicado en el apartado correspondiente al par diferencial, la ganancia de este es proporcional al producto de las g_m de los transistores de entrada y la resistencia colgada del nodo de salida. Cualquier resistencia que se cuelgue del nodo de salida de la primera etapa quedará sumada en paralelo a estas. Así pues, si se conecta una resistencia R_L inferior al valor de $r_{dsN2} \parallel r_{dsP2}$ la resistencia de salida del par diferencial pasará a ser la resistencia R_L .

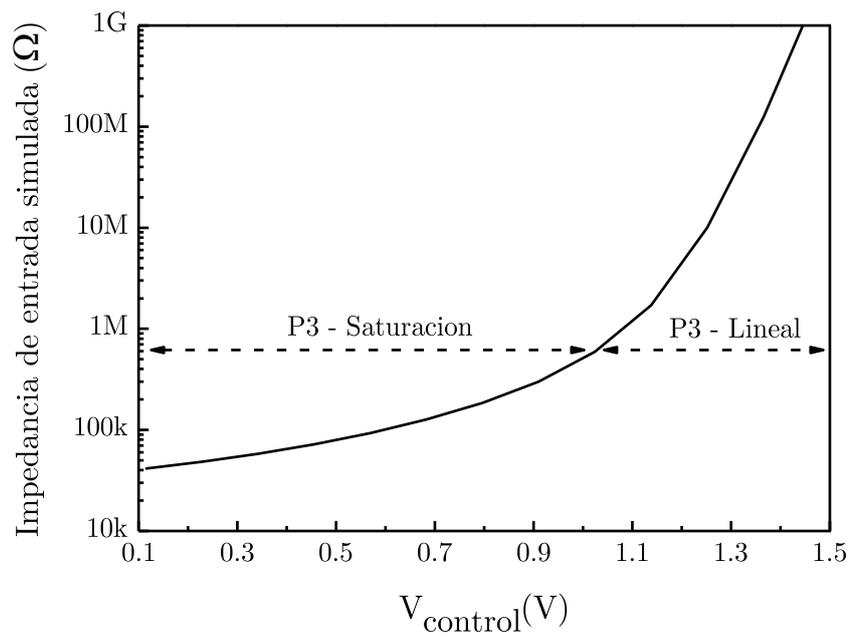
Se ha diseñado una etapa basada en un seguidor de tensión, cuya impedancia de entrada está controlada por un voltaje $V_{control}$, manteniendo la ganancia voltaje-voltaje de la misma. Esta etapa está formada por los transistores N4, N5 y P3. Es una etapa con un transistor N de entrada operando en drenador común. Este sistema está realimentado por un transistor P3, cuyo canal, y por lo tanto su

resistencia de canal, está controlada por el voltaje V_{control} . Las dimensiones y parámetros de los transistores de esta etapa se muestran en la tabla II.

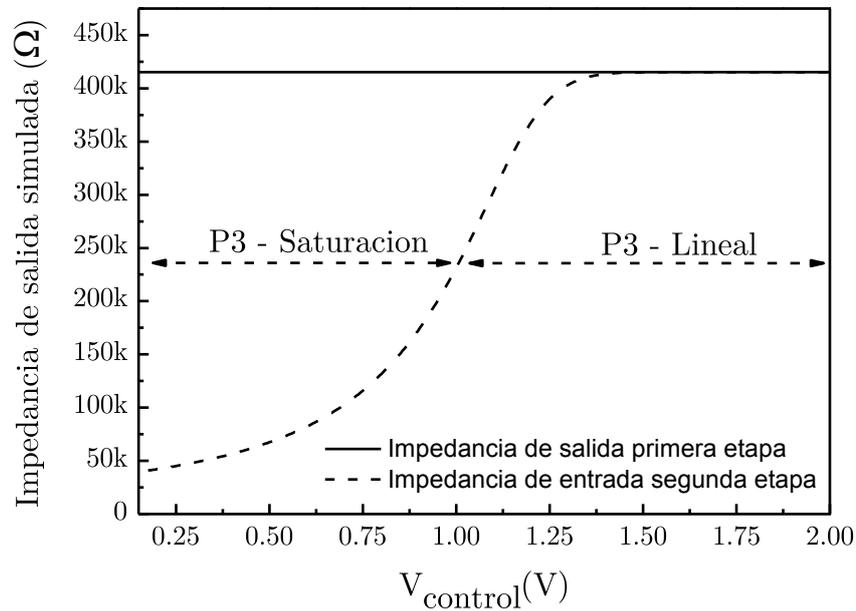
Transistor	W/L (um/um)	I_{ds} (uA)
N4	2/0.5	100
N5	2/0.5	100
P3	2/0.5	-

Tabla II. Parámetros de diseño de los transistores de la segunda etapa.

En la figura 13 se muestra el valor de la impedancia de entrada de la segunda etapa frente al voltaje de control y su efecto sobre la impedancia de salida del par diferencial.



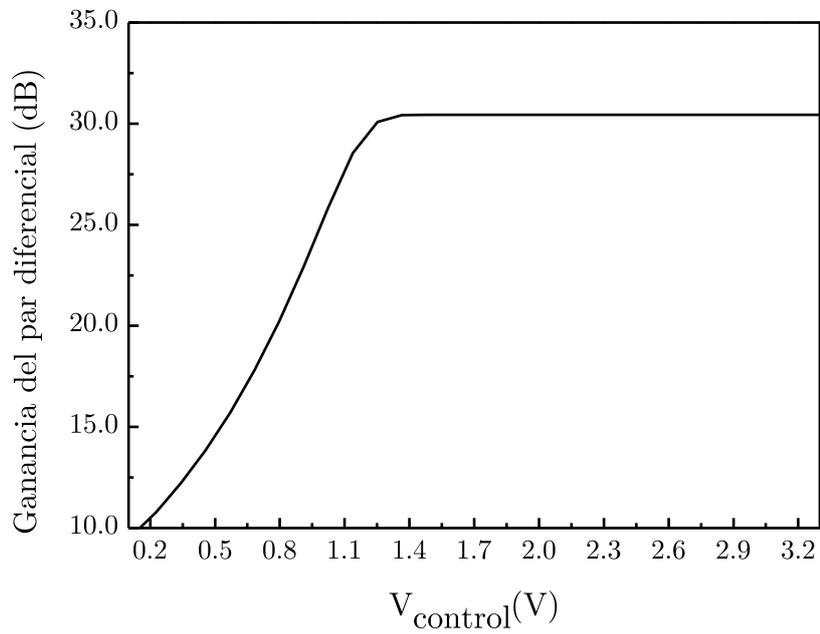
a)



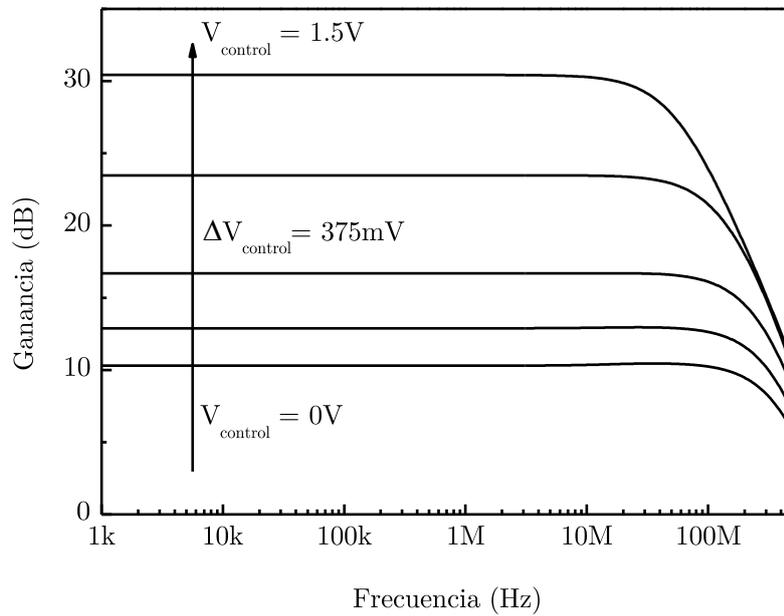
b)

Figura 13. a) Impedancia de entrada frente al voltaje de control de la segunda etapa. Para valores de voltaje superiores a 1V el transistor se encuentra operando en la región lineal y es en este punto donde se tiene un mayor control de la resistencia del canal. Para valores de voltaje inferiores a 1V el transistor se encuentra en saturación, por lo que la variación de la resistencia del canal es menor que en la región lineal. b) Impedancia en el nodo de salida del par diferencial. Para un voltaje de control superior a 1.5V la resistencia del canal pasa a ser mayor que la resistencia de salida, por lo que no afecta a la resistencia de carga de la primera etapa.

Aplicando el valor de la resistencia de carga mostrada en la figura 6 a la ecuación (8) se puede obtener la ganancia del par diferencial respecto al voltaje de control. La ganancia obtenida para los distintos valores del voltaje de control, y respuesta frecuencial simulada se muestran en la figura 14.



a)



b)

Figura 14. a) Ganancia calculada a partir de la ecuación (8). b) Respuesta frecuencial de la ganancia.

Como puede verse en la figura 14 la segunda etapa en combinación con la primera permite controlar la ganancia del amplificador con un rango de 20dB. La ganancia ha sido simulada teniendo únicamente en cuenta las dos primeras etapas, y sin incluir ninguna carga a la salida de la segunda etapa. El ancho de banda de la segunda etapa, al ser una estructura seguidora es mayor que el de la primera etapa, por lo que el polo dominante del amplificador corresponde a la primera etapa.

3.3 Tercera etapa:

Debido a que la ganancia de la combinación de las dos primeras etapas está comprendida entre 10 y 30 dB resulta conveniente añadir una última etapa que dote al sistema de una ganancia extra. La etapa implementada es un amplificador basado en un transistor N operando en fuente común, formado por los transistores N6 y P4. El transistor N6 está polarizado por la corriente generada por P4 y la resistencia de polarización R (Transistor de alta impedancia). La segunda y la tercera etapa están desacopladas mediante una capacidad de 1.5 pF. La ganancia de esta etapa queda determinada por la ecuación (15).

$$\frac{V_{out}}{V_{in}} = -g_{mN6}(r_{dsP4} \parallel r_{dsN6}) \quad (15)$$

Las dimensiones y parámetros de los transistores utilizados son los indicados en la tabla III.

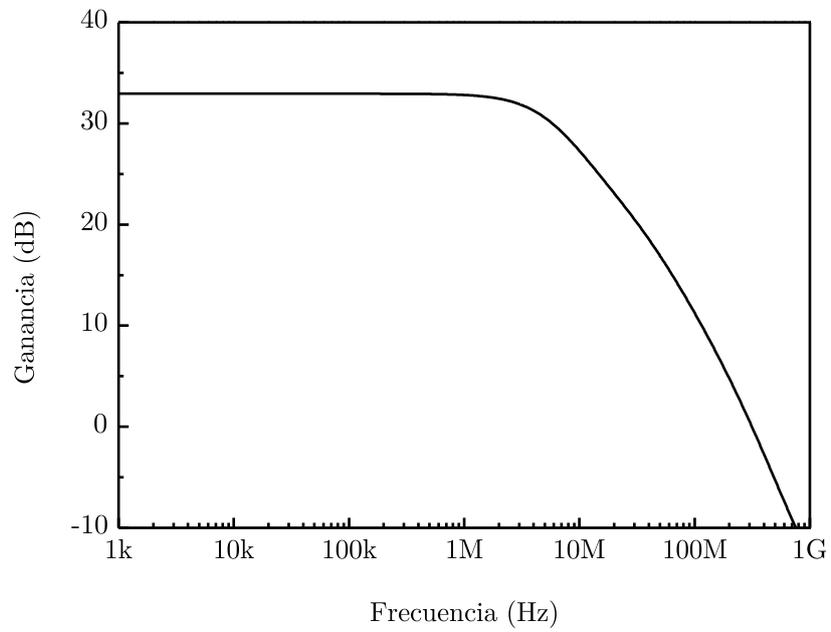
Transistor	W/L (um/um)	I _{ds} (uA)	g _m (uA/V ²)	r _{ds} (Ω)
N6	2/0.5	85	227.9	581k
P4	32/2	85	344.5	291k

Tabla III. Parámetros de diseño de los transistores de la tercera etapa.

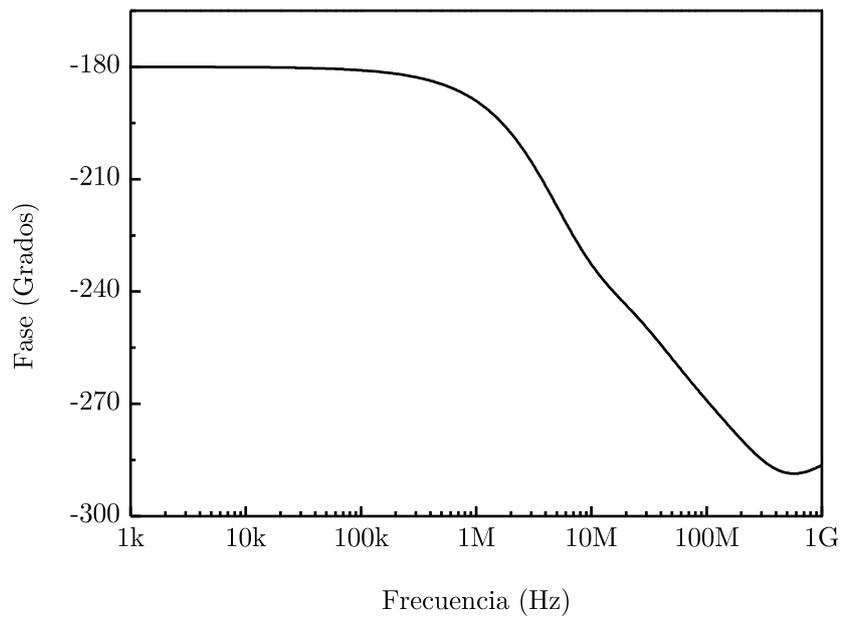
La ganancia calculada a partir de la ecuación (15) toma el valor indicado en (16).

$$\frac{V_{out}}{V_{in}} = -g_{mN6}(r_{dsP4} \parallel r_{dsN6}) = 44.2 = 32.9dB \quad (15)$$

La simulación correspondiente a la ganancia y fase de esta etapa se muestra en la figura 15.



a)



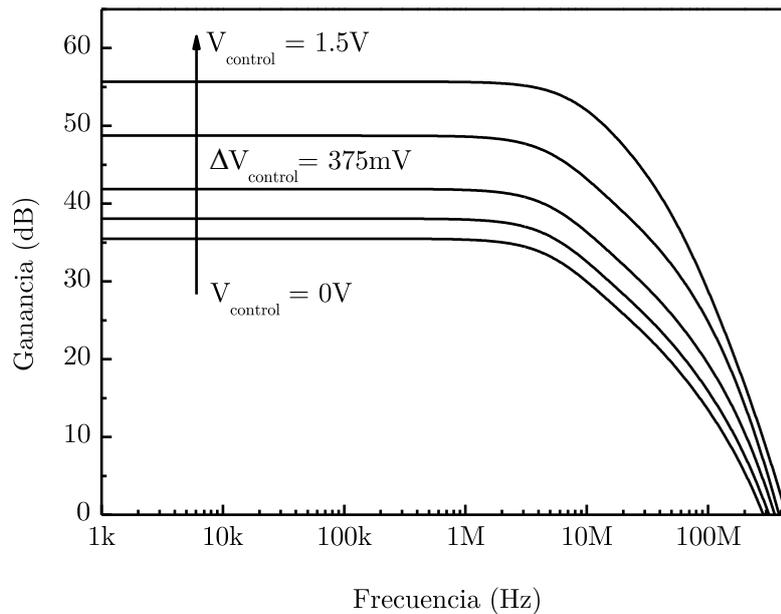
b)

Figura 15. Respuesta frecuencial para a) Ganancia, b) Fase de la segunda etapa del amplificador diferencial.

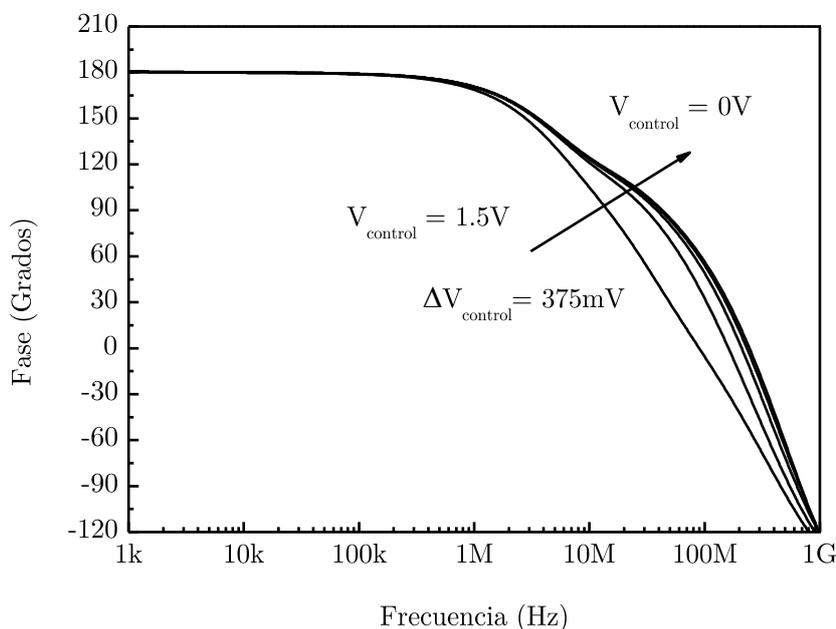
El ancho de banda de la etapa se ha diseñado para estar a 6MHz. La simulación de la etapa se ha realizado excitando al amplificador a través de la capacidad de desacoplo y sin cargar la salida del mismo.

3.4 Amplificador completo

Una vez descritas las tres etapas que componen el amplificador diferencial de ganancia regulable la figura 16 muestra la ganancia total del sistema, así como el ruido a la entrada del mismo.



a)



b)

Figura 16. Valores simulados para a) Ganancia, b) Fase del amplificador diferencial completo.

Se ha incluido en la simulación un buffer de salida adaptado a 50Ω , cargado con una capacidad de 2pF , y una capacidad de desacoplo de 32nF en serie con una resistencia de carga de 50Ω . La simulación tiene en cuenta la capacidades parásitas extraídas del layout del amplificador completo.

4 Amplificador diferencial simétrico

En la estrategia de sensado diferencial se necesita restar la componente parásita del resonador de referencia a la señal de salida del resonador principal. Estas corrientes se restan una vez transformadas en voltaje tras la integración capacitiva. Por lo tanto, es imprescindible que el proceso de sensado de corriente sea simétrico en ambos casos. Como se ha visto en el amplificador anterior, el hecho de que un amplificador diferencial no sea realmente simétrico da lugar a la aparición de una capacidad diferente en cada entrada, teniendo un valor de transimpedancia diferente en cada nodo de sensado. Con el objetivo de alcanzar la máxima simetría posible se propone la estructura diferencial mostrada en la figura 17.

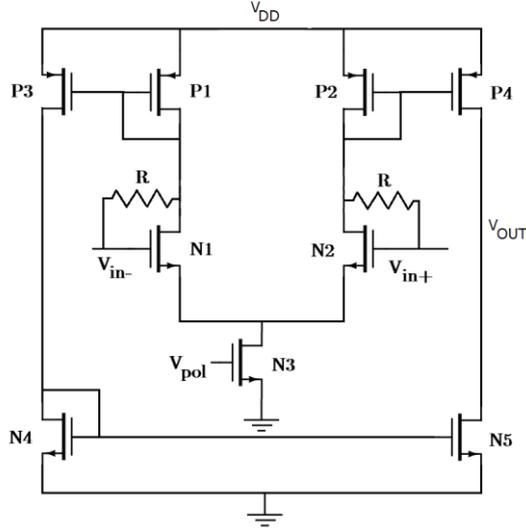


Figura 17. Diseño esquemático del amplificador diferencial simétrico.

El amplificador es un par diferencial formado por N1 y N2, polarizado por una corriente generada por N3 y el voltaje de polarización V_{pol} . Los transistores N1 y N2 están polarizados por dos transistores operando en el régimen subumbral, representados por las resistencias R. El par diferencial tiene como carga dos espejos de corriente P1-P3 y P2-P4, que espejan la corriente de N1 y N2 a las columnas exteriores del amplificador. La corriente espejada por el espejo P1-P3 es a su vez espejada de nuevo por el espejo N4-N5 e inyectada sobre el nodo de salida del espejo P2-P4. Este nodo es el que confluyen las corrientes es el nodo de salida del amplificador V_{out} . La ganancia del sistema amplificador se muestra en la ecuación (17).

$$V_{out} = \left[V_{in+} g_{m2} \left(\frac{W_{P4}}{L_{P4}} \frac{L_{P2}}{W_{P2}} \right) - V_{in-} g_{m1} \left(\frac{W_{P3}}{L_{P3}} \frac{L_{P1}}{W_{P1}} \right) \left(\frac{W_{N5}}{L_{N5}} \frac{L_{N4}}{W_{N4}} \right) \right] (r_{dsP4} \parallel r_{dsN5}) \quad (17)$$

Teniendo en cuenta las equivalencias mostradas en la ecuación (18), la ecuación (17) queda resumida a (19).

$$G_E = \left(\frac{W_{P4}}{L_{P4}} \frac{L_{P2}}{W_{P2}} \right) = \left(\frac{W_{P3}}{L_{P3}} \frac{L_{P1}}{W_{P1}} \right) \left(\frac{W_{N5}}{L_{N5}} \frac{L_{N4}}{W_{N4}} \right) ; \quad g_{m1} = g_{m2} = g_m \quad (18)$$

Donde G_E es la ganancia en corriente de los espejos de corriente.

$$V_{out} = (V_{in+} - V_{in-}) g_m G_E (r_{dsP4} \parallel r_{dsN5}) \quad (19)$$

Debido a la simetría la ganancia Miller a los extremos de las resistencias R es (20).

$$G_{Miller} = -\frac{g_{mN1}}{g_{mP1}} = -\frac{g_{mN2}}{g_{mP2}} \quad (20)$$

En este caso la capacidad equivalente es igual para ambos nodos de entrada, lo que supone un avance respecto al circuito diferencial del apartado anterior.

4.1 Implementación del sistema

A continuación se muestra la tabla IV en la que se incluyen todos los parámetros del diseño del amplificador simétrico implementado en la tecnología AMS 0.35 μ m.

Transistor	W/L (μ m/ μ m)	I _{ds} (μ A)	g _m (μ A/V ²)	r _{ds} (Ω)
N1	5/0.5	20	206.4	-
N2	5/0.5	20	206.4	-
N3	10/2	40	338.1	-
P1	10/0.2	20	91.35	-
P2	10/0.2	20	91.35	-
P3	50/2	100	447.6	-
P4	50/2	100	472.6	215k
N4	10/2	40	338.1	-
N5	10/2	100	340.1	122k

Tabla IV. Parámetros de los transistores utilizados en el amplificador simétrico.

Sustituyendo los valores en la ecuación (19) y (20) se llega a (21).

$$\frac{V_{out}}{V_{in+} - V_{in-}} = g_m G_E (r_{dsP4} \parallel r_{dsN5}) = 42dB \quad ; \quad G_{Miller} = -2.26 \quad (21)$$

En este caso, las capacidades simuladas, incluyendo el efecto de las resistencias de polarización tienen un valor de 19.13 fF para C₊ y C₋, logrando en este caso la simetría en la transimpedancia en ambos nodos de entrada.

El ruido equivalente a la entrada del amplificador puede obtenerse a partir del ruido de entrada de la etapa amplificadora, ya que la contribución de ruido de la etapa polarizadora quedará dividida por la ganancia de la etapa amplificadora y será despreciable. La expresión para obtener el ruido térmico equivalente a la entrada del amplificador se muestra en (22).

$$V_n^2 = \frac{8}{3} k_B T \frac{(g_{mN1} + g_{mN2} + g_{mN3} + g_{mP1} + g_{mP2}) + \frac{(g_{mP3} + g_{mP5})}{G_E^2}}{g_{mN1-N2}^2} \quad (22)$$

$$V_n^2 = 2.5 \cdot 10^{-16} \text{V}^2 / \text{Hz} \quad ; \quad V_n = 15.85 \text{nV} / \sqrt{\text{Hz}}$$

Los nodos de entrada del amplificador están autopolarizados mediante las resistencias R (Transistores de alta impedancia). Sin embargo, el nodo de salida del amplificador está conectado a los drenadores de los transistores P4 y N5. Esto hace que el punto de operación sea sensible a variaciones en la corriente de polarización I_{dsP4} e I_{dsN5} , debido a que este es un nodo de alta impedancia. Por lo tanto, es necesario diseñar un sistema que fije el punto de operación en la salida de este amplificador antes de realizar la simulación del sistema.

4.2 Polarización del amplificador

La etapa propuesta para polarizar el nodo de salida del amplificador se muestra en la figura 18.

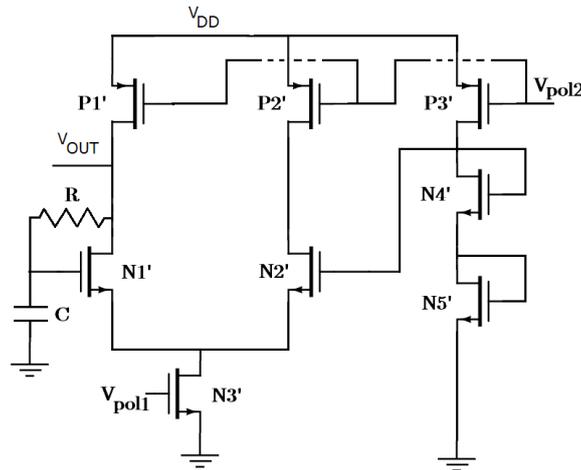


Figura 18. Diseño esquemático del circuito de polarización del nodo de salida del amplificador diferencial simétrico.

El funcionamiento del circuito mostrado en la figura 18 es el siguiente: El voltaje V_{pol1} fija la corriente que circula por N3', y V_{pol2} la corriente que circula por la columna P2'-N2' y la columna P3'-N'5. En la columna de la derecha hay dos transistores trabajando en configuración de diodos (N4' y N5'). La corriente que circula por ellos fija V_{gs} , por lo que el voltaje en el drenador de N4' queda descrito por la ecuación (23).

$$V_{dN4'} = V_{gsN5'} + V_{gsN4'} = \left(\frac{2I_{dsN5'}}{\mu_N C_{ox} \left(\frac{W}{L} \right)_{N5'}} \right)^2 + \left(\frac{2I_{dsN4'}}{\mu_N C_{ox} \left(\frac{W}{L} \right)_{N4'}} \right)^2 + 2V_{Th} \quad (23)$$

Este voltaje fija la tensión de puerta de N2'. A partir de la corriente que circula por N2' se puede obtener el voltaje en la fuente de N2' (24).

$$V_{sN2'} = V_{dN4'} - \left(\frac{2I_{dsN2'}}{\mu_N C_{ox} \left(\frac{W}{L} \right)_{N2'}} \right)^2 \quad (24)$$

A partir de este voltaje y el valor de $V_{gsN1'}$ se puede obtener el valor de V_{out} , ya que este está conectado a $V_{gsN1'}$ a través de la resistencia R (25).

$$V_{\text{out}} = V_{gsN1'} = V_{dN1'} = V_{sN2'} + \left(\frac{2I_{dsN1'}}{\mu_N C_{ox} \left(\frac{W}{L} \right)_{N1'}} \right)^2 = V_{dN4'} \quad (25)$$

Por lo tanto el voltaje V_{out} va a tener el valor de $V_{dN4'}$ siempre y cuando P1', P2', N1' y N2' sean simétricos dos a dos.

A continuación se muestra la tabla V en la que se incluyen todos los parámetros del diseño del amplificador simétrico implementado en la tecnología AMS 0.35 μm .

Transistor	W/L (um/um)	I _{ds} (uA)	V _{gs} (V)
N1'	10/1	40	950 m
N2'	10/1	40	950 m
P1'	40/2	40	-

P2'	40/2	40	-
P3'	50/2	50	-
N3'	20/2	80	-
N4'	20/1	50	815 m
N5'	20/1	50	815 m

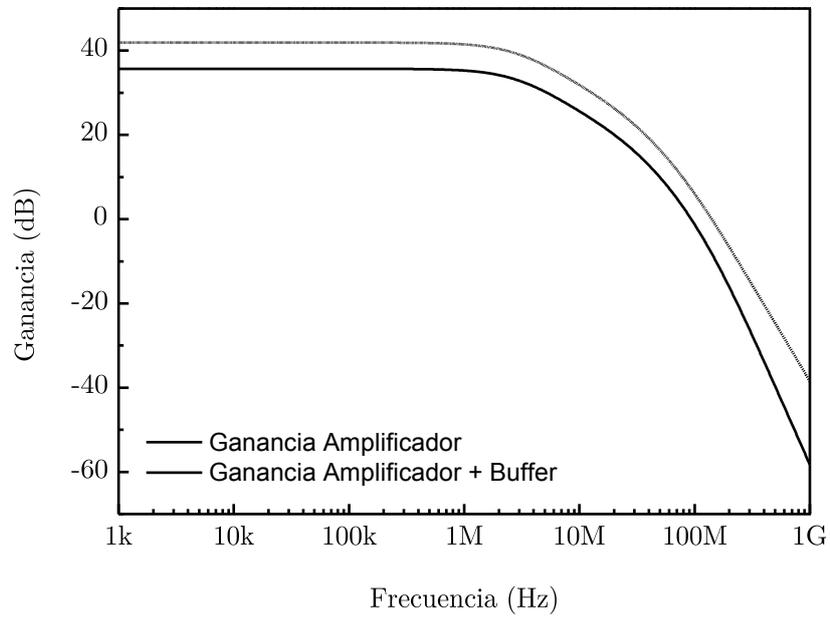
Tabla V. Parámetros de los transistores de la etapa polarizadora.

Por lo tanto, el voltaje fijado en V_{out} a partir de la ecuación (13) es igual a 1.63V, un valor próximo a $V_{dd}/2$, que asegura la simetría de la señal de salida de la etapa amplificadora.

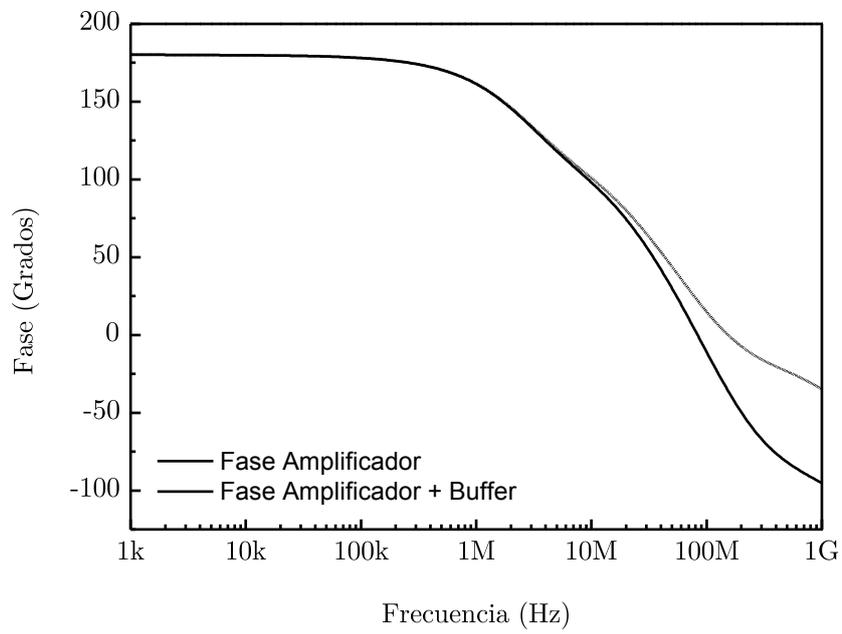
4.3 Simulación

Tras el diseño del layout del sistema (consumo de área de 0.030 mm²) se ha realizado la simulación del circuito, incluyendo un buffer de salida a partir del archivo extracted, que incluye todas las capacidades y resistencias parásitas del layout.

El sistema se ha excitado a través de dos capacidades de desacoplo DC mediante dos fuentes de tensión antisimétricas (o en antifase). El buffer de salida se ha cargado con una capacidad de carga C_L de 2pF, y una capacidad de desacoplo de 32nF, en serie con una resistencia de carga de 50Ω. La ganancia y fase del amplificador, tanto para el amplificador como para el sistemas amplificador más buffer se muestran en la figura 19.



a)



b)

Figura 19. Valores simulados para a) ganancia, b) fase del buffer.

El ruido equivalente a la entrada del amplificador simulado para el sistema completo se muestra en la figura 20.

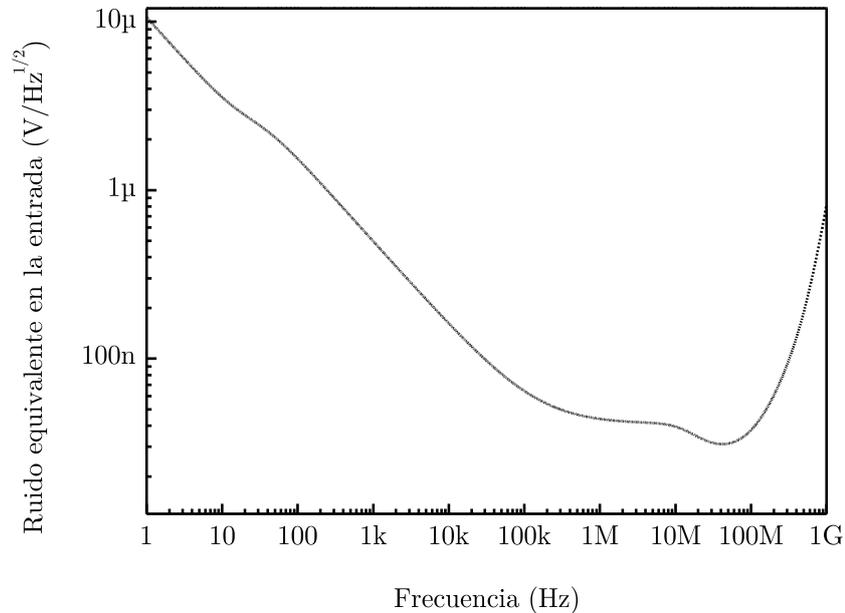


Figura 20. Análisis del ruido equivalente a la entrada del amplificador, usando la configuración utilizada en la figura 4 y 5.

El ruido Flicker se prolonga hasta alcanzar al ruido térmico a los 100kHz. El valor de ruido térmico corresponde a $40 \text{ nV}/\sqrt{\text{Hz}}$. El ruido es más elevado que el estimado en la ecuación (22), aunque mantiene su orden de magnitud.

5 Amplificador Push-Pull

La última solución propuesta para dotar al sistema de un alto ancho de banda, ganancia, y baja capacidad de entrada es utilizar un amplificador en el que se minimice el número de transistores. La configuración seleccionada es un amplificador push-pull construido a partir de un inversor CMOS autopolarizado por una resistencia R (Transistor de alta impedancia) como se muestra en la figura 21.

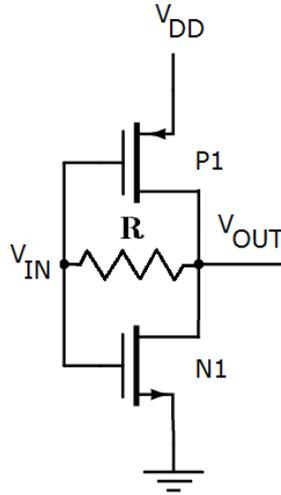


Figura 21. Diseño esquemático del amplificador inversor autopolarizado por una resistencia R.

El punto de operación del amplificador queda fijado por la resistencia R, y se muestra en la ecuación (26).

$$V_{inDC} = V_{outDC} = \frac{V_{dd} - |V_{thP}| + V_{thN} \sqrt{\frac{\beta_N}{\beta_P}}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (26)$$

Y en el caso en el que se diseñe el sistema bajo la condición $\beta_N = \beta_P$ y $|V_{thP}| = V_{thN}$, el voltaje DC de polarización tanto a la entrada como a la salida del sistema tendrá un valor de $V_{dd}/2$, permitiendo un punto de operación que asegura que tanto N1 como P1 operen en la región de saturación (en régimen de pequeña señal), y una señal de salida del amplificador simétrica respecto a $V_{dd}/2$.

La ganancia del sistema queda determinada por la ecuación (27).

$$\frac{V_{out}}{V_{in}} = -(g_{mN} + g_{mP})(r_{dsN} \parallel r_{dsP}) \quad (27)$$

5.1 Implementación del sistema

A continuación se muestra la tabla VI en la que se incluyen todos los parámetros del diseño del amplificador simétrico implementado en la tecnología AMS 0.35 μm .

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	I_{ds} (μA)	g_{m} ($\mu\text{A}/\text{V}^2$)	r_{ds} (Ω)
N1	1/0.5	5	42.4	-
P1	2.5/0.5	5	41.6	-

Tensión de alimentación 1.65V.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	I_{ds} (μA)	g_{m} ($\mu\text{A}/\text{V}^2$)	r_{ds} (Ω)
N1	1/0.5	90	148.2	-
P1	2.5/0.5	90	143.4	-

Tensión de alimentación 3.30V.

Tabla VI. Parámetros de los transistores del microamplificador para las tensiones de polarización V_{DD} 3.3 y 1.65 V.

El ruido equivalente a la entrada del amplificador basado en un inversor CMOS se muestra en la ecuación (28).

$$V_{\text{inTérmico-CMOS}}^2 = \frac{8}{3} k_B T \frac{g_{mN1} + g_{mP1}}{(g_{mN1} + g_{mN2})^2} \quad (28)$$

$$V_{\text{inTérmico-CMOS3.3V}}^2 = 3.79 \cdot 10^{-17} \text{V}^2 / \text{Hz} = (6.15 \text{nV} / \sqrt{\text{Hz}})^2$$

$$V_{\text{inTérmico-CMOS1.65V}}^2 = 1.31 \cdot 10^{-16} \text{V}^2 / \text{Hz} = (11.46 \text{nV} / \sqrt{\text{Hz}})^2$$

Se ha realizado la simulación del sistema y para ello se ha incluido en la simulación un buffer de salida adaptado a 50 Ω , cargado con una capacidad de 2fF, y una capacidad de desacoplo de 32nF en serie con una resistencia de carga de 50 Ω . La simulación tiene en cuenta la capacidades parásitas extraídas del layout del amplificador completo.

A continuación se muestra la simulación de la etapa amplificadora (ver figura 22).

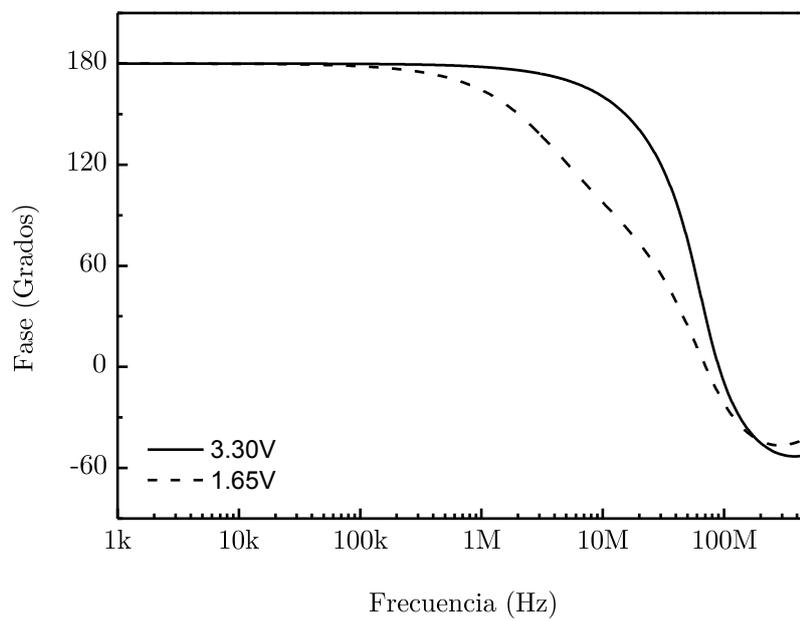
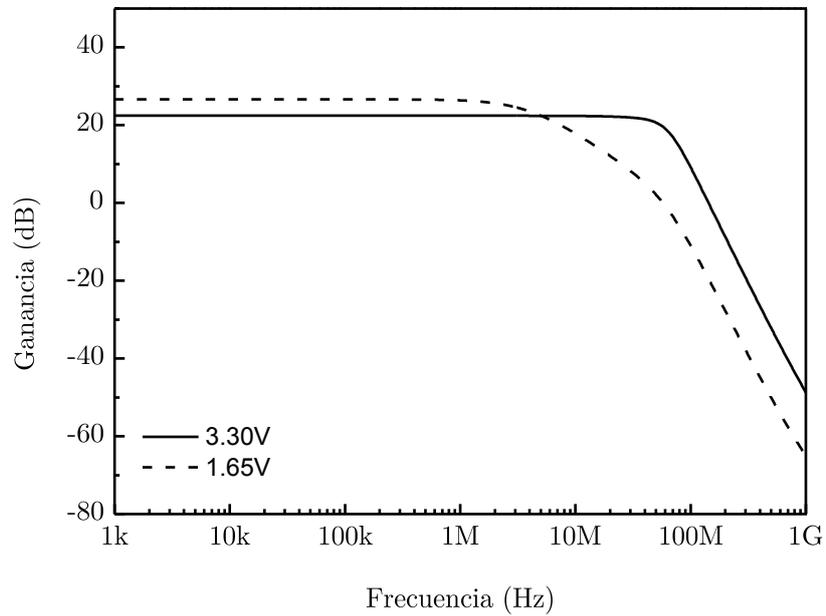


Figura 22. Respuesta a) Magnitud-Frecuencia b) Fase-Frecuencia para el sistema amplificador incluyendo el buffer de 50Ω . La línea continua representa el valor obtenido para una tensión de alimentación de 3.3V, mientras que la línea discontinua corresponde a una tensión de alimentación de 1.65V.

Las simulaciones de ganancia se corresponden con las calculadas a partir de (27). El ancho de banda para ambos voltajes Vdd de alimentación son muy distintos. En el primer caso (3.3V) el ancho de banda es del orden de 100MHz, mientras que en el caso de una tensión de alimentación de 1.65V se tiene un ancho de banda de 3.75MHz. La simulación de ruido se muestra en la figura 23.

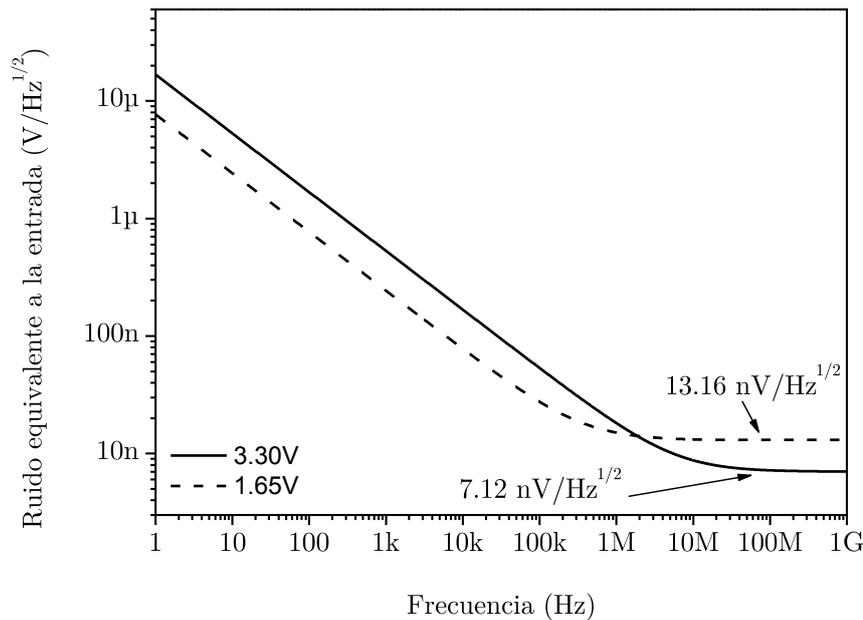


Figura 23. Análisis del ruido equivalente a la entrada del amplificador, usando la configuración utilizada en la figura.

En este caso la simulación de ruido tiene un valor de ruido térmico como se predice en la ecuación (28). Sin embargo, el ruido Flicker sigue siendo dominante en el sistema, teniendo frecuencias de corte de 1MHz en el caso de Vdd 1.65V hasta 10MHz en el caso de Vdd 3.3V.

6 Amplificador basado en un sistema seguidor

Al igual que se hizo con el amplificador diferencial de ganancia regulable, en este caso se ha seleccionado un par diferencial como primera etapa del sistema amplificador. En particular, el objetivo es reducir la ganancia Miller en la entrada del amplificador, reduciendo la capacidad equivalente a la entrada del mismo. Para ello se ha utilizado el par diferencial en configuración de seguidor de tensión. Esto da lugar a una primera etapa de baja capacidad de entrada, ganancia voltaje-

voltaje unidad y amplio ancho de banda. Esta misma etapa incluye un buffer en su salida, preparado para poder conectar mediante un desacoplo capacitivo la primera etapa amplificadora a una segunda etapa. Esta segunda etapa, al igual que la tercera etapa utilizada en el amplificador diferencial de ganancia regulable dotará al sistema de una ganancia extra. El esquema del circuito completo se muestra en la figura 24.

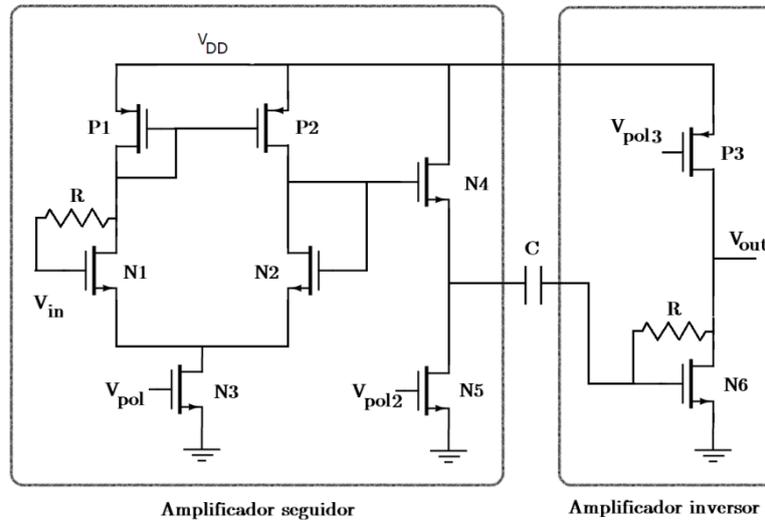


Figura 24. Diseño esquemático del sistema amplificador compuesto por un amplificador seguidor seguido mediante un desacoplado capacitivo a un amplificador inversor.

El amplificador inversor es un par diferencial con un espejo de corriente como carga, polarizado por la corriente generada en el transistor N3. El nodo de salida del mismo se ha conectado a la entrada negativa del mismo, en configuración de amplificador seguidor. A la hora de diseñar el sistema es importante minimizar tanto las capacidades del transistor N1 como la ganancia de puerta a drenador en el transistor N1. Este par diferencial está seguido de una etapa seguidora con un transistor N de entrada en configuración de drenador común. Como carga tiene una fuente de corriente generada por N5.

A continuación, la primera etapa está conectada a una segunda etapa a través de una capacidad de desacoplo. La segunda etapa es un amplificador inversor, con un transistor de entrada N en configuración de fuente común con una fuente de corriente P3 como carga. Esta etapa ha sido diseñada para tener un ancho de banda de 20MHz, para dotar al sistema de una contribución de fase cercana a los 90° en las cercanías de los 24MHz.

Como el resto de sistemas, este ha sido conectado a un buffer de salida adaptado a los 50Ω estándar de la instrumentación del laboratorio con el fin de permitir la caracterización del sistema.

La ganancia del sistema, correspondiente a la ganancia de la segunda etapa queda descrita por la ecuación (29).

$$\frac{V_{out}}{V_{in}} = -g_{mN6}(r_{dsN6} \parallel r_{dsP3}) \quad (29)$$

Normalmente la contribución principal de ruido equivalente a la entrada del amplificador es la primera etapa, ya que la contribución de la segunda etapa queda dividida por la ganancia de la primera etapa. En este caso, al ser la ganancia de la primera etapa igual a la unidad el ruido de la segunda etapa tiene la misma importancia que el ruido de la primera. En la ecuación (30) se muestra el ruido equivalente a la entrada del resonador generado por cada una de las etapas del sistema.

$$V_{in-EtapaI}^2 = \frac{8}{3}k_B T \left[\frac{g_{mN1} + g_{mN2} + g_{mN3} + g_{mP1} + g_{mP2}}{g_{mN1}^2} + \frac{g_{mN4} + g_{mN5}}{g_{mN4}^2} \right] + \frac{g_{mN3}^2 B1_n^2}{g_{mN1}^2} + \frac{g_{mN5}^2 B2_n^2}{g_{mN4}^2} \quad (30)$$

$$V_{in-EtapaII}^2 = \frac{8}{3}k_B T \frac{g_{mN6} + g_{mP4}}{g_{mN6}^2} + \frac{g_{mN3}^2 B3_n^2}{g_{mN6}^2}$$

Donde $B1_n$, $B2_n$, y $B3_n$ representan el ruido en voltaje de las fuentes de polarización utilizadas en los distintos V_{Pol} .

6.1 Implementación del sistema

A continuación se muestra la tabla VII en la que se incluyen todos los parámetros del diseño del amplificador simétrico implementado en la tecnología SilTerra $0.18\mu\text{m}$.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)	I_{ds} (μA)	g_m ($\mu\text{A}/\text{V}^2$)	r_{ds} (Ω)
N1	4/1	10.6	119.7	-

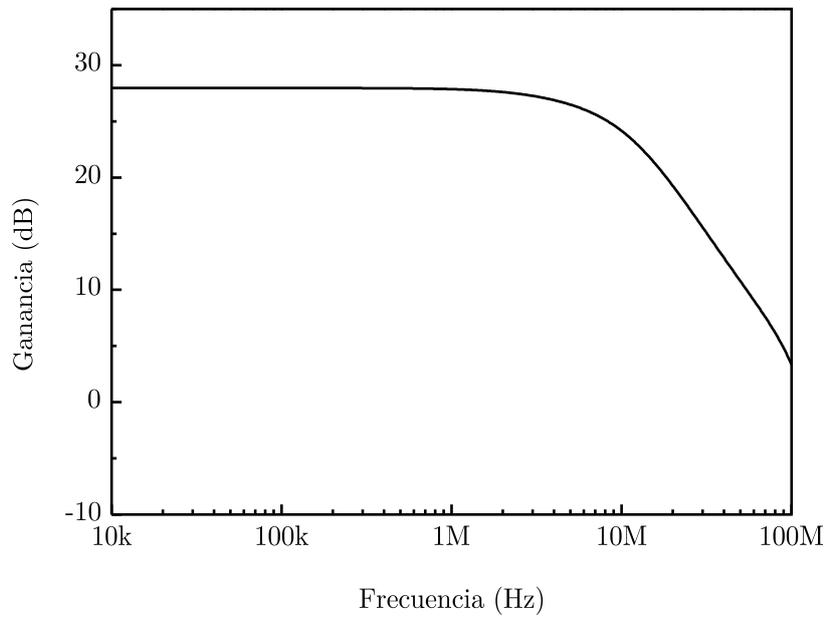
N2	4/1	10.6	119.7	-
P1	16/1	10.6	108.3	-
P2	16/1	10.6	108.3	-
N3 (Bot)	6/1	21.2	108.8	-
N3' (Top)	6/1	21.2	212.0	-
N4	10/1	80	576.7	-
N5	100/2	80	1111.4	-
P3	80/2.5	281	861.9	40.7k
N6	40/4	281	1139	54.1k

Tabla VII. Parámetros de los transistores utilizados en el amplificador seguidor.

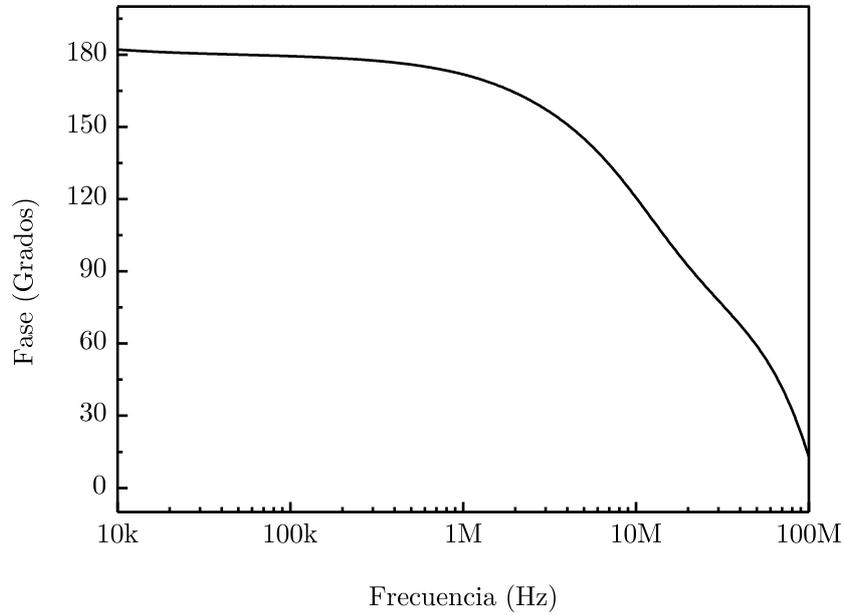
Siendo el valor de ganancia calculado a partir de la tabla igual a (31).

$$\frac{V_{out}}{V_{in}} = -g_{mN6}(r_{dsN6} \parallel r_{dsP3}) = 23.22 \quad ; \quad \frac{V_{out}}{V_{in}} = 27.31dB \quad (31)$$

La ganancia simulada se muestra en la figura 25.



a)



b)

Figura 25. Respuesta a) Magnitud-Frecuencia b) Fase-Frecuencia para el sistema amplificador más el buffer de salida. La línea continua representa el valor obtenido para una tensión de alimentación de 3.3V, mientras que la línea discontinua corresponde a una tensión de alimentación de 1.65V.

El valor teórico del ruido térmico calculado a partir de la tabla VII se muestra en (32) .

$$\begin{aligned}
 V_{in-EtapaI}^2 &= 1.35 \cdot 10^{-15} V^2 / Hz & ; & & V_{in-EtapaI} &= 36.8 nV / Hz^{1/2} \\
 V_{in-EtapaII}^2 &= 8.28 \cdot 10^{-15} V^2 / Hz & ; & & V_{in-EtapaII} &= 9.1 nV / Hz^{1/2}
 \end{aligned} \tag{32}$$

El ruido térmico simulado a la entrada del amplificador da un valor total de 65nV/ \sqrt{Hz} , del orden de magnitud del calculado en (32). El codo de ruido Flicker de esta etapa está a 10kHz.

7 Buffer inversor

La configuración que se propone para adaptar la salida del amplificador a 50Ω es el amplificador push-pull con carga de diodos mostrado en la figura 26.

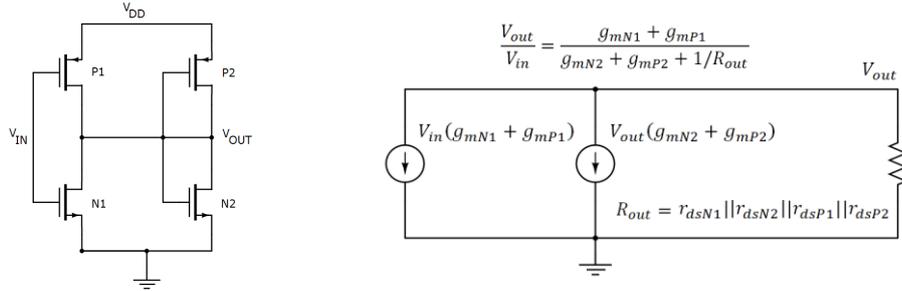


Figura 26. a) Buffer en configuración inversora con carga de diodos. b) Modelo de pequeña señal para el nuevo buffer.

El sistema se diseña de tal manera que P1 y P2 por una parte, y M1 y M2 por otra comparten la misma relación de aspecto $\left(\frac{W}{L}\right)_P$ y $\left(\frac{W}{L}\right)_N$. Bajo un análisis DC de la estructura, considerando un voltaje DC a la entrada igual a $V_{dd}/2$ se puede determinar que la tensión DC a la salida del sistema está fijada en $V_{dd}/2$ cuando se cumple la condición marcada en la ecuación (33).

$$\left(\frac{W}{L}\right)_N \left(\frac{L}{W}\right)_P = \frac{\mu_P}{\mu_N} \quad (33)$$

La figura 27 muestra el resultado de hacer un barrido DC en la entrada del sistema.

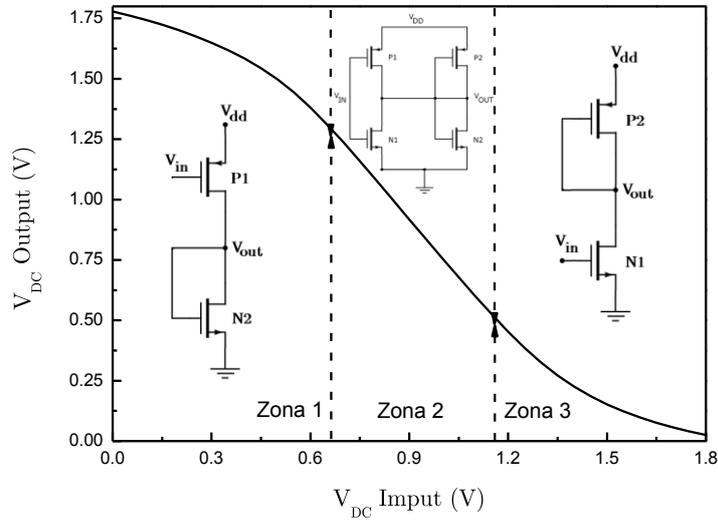


Figura 27. a) Buffer en configuración inversora con carga de diodos.

La figura 27 se ha dividido en tres zonas, a la cada cual se le ha asignado un circuito equivalente. En la tabla VIII se muestran los puntos frontera de cada zona.

Considerando los voltajes umbrales de los transistores de un valor similar se puede realizar la aproximación de que los transistores N1 y P2 en el caso de V_{in} pequeño, y los transistores N2 y P1 en el caso de V_{in} grande entrarán en corte simultáneamente. Cuando el sistema trabaja en la zona 2 este está operando con todos sus transistores en saturación, por lo que la descripción dada en la figura 2 es correcta. Sin embargo, cuando este está en la zona 1 o 3 el circuito de la figura 2 debe sustituirse por el correspondiente indicado en la figura 3. Este nuevo circuito, de configuración de amplificador en fuente común (operando en el régimen lineal) y diodo como carga genera el efecto no lineal de las regiones 1 y 3 de la figura 3, produciendo una saturación suavizada como la mostrada en la figura 28.

Transistor	Zona 1	Zona 2	Zona 3
N1	Corte $V_{gs} < V_{th}$	Saturación $V_{ds} \geq V_{gs} - V_{th}$	Lineal $V_{ds} < V_{gs} - V_{th}$
N2	Saturación $V_{gs} > V_{th}$	Saturación $V_{ds} \geq V_{gs} - V_{th}$	Corte $V_{gs} < V_{th}$
P1	Lineal $V_{sd} < V_{sg} - V_{th} $	Saturación $V_{sd} \geq V_{sg} - V_{th} $	Corte $V_{sg} < V_{th} $

P2	Corte $V_{sg} < V_{th} $	Saturación $V_{sd} \geq V_{sg} - V_{th} $	Saturación $V_{sg} > V_{th} $
----	------------------------------	---	-----------------------------------

Tabla VIII. Estado de operación de los transistores del buffer para las distintas zonas de operación.

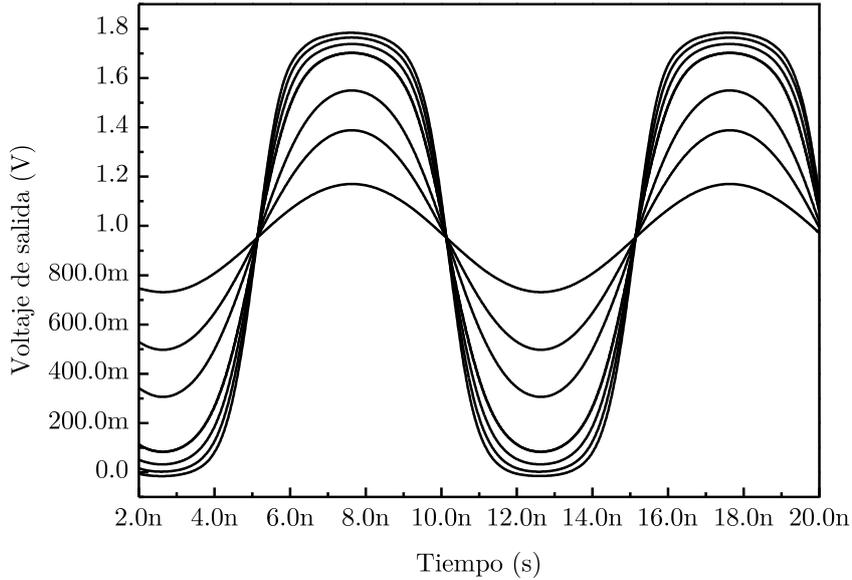


Figura 28. a) Simulación (Análisis transitorio) del buffer inversor para distintas amplitudes de excitación y una frecuencia de 1 GHz.

Como puede verse en la figura 28, la estructura presentada consigue el objetivo de afectar igualmente en ambos semiperíodos de la señal, manteniendo la simetría.

7.1 Implementación del sistema

El buffer inversor ha sido implementado en la tecnología SiTerra 0.18 μ m. A continuación, en la tabla IX se muestra el dimensionado de los transistores, así como los parámetros más relevantes de los mismos.

Transistor	W/L (μ m/ μ m)	g_m (μ S)	I_{dc} (μ A)
N1	2/0.18	842.54	210
N2	2/0.18	900.79	265

P1	5/0.18	928.89	210
P2	5/0.18	859.84	265

Tabla IX. Parámetros de los transistores.

Aplicando estos parámetros a la ganancia y ancho de banda del sistema se obtienen los resultados mostrados en la tabla X.

Parámetro	Valor
Ganancia $-\frac{g_{mP1} + g_{mN1}}{g_{mP2} + g_{mN2}}$	-1.006
$R_{out} \frac{1}{g_{mP2} + g_{mN2}}$	567.9 Ω
Ancho de banda ($C_L=1pF$) $\frac{1}{2\pi C_L R_{out}}$	280MHz

Tabla X. Parámetros característicos de la etapa diseñada.

Debido a que se quiere adaptar la impedancia de salida a 50Ω se recurre a conectar en cascada copias del diseño del buffer como se muestra en la figura 29.

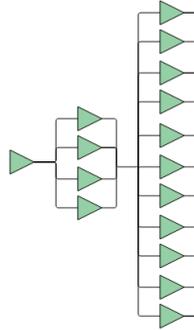
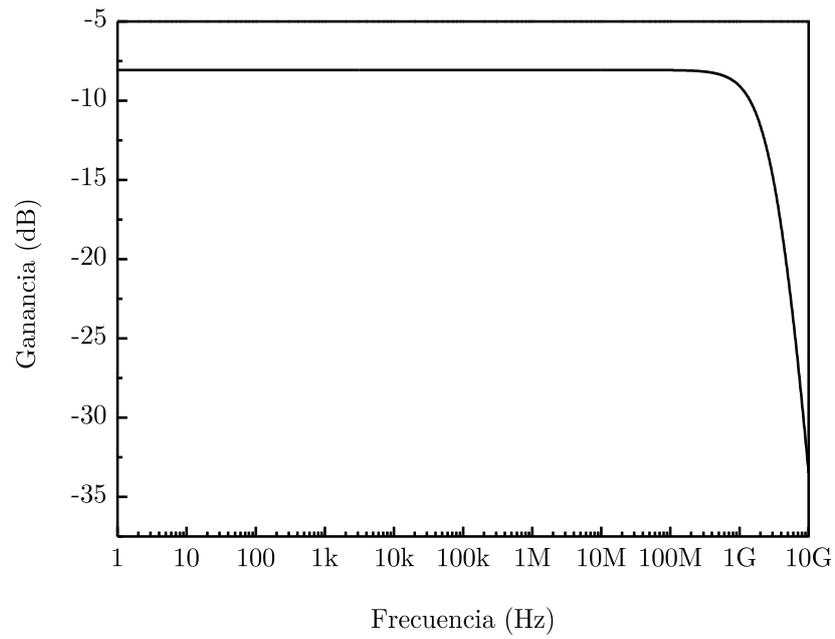


Figura 29. a) Configuración en cascada del diseño de buffer inversor presentado. Con este diseño se consigue una baja capacidad de entrada en el buffer, mientras que la impedancia de salida queda reducida en un factor 11, siendo su valor 52.6Ω ($567.9/11$).

Tras el diseño del layout del sistema (consumo de área de 0.00325 mm^2) se ha realizado la simulación del buffer a partir del archivo extracted, que incluye todas las capacidades y resistencias parásitas del layout. Este sistema ha sido polarizado

con una componente DC en el voltaje V_{in} de valor $V_{dd}/2$, y se ha cargado con una capacidad de carga C_L de 2pF, y una capacidad de desacoplo de 32nF, en serie con una resistencia de carga de 50Ω . El consumo total de potencia del buffer es de 13.5mW (7.51 mA, 1.8V) El resultado de la simulación se muestra en la figura 30.



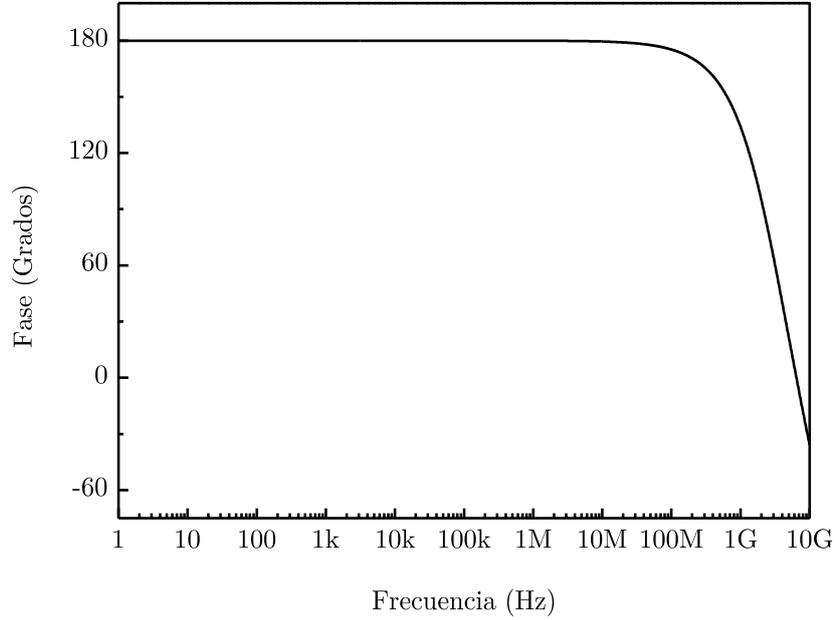


Figura 30. Valores simulados para a) ganancia, b) fase del buffer.

Se ha realizado un análisis de ruido del buffer. El análisis teórico del ruido térmico, resumido en la ecuación (34), muestra el ruido térmico estimado de la estructura.

$$V_{outT\acute{e}rmico-CMOS}^2 \approx V_{inT\acute{e}rmico-CMOS}^2 = \frac{8}{3} k_B T \frac{g_{mN1} + g_{mN2} + g_{mP1} + g_{mP2}}{(g_{mN1} + g_{mN2})^2} \quad (34)$$

$$V_{outT\acute{e}rmico-CMOS}^2 \approx V_{inT\acute{e}rmico-CMOS}^2 = 12.4 \cdot 10^{-17} V^2 / Hz = (3.52 nV / \sqrt{Hz})^2$$

La figura 31 representa la simulación del ruido sobre el archivo extracted del layout, donde se puede apreciar la predominancia del ruido Flicker sobre el ruido térmico hasta los 100MHz. Esto se debe a las reducidas dimensiones de los transistores utilizados.

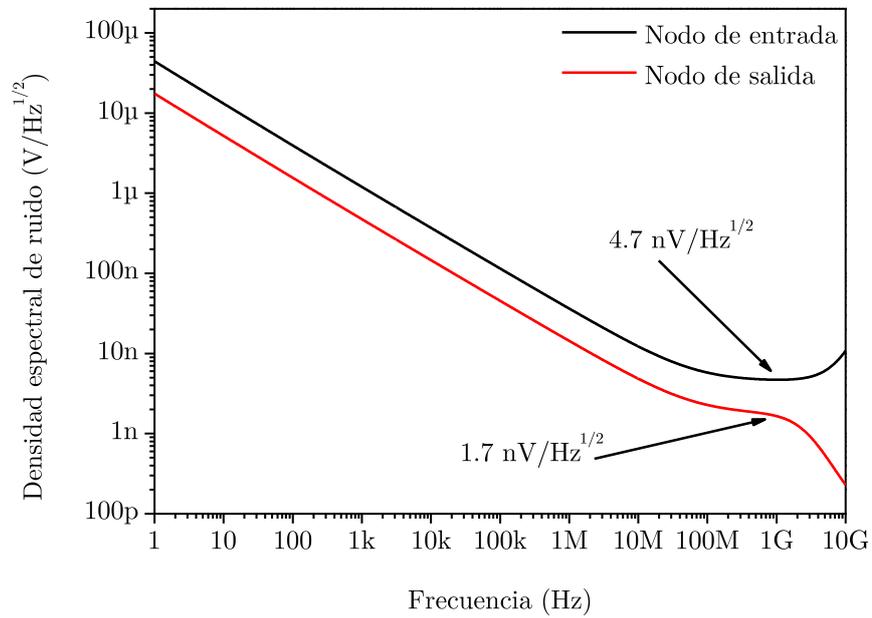
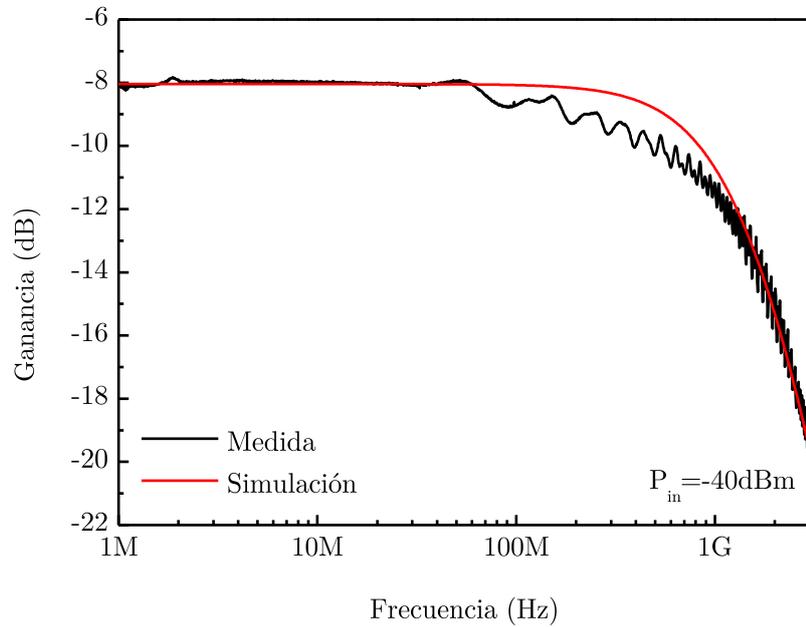


Figura 31. Análisis del ruido de entrada y salida del buffer..

El sistema ha sido fabricado y caracterizado. Los resultados de la medida comparados con la simulación se muestran en la figura 34.



a)

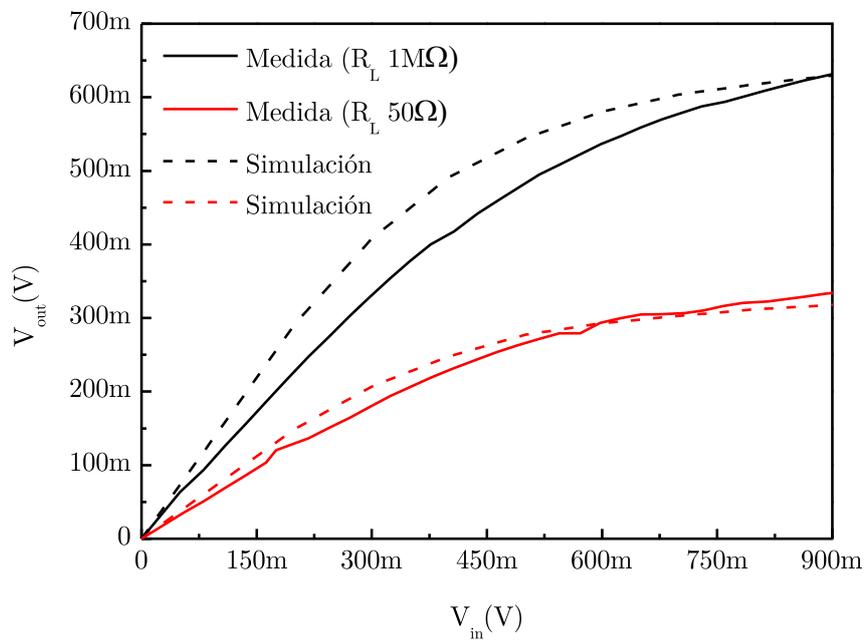


Figura 32. Comparación de la simulación del buffer y la medida experimental para: a) Comportamiento frecuencial. b) Comportamiento transitorio (amplitud de salida vs amplitud de excitación).

Se ha diseñado un sistema que cumple los siguientes requisitos: Ancho de banda superior a 1GHz con una capacidad de carga inferior a 2pF. Pérdidas cercanas a -6dB para una carga de 50Ω. Saturación simétrica de la señal de salida. Y baja capacidad de entrada.

Este buffer permite trabajar con resonadores y osciladores tanto del rango de frecuencias desde la frecuencia corta de radio ($\approx 3\text{MHz}$), pasando por la alta frecuencia ($\approx 30\text{MHz}$) hasta la ultra alta frecuencia ($\approx 300\text{MHz}$). Por lo que proporciona una solución general para todos los resonadores utilizados en la presente tesis.

8 Conclusión

Se han diseñado distintos sistemas dedicados al sensado de corrientes. Estos sistemas van a ser integrados en la tecnología CMOS junto a resonadores MEMS. En el próximo capítulo se podrá ver su funcionamiento al interactuar con los resonadores. Resulta conveniente tras el análisis de todas las estructuras realizar una comparación entre las propiedades de los mismos, tales como el consumo de potencia, transimpedancia máxima a una frecuencia dada, capacidad de entrada o ruido de entrada equivalente. Esta tabla XI se muestra a continuación.

Amplificador	Ganancia V-V	Capacidad de entrada	Ruido equivalente de entrada (Voltaje)	Consumo de potencia
Ganancia Regulable	35-55 dB	7.98 fF (+)	18.7 nV/ $\sqrt{\text{Hz}}$	205uA / 3.3V
		17.85 fF (-)	$f_c=1\text{MHz}$	667 uW
Simétrico	42 dB	19.13 fF (+)	40 nV/ $\sqrt{\text{Hz}}$	370 uA / 3.3V
		19.13 fF (-)	$f_c=100\text{kHz}$	1.211 mW
Push-Pull	33 dB	17.9 fF	13.15 nV/ $\sqrt{\text{Hz}}$	5 uA / 1.65V
	(1.65V)	(1.65V)	$f_c=500\text{kHz}$	8.25 uW
	31 dB	16.6 fF	7.12 nV/ $\sqrt{\text{Hz}}$	90 uA / 3.30V
	(3.3V)	(3.30V)	$f_c=5\text{MHz}$	297 uW
Sistema Seguidor	28 dB	13 fF	65 nV/ $\sqrt{\text{Hz}}$	382 uA / 1.8V
			$f_c=10\text{kHz}$	687.6 uW

Tabla XI. Comparación de los parámetros de los amplificadores.

9 Referencias

- [1] Roessig, T.A.; Howe, R.T.; Pisano, A.P. & Smith, J.H. Surface-micromachined 1MHz oscillator with low-noise Pierce configuration. Albuquerque, New Mexico. UNT Digital Library.
- [2] Mauricio Pardo et al. "An Empirical Phase-Noise Model for MEMS Oscillators Operating in Nonlinear Regime" IEEE Transactions on Circuits and Systems I: Regular Papers. Vol 59 Issue: 5 pp 979-988. 2012.
- [3] Thura Lin Naing et al. "A 78-microwatt GSM phase noise-compliant pierce oscillator referenced to a 61-MHz wine-glass disk resonator" European Frequency and Time Forum & International Frequency Control Symposium. 21-25 July 2013.
- [4] Chengjie Zuo et al. "1.5-GHz CMOS voltage-controlled oscillator based on thickness-field-excited piezoelectric AlN contour-mode MEMS resonators" Custom Integrated Circuits Conference. 19-22 Sept. 2010.
- [5] Ming-Huang Li et al. "A 1.57mW 99dB Ω CMOS transimpedance amplifier for VHF micromechanical reference oscillators" IEEE International Symposium on Circuits and Systems (ISCAS). 20-23 May 2012.
- [6] Krishnakumar Sundaresan et al. "A Low Phase Noise 100MHz Silicon BAW Reference Oscillator". IEEE Custom Integrated Circuits Conference 2006. 10-13 Sept. 2006
- [7] Hossein Miri Lavasani et al. "A 500MHz Low Phase-Noise AlN-on-Silicon Reference Oscillator" IEEE Custom Integrated Circuits Conference 2007. 16-19 Sept. 2007
- [8] Yu-Wei Lin et al. "60-MHz wine-glass micromechanical-disk reference oscillator" Solid-State Circuits Conference. 15-19 Feb. 2004
- [9] Tung-Tsun Chen et al. "A 17.6-MHz 2.5V ultra-low polarization voltage MEMS oscillator using an innovative high gain-bandwidth fully differential transimpedance voltage amplifier" IEEE 26th International Conference on Micro Electro Mechanical Systems (MEMS). 20-24 Jan 2013.
- [10] Li-Jen Hou et al. "High-stiffness-driven micromechanical resonator oscillator with enhanced phase noise performance" IEEE 25th International Conference on Micro Electro Mechanical Systems (MEMS). 29 Jan- 2 Feb. 2012
- [11] Chang-Shun Liu et al. "Temperature Compensated MEMS Oscillator using Structural Resistance Based Temperature Sensing" IEEE Sensors. 1-4 Nov. 2015
- [12] T. Delbruck et al. "Self biased low power adaptive photoreceptor", in Proc. Of the International Symposium on Circuits and Systems (ISCAS), pp. IV.844-847, 2004.
- [13] J. L. Lopez et al. "A CMOS-MEMS RF-Tunable Bandpass Filter Based on Two High- Q 22-MHz Polysilicon Clamped-Clamped Beam Resonators" IEEE Electron Device Letters. Volume: 30, Issue: 7, July 2009.

- [14] J. Verd et al. "High-sensitive capacitive sensing interfacing circuit for monolithic CMOS M/NEMS resonators" *Electronics Letters*. Vol 43, Issue 23, 2007.
- [15] M.-H. Li, C.-Y. Chen, C.-Y. Liu, and S.-S. Li, "A sub-150 μ W BEOL-embedded CMOS-MEMS oscillator with a 138dB Ω ultra-low-noise TIA," *IEEE Electron Device Letters (EDL)*. 2016
- [16] J. Verd et al. "A 3V CMOS-MEMS oscillator in 0.35 μ m CMOS technology" *Transducers & Eurosensors XXVII: The 17th International Conference Solid-State Sensors, Actuators and Microsystems*. 2013
- [17] A. Uranga, et al., "Electrically Enhanced Readout System for a High-Frequency CMOS-MEMS Resonator", *ETRI Journ.*, vol. 31, no. 4, pp. 478-480, Aug. 2009.
- [18] Hossein Miri Lavasani et al. "A 76 dB Ω 1.7 GHz 0.18 μ m CMOS Tunable TIA Using Broadband Current Pre-Amplifier for High Frequency Lateral MEMS Oscillators" *IEEE Journal of Solid-State Circuits*. Vol 46, Issue 1. Jan 2011.
- [19] Joshua E.-Y. et al., "Parasitic Feedthrough Cancellation Techniques for Enhanced Electrical Characterization of Electrostatic Microresonators", *Sens. Actuators A, Phys.*, vol. 156, no. 1, pp. 36-42, Nov. 2009.
- [20] J. Arcamone, et al., "Efficient Capacitive Transduction of High-Frequency Micromechanical Resonators by Intrinsic Cancellation of Parasitic Feedthrough Capacitances" *Appl. Phys. Lett.*, vol. 97, no. 4, p. 043505, Mar 2010.*

V.I CMOS MEMS: AMS

1 Introducción

Desde hace años la tecnología CMOS AMS $0.35\mu\text{m}$ ha sido utilizada por parte del grupo de investigación ECAS de la UAB como una plataforma en la que desarrollar sistemas CMOS-MEMS. El primer objetivo de este capítulo es mostrar cómo se consiguió reenfocar esta tecnología CMOS hacia su uso en los CMOS-MEMS así como la descripción del funcionamiento como herramienta tecnológica para implementar dispositivos MEMS. En este primer apartado se hará hincapié en revisar el estado del arte del grupo, dando ejemplos de resonadores MEMS fabricados en distintos materiales del BEOL y FEOL tales como el polisilicio, el aluminio o el tungsteno.

Al inicio de la presente tesis se había utilizado por primera el tungsteno como material estructural de resonadores MEMS en la tecnología AMS $0.35\mu\text{m}$ [1]. Esto dio lugar a una investigación enfocada en la búsqueda de dispositivos resonantes que mostrasen propiedades superiores a los implementados sobre polisilicio y aluminio. Es por esto que el grueso de este capítulo está dedicado a mostrar y analizar los distintos diseños implementados utilizando el tungsteno como material estructural. Estos diseños van desde resonadores tipo viga como palancas y puentes hasta resonadores torsionales tipo balancín. El objetivo de estos diseños ha sido el reducir la resistencia mecánica del resonador utilizando como táctica principal el incremento en el área de acople entre la estructura resonante y la viga.

Tras la exposición de los resonadores implementados se realiza a modo de conclusión una comparación de estos con el estado del arte del grupo de investigación ECAS.

Finalmente se indicará una línea futura de desarrollo para los resonadores MEMS implementados en esta tecnología, proponiendo nuevas configuraciones de estructuras resonantes y configuraciones de electrodos, así como la posibilidad de explotar nuevos materiales no usados hasta la fecha.

2 Tecnología AMS 0.35 μ m

La tecnología AMS 0.35 μ m ofrece una familia de procesos CMOS que tienen en común un núcleo denominado C35. Este núcleo incluye un sustrato p, un nivel de polisilicio con un nodo de 0.35 μ m, cuatro niveles de metal, con sus correspondientes vías de interconexión, y una tensión de alimentación de 3.3V. Además de estos, también hay módulos opcionales obtenidos a partir de modificaciones en este módulo C35. Estos módulos son:

Capacidad de polisilicio: Una capa adicional de polisilicio situada sobre la capa de polisilicio mencionada anteriormente. Entre ambas capas de polisilicio hay una fina capa de material dieléctrico, dando lugar a un módulo PIP (polisilicio-aislante-polisilicio). Este módulo está destinado a la implementación de capacidades.

5-Volt: Posibilidad de modificar el polisilicio de las puertas de los transistores para poder trabajar a 5 voltios de tensión de alimentación en lugar de a 3.3.

Módulo de polisilicio de alta resistencia: Se trata de una capa de polisilicio de bajo dopaje y alta resistencia, diseñado para integrar elementos resistivos.

Capa de metal grueso: Este módulo incluye un último nivel de metal más grueso y de menor resistividad, para realizar la interconexión entre distintos módulos del sistema y la implementación de inductores.

Módulo MIM: Este módulo sirve para implementar capacidades, pero en este caso del tipo metal-aislante-metal (similar al módulo PIP).

El perfil vertical de esta tecnología se muestra en la figura 1, al mismo tiempo que las dimensiones y parámetros mecánicos de cada capa se muestran en la tabla I.

Parámetro	P1	P2	Metal	VIA	M4
Material	Polisilicio	Polisilicio	TiN-Al-TiN	W	TiN-Al
Grosor (nm)	282	200	665	335	925
Mínima distancia (nm)	450	500	450	450	600
Densidad (kg/m ³)	2330	2330	3000	19300	3000
Módulo de Young (GPa)	160	160	131	410	131

Tabla I. Parámetros de las distintas capas de la tecnología AMS 0.35 μ m. Los parámetros del polisilicio se han obtenido del artículo [2].

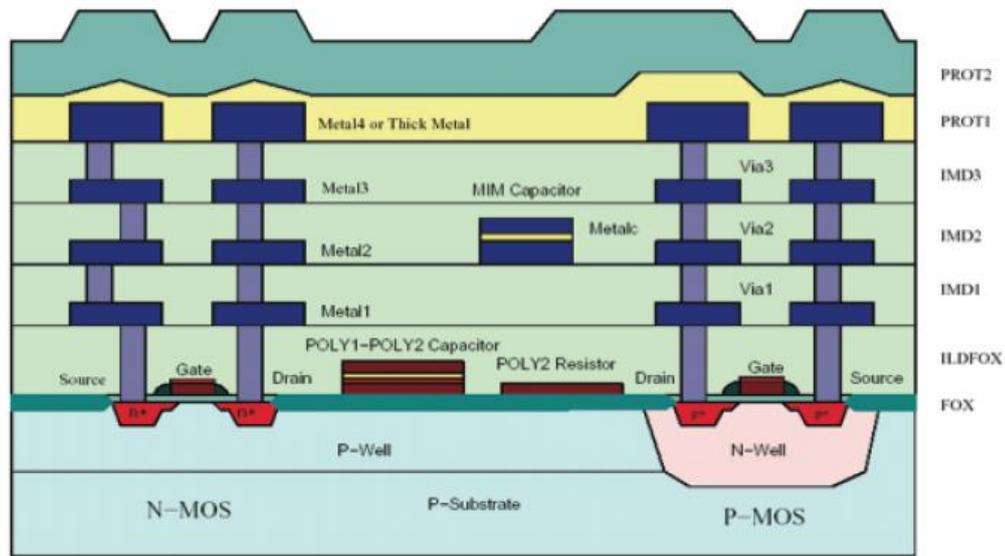


Figura 1. Perfil del proceso C35B4C3 de la tecnología AMS0.35µm.

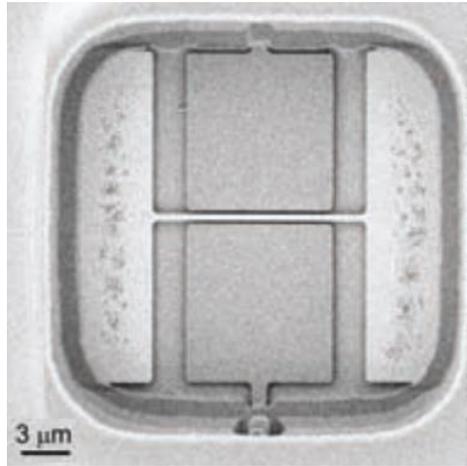
La tecnología AMS0.35µm ha sido seleccionada debido a varias razones. Primero, esta tecnología se incluye en el programa EUROPRACTICE IC para el diseño de ASIC y fabricación mediante proyectos multi-oblea (Multi Project Wafer). Y segundo, debido a la experiencia previa del grupo de investigación ECAS (Electronic Circuit and Systems).

2.1 Estado del arte: CMOS-MEMS integrado en AMS 0.35µm

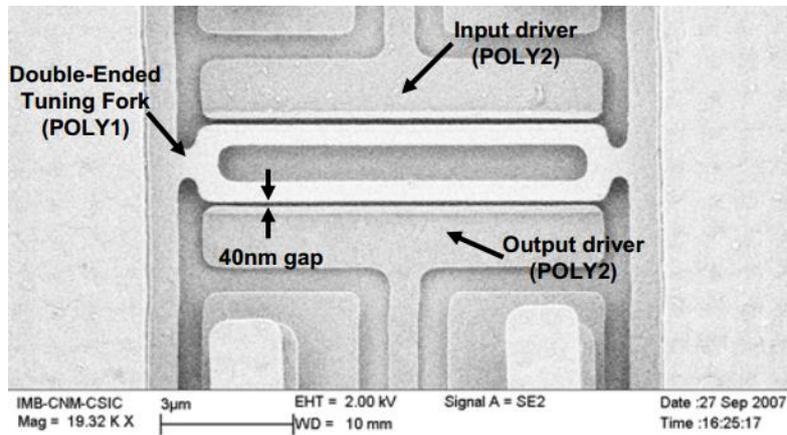
A pesar de que la tecnología AMS 0.35µm es una tecnología puramente CMOS el grupo de investigación ECAS de la UAB la ha utilizado como tecnología en la que implementar sistemas intra-CMOS MEMS. Así pues, los sistemas MEMS se han definido utilizando las capas de la tecnología CMOS, y se han liberado tras finalizar el proceso de fabricación CMOS. A continuación se muestran algunos de los trabajos del grupo de investigación ECAS ordenados por la capa CMOS que se utiliza como material estructural del dispositivo MEMS.

2.1.1 Resonadores de polisilicio

La forma de trabajar con polisilicio como material estructural para el resonador MEMS dentro de la tecnología AMS 0.35µm es utilizar el módulo capacitivo PIP. Este módulo está formado por dos capas de polisilicio. La primera denominada Polisilicio 1 es la capa inferior, tiene un grosor de 282 nm. La segunda capa Polisilicio 2 está situada 41nm por encima de la capa Polisilicio 1, y separada de esta por una capa de óxido de silicio.



a)



b)

Figura 2. Imagen SEM de los dispositivos MEMS diseñados en el módulo PIP: a) Puente diseñado en la capa de Polisilicio 1 y electrodos en la capa de Polisilicio 2. El puente tiene una longitud de $13\ \mu\text{m}$ y un ancho de 350nm . El gap entre electrodos y estructura es aproximadamente 150nm . b) Estructura tuning-fork diseñada en la capa de Polisilicio 1 y electrodos en la capa de Polisilicio 2. El gap logrado en este diseño es de 40nm .

Como primera opción se diseñaron resonadores que utilizaban únicamente la capa de Polisilicio 1 para definir tanto la estructura resonante como los electrodos de excitación y lectura. Las reglas de diseño de esta capa limitaban su ancho a 350nm y el gap a 450nm . Sin embargo, después se descubrió que combinando ambos materiales Polisilicio 1 y Polisilicio 2, uno para definir la estructura y otro para definir los electrodos, se podía reducir el gap entre la estructura y los electrodos a un valor de $40\ \text{nm}$, que corresponde al grosor del óxido de la

capacidad de polisilicio. En la figura 2.a se muestra un puente diseñado utilizando este proceso obteniendo un gap de 150nm, una frecuencia de resonancia de 22MHz y factor de calidad en vacío de 4400 [3], y en la figura 2.b una estructura tipo tuning-fork en la que se obtiene un gap mínimo de 40nm, una frecuencia de resonancia superior a 40MHz y un factor de calidad en vacío de 1500 [4]. Siendo los valores de densidad y módulo de Young 2330 kg/m³ y 150 GPa respectivamente [2].

2.1.2 Resonadores de Metal

Otra tendencia dentro del grupo se basa en utilizar el nivel superior de metal como material estructural de los resonadores. Esta capa de metal no está formada únicamente por aluminio, sino que es una doble capa compuesta de nitruro de titanio (TiN) y aluminio (Al), siendo el grosor de la capa inferior (TiN) 100nm y el de la capa superior (Al) 750nm. Para obtener las propiedades mecánicas de esta doble capa se utilizó una estimación basada en el promediado mostrado en [5]. Así pues se concluyó que las propiedades de la capa eran una densidad de 3000 kg/m³ y un módulo de Young de 131 GPa.

En la figura 3 se muestra una palanca con una frecuencia de resonancia de 6 MHz y un factor de calidad en vacío de 1000 [6] y un puente con una frecuencia de resonancia de 12 MHz y un factor de calidad en vacío de 1000 [7] diseñados en este nivel de metal.

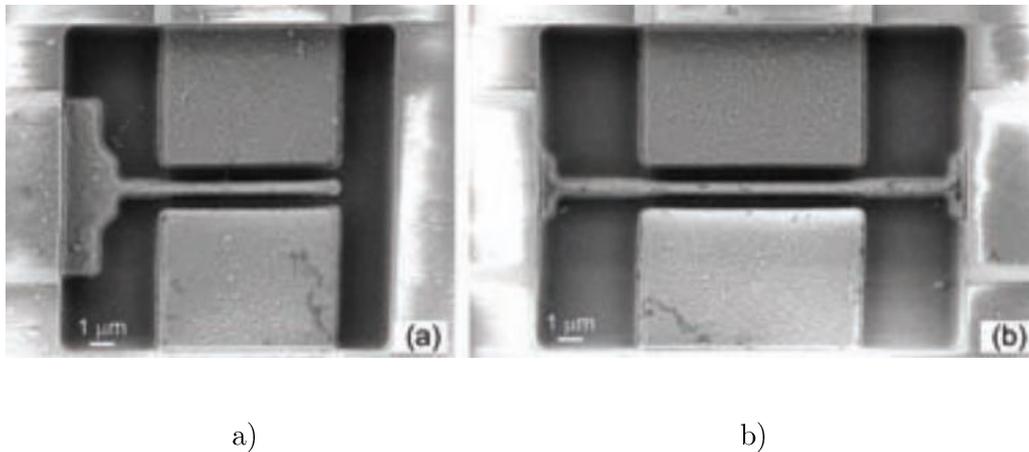


Figura 3. Imagen SEM de los dispositivos MEMS diseñados en el nivel de metal Top: a) Palanca de 10μm de longitud y 600nm de ancho. b) Puente de 18μm de longitud y 600nm de ancho. El gap entre la estructura y los electrodos en ambos casos es de 600nm.

2.1.3 Dispositivos de tungsteno

Los niveles de VIA desde VIA1 a VIA3 tienen el papel de interconectar niveles de metal entre sí. Estas VIA son de tungsteno (W), y en su proceso de deposición, para proteger las paredes del agujero de SiO_2 en el que se deposita se hace una deposición de 20nm de TiN. Esto hace que en las paredes laterales de la capa de tungsteno haya una fina capa de TiN.

La capa de VIA fue utilizada por primera vez en el grupo para el diseño de interruptores MEMS [1]. La figura 4 muestra la imagen del interruptor MEMS presentado en dicho artículo, cuya palanca está definida exclusivamente en la capa de VIA.

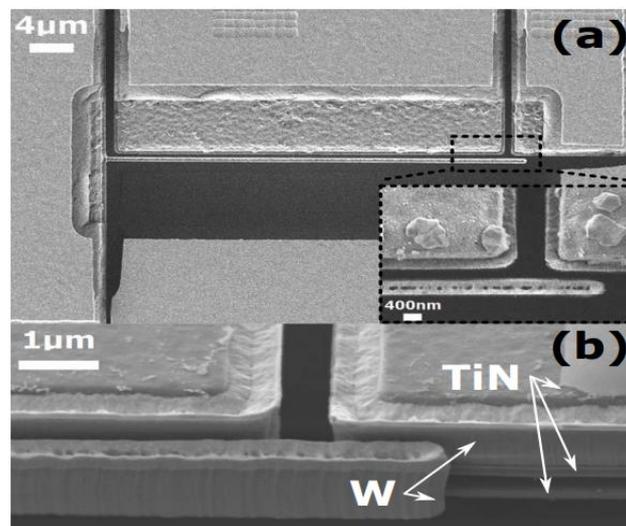


Figura 4. Imagen SEM del interruptor MEMS. La palanca del interruptor tiene una longitud de $40\mu\text{m}$, un ancho de 500nm y un grosor próximo a $1\mu\text{m}$. El gap entre la palanca y el electrodo es de 450nm . a) Vista superior y b) vista lateral del dispositivo.

A partir del desarrollo de este trabajo se pudo predecir el comportamiento de la capa de VIA cuando se integra independientemente de las capas de MET. Este comportamiento se resume en la figura 5.

El módulo de Young y la densidad del tungsteno son 410GPa y 19300kg/m^3 . Dado que la capa lateral de TiN es de 20nm , siendo el grosor de la VIA 500nm , su posible efecto sobre las propiedades mecánicas de la capa se ha despreciado. En comparación con el polisilicio y la mezcla de aluminio y nitruro de titanio el tungsteno es un material tres veces más rígido y más de siete veces más denso. Como aspecto destacable el tungsteno, también mostrado en el artículo [1], este

muestra un estrés de fabricación menor que el mostrado por la capa de MET, lo que incrementa la reproducibilidad de los resonadores.

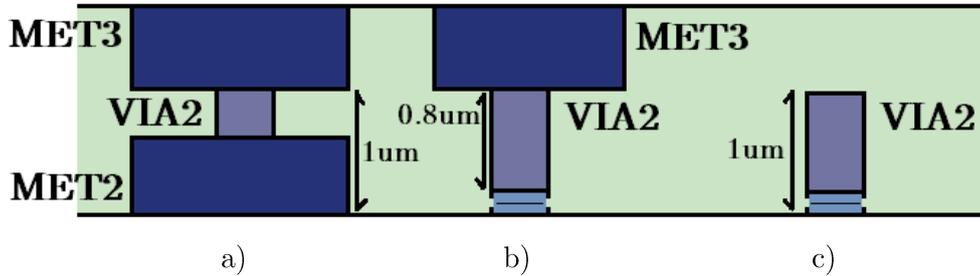


Figura 5. Funcionamiento de la capa de VIA en la tecnología AMS 0.35µm. a) Cuando la VIA se define entre dos metales su grosor resultante es de 335nm, y la de los boques de MET de 665nm. b) Cuando bajo la capa de VIA no se define el nivel MET vecino la VIA crece ocupando parte del espacio de la capa de MET. c) Si sobre la VIA y bajo ella no hay niveles de metal el grosor resultante de la capa de VIA tiene un grosor mínimo de 800nm y un grosor máximo de 1µm.

2.1.4 Resonador de metal y tungsteno

Con el objetivo de construir un resonador hueco para utilizarse como un microcanal para aplicaciones de microfluídica G. Vidal diseñó el primer resonador formado por dos capas de metal interconectadas mediante una capa de VIA [8] y óxido de silicio en el medio que luego se elimina creando el hueco o canal interno. Este canal rectangular está formado por una base de TiN-Al-TiN (MET1), seguida de un perímetro de tungsteno (VIA3) y un techo de TiN-Al-TiN (MET2). La figura 6 muestra el corte vertical del puente-microcanal. Este puente microcanal muestra una frecuencia de resonancia de 25MHz cuando su interior ha sido liberado y sólo contiene aire, mostrando un factor de calidad de 250.

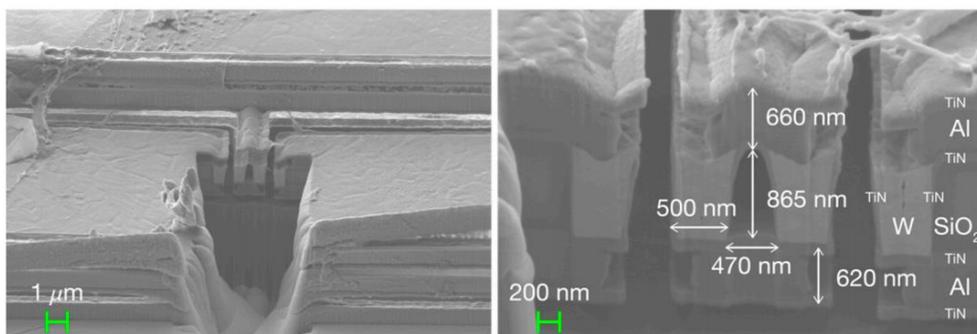


Figura 6. Imagen SEM mostrando el corte vertical del puente-microcanal [8]. En la segunda imagen se puede apreciar la composición de las distintas capas que forman el canal y las dimensiones de las mismas.

2.2 Implementación del MEMS en la tecnología AMS 0.35 μm

Para el diseño de los resonadores MEMS se van a utilizar las capas BEOL. Estos resonadores, al tener geometrías para las cuales la tecnología no ha sido pensada violaran múltiples reglas de diseño. La desventaja de este sistema es perder la garantía por parte de la casa AMS de que los sistemas vayan a ser fabricados correctamente. La ventaja consiste en aprovechar los comportamientos anómalos de la tecnología en nuestro beneficio para diseñar estructuras MEMS. Las principales normas de diseño que se van a violar en los resonadores que se presentan en este capítulo se enumeran a continuación:

PAD: Esta capa está destinada en abrir una ventana en la capa de pasivación, capa dedicada a proteger la superficie del chip, con el objetivo de poder realizar conexiones entre el chip y un sistema externo. Esta capa PAD tiene unas dimensiones mínimas de 15 μm x 15 μm y siempre debe situarse sobre un conjunto de capas de metal superpuestas en forma de PAD o conector. En nuestro caso bajo la capa PAD sólo estará el resonador MEMS y no la capa correspondiente al nivel más alto de metal, por lo que se incumplirá la segunda norma.

VIA: Las capas de VIA se utilizan para interconectar los niveles de metal. Las dimensiones de esta capa están fijadas a 0.5 μm x 0.5 μm . Sin embargo, en este trabajo se van a utilizar superficies de vía de anchura 0.5 μm , pero de un valor de longitud mayor. La tecnología exige que la VIA conecte dos niveles de metal, por ejemplo, la VIA2 debe conectar los metales MET2 y MET3. Por lo que la regla de diseño correspondiente a las dimensiones de la VIA será violada, ya que en muchos casos ni las dimensiones ni la norma de añadir capas superior e inferior de metal a la capa de VIA van a respetarse.

Dado que el sistema MEMS queda íntegramente definido en el esquema del chip se realizan conexiones intra-chip entre el dispositivo MEMS y el IC a través de los niveles de metal de la tecnología CMOS. Esto da la ventaja de no sólo poder realizar dispositivos CMOS-MEMS en la tecnología AMS 0.35 μm , sino la posibilidad de interconectarlos y obtener un sistema IC-MEMS integrado monolíticamente a partir de una tecnología puramente CMOS.

2.3 Post-proceso CMOS para liberar las estructuras MEMS

La tecnología CMOS-MEMS generada a partir de la tecnología AMS 0.35 μm es una tecnología intra-CMOS [9] [10]. Los dispositivos MEMS que se fabrican en esta tecnología no sólo tienen como material estructural materiales CMOS-compatibles, sino que además se fabrican al mismo tiempo que los circuitos CMOS, lo que los hace una tecnología intra-CMOS. Sin embargo, al finalizar el proceso CMOS el resonador está enterrado en SiO_2 , que en este caso hace de

material sacrificial. Esto hace que sea necesario un post-proceso CMOS para liberar la estructura. Este post-procesado desentierra las estructuras MEMS del óxido de silicio (SiO_2) que las rodea. El proceso de liberado se basa en introducir los chips en una disolución tamponada de ácido fluorhídrico (BHF). El ácido fluorhídrico ataca al óxido de silicio, pero también en menor medida al aluminio, ya que es un ácido altamente corrosivo.

Las etapas del proceso de liberado son cuatro, y se enumeran a continuación:

- Primero, el chip se introduce en la disolución tamponada de ácido fluorhídrico. El tiempo en el que se mantiene el chip en este baño está comprendido entre 4 y 20 minutos, dependiendo de la profundidad a la que se encuentra la estructura MEMS a liberar.
- Tras el primer proceso se debe introducir el chip en un flujo continuo de agua desionizada para eliminar la disolución ácida del interior y superficie del chip.
- Para limpiar el chip tras el baño en agua se introduce el mismo en un baño de alcohol isopropílico. Esto elimina el agua que se haya podido acumular en los rincones del dispositivo MEMS.
- Finalmente, con el objetivo de eliminar el alcohol del chip mediante evaporación se introduce este en un horno a 100°C durante 10 minutos.

Tras estos cuatro procesos la estructura MEMS queda liberada y preparada para su operación.

3 Dispositivos de tungsteno

Debido al reciente descubrimiento del funcionamiento de la capa de VIA de la tecnología AMS $0.35\mu\text{m}$ se ha focalizado el diseño de los nuevos resonadores en el tungsteno. Los resonadores de tungsteno tienen una mayor densidad y mayor módulo de Young que el polisilicio o el aluminio.

$$\omega = \sqrt{\frac{k_e}{m_e}} \alpha \sqrt{\frac{E}{\rho}} \quad (1)$$

Donde k_e es la constante elástica efectiva y m_e la masa efectiva del modelo masa-muelle del resonador, y ω la frecuencia angular natural de resonancia. E es el módulo de Young y ρ la densidad del material. En la tabla II se muestra una comparativa en los valores de densidad y módulo de Young para tres vigas de mismas dimensiones de polisilicio, aluminio y tungsteno. Dado que se supone que el modo de resonancia es el mismo en las tres vigas y las tres tienen las mismas dimensiones, para obtener la relación entre las frecuencias de resonancia, basta con calcular la raíz del cociente entre el módulo de Young y la densidad del material.

Material	Densidad (kg · m ⁻³)	Módulo de Young (GPa)	(Densidad / Módulo de Young) ^{1/2} (kg · m ⁻³ · GPa ⁻¹) ^{1/2}
Polisilicio	2330	160	26.20 · 10 ⁻²
Aluminio	3000	131	20.89 · 10 ⁻²
Tungsteno	19300	410	14.57 · 10 ⁻²

Tabla II. Comparación de las frecuencias de resonancia naturales del sistema masa muelle para los materiales polisilicio, aluminio y tungsteno.

A partir de la tabla II se obtiene que los resonadores de tungsteno, en las mismas condiciones de geometría son un 30% más lentas que las estructuras de aluminio y un 45% más lentas que las estructuras de polisilicio.

A la hora de comparar las resistencias mocionales entre los distintos materiales se recupera la ecuación (2) del capítulo II.

$$R_m = \frac{g^4}{V_{DC}^2 \omega A^2 \epsilon^2 \epsilon_r^2} \frac{k_e}{Q} \alpha \frac{E}{\omega} \alpha \sqrt{E\rho} \quad (2)$$

En la tabla III se calcula la raíz del producto entre el módulo de Young de los mismos materiales y la densidad del material. Este cociente es proporcional a la resistencia mocional del resonador, suponiendo mismas áreas de acoplo y *gaps* de actuación y lectura.

Material	Densidad (kg · m ⁻³)	Módulo de Young (GPa)	(Densidad · Módulo de Young) ^{1/2} (kg · m ⁻³ · GPa) ^{1/2}
Polisilicio	2330	160	610
Aluminio	3000	131	620
Tungsteno	19300	410	2813

Tabla III. Comparación de las resistencias mocionales para los materiales polisilicio, aluminio y tungsteno.

La tabla III predice que en igualdad de condiciones los resonadores de tungsteno tienen una resistencia mocional 4.6 veces superior a la resistencia mocional del polisilicio y el aluminio (que escalan a un valor semejante entre sí).

Comparando los grosores de las distintas capas a partir de los datos mostrados en la tabla I se obtiene que la capa de tungsteno es más gruesa que la capa de polisilicio (lo que reduce la resistencia mocional debido a su mayor área de acoplo), pero sin embargo el grosor de la capa de aluminio sigue siendo mayor que el de la capa de tungsteno. Sin embargo, a partir de la tabla I, la principal desventaja que muestra el tungsteno en la tecnología AMS 0.35µm respecto a las

capas de MET, es su variación en el grosor (282-200nm para el polisilicio 1 y 2, 665 μm para MET y 335 μm para VIA). Esta reducción del grosor implica una menor área de acoplo entre la estructura y los electrodos en los modos de resonancia en el plano. Esta desventaja desaparece al comprender el funcionamiento de la capa de VIA como se mostró en la figura 5, en la que se muestra cómo el grosor de la capa de VIA puede llegar a medir un máximo de 1 μm y un mínimo de 800nm, ambas cantidades mayores que el grosor de la capa MET [1].

Comparando los gaps que se pueden definir entre las estructuras y los electrodos el polisilicio es el material dominante, ya que su mínimo gap de 40nm es del orden de 10 veces inferior al implementable en MET y VIA, 600 nm y 350nm respectivamente, lo que hace que en igualdad de dimensiones y adaptando el gap al material la resistencia mecánica del resonador de polisilicio sea 10^4 veces inferior.

Este análisis indica que las propiedades electromecánicas del resonador de tungsteno no van a ser ventajosos respecto a los resonadores de polisilicio y aluminio, sin embargo hay un factor determinante a favor el tungsteno. Las estructuras de tungsteno liberadas apenas muestran estrés y son resistentes al deterioro como el producido por los golpes por el contacto de la estructura con los electrodos cuando la amplitud de desplazamiento de esta iguala a la distancia de gap [11].

En los próximos apartados se van a mostrar los diseños realizados durante la presente tesis, todos basados en el tungsteno como material estructural. Se mostrarán estructuras basadas en estructuras tipo vigas como puentes y palancas, y estructuras basadas en modos de resonancia torsionales. El objetivo de estos diseños es explorar la posibilidad de mejorar el factor de calidad de los resonadores, y reducir su resistencia mecánica, manteniendo una misma frecuencia de trabajo del orden de 3MHz.

3.1 Palanca de tungsteno

En este apartado se muestra el diseño de una palanca de tungsteno. Esta se va a diseñar sobre la capa VIA3 de la tecnología AMS 0.35 μm , con una frecuencia de resonancia objetivo de 3MHz.

3.1.1 Diseño y layout

La palanca de tungsteno se va a definir sobre la VIA3. Sin embargo, los anclajes y electrodos de excitación y lectura serán definidos como cajas cuya superficie superior será el MET4, su superficie inferior MET3, su perímetro VIA3 y su relleno óxido de silicio como se muestra en la figura 7.

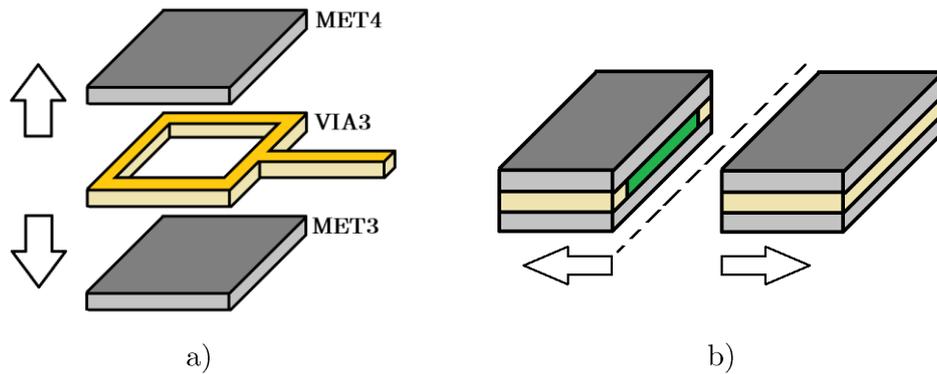
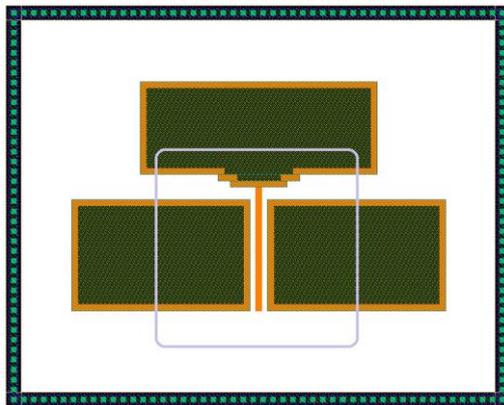


Figura 7. a) Esquema de capas de metales y vía para definir vigas, anclajes o electrodos. b) Corte del anclaje o electrodo, mostrando la capa interior de óxido de silicio.

El layout de la estructura MEMS diseñada se muestra en la figura 8, incluyendo la estructura resonante y los electrodos de actuación y lectura. En la tabla IV se muestran los valores geométricos del sistema.



Dimensión	Valor
Grosor	1 μm
Longitud	10 μm
Anchura	500 nm
Gap	450 nm

Tabla IV. Dimensiones de la palanca

-  Fragmento de anillo de polarización
-  Combinación de MET3 y MET4
-  Combinación de MET3 VIA3 y MET4
-  VIA3
-  Perímetro de la ventana PAD

Figura 8. Layout del resonador tipo palanca. A la izquierda y derecha están los dos electrodos de excitación y lectura. En el centro se encuentra la palanca de VIA3, unida por uno de sus extremos al anclaje. El cuadrado morado representa la capa de PAD, o lo que es lo mismo, el perímetro de la ventana que quedará abierta en la capa de pasivación sobre el resonador. Esta ventana permitirá realizar el ataque con ácido y liberar la estructura.

La simulación mecánica de la estructura ha sido realizada por M. Riverola con el software Coventor y los parámetros mecánicos mostrados en la tabla I (Ver figura 9).

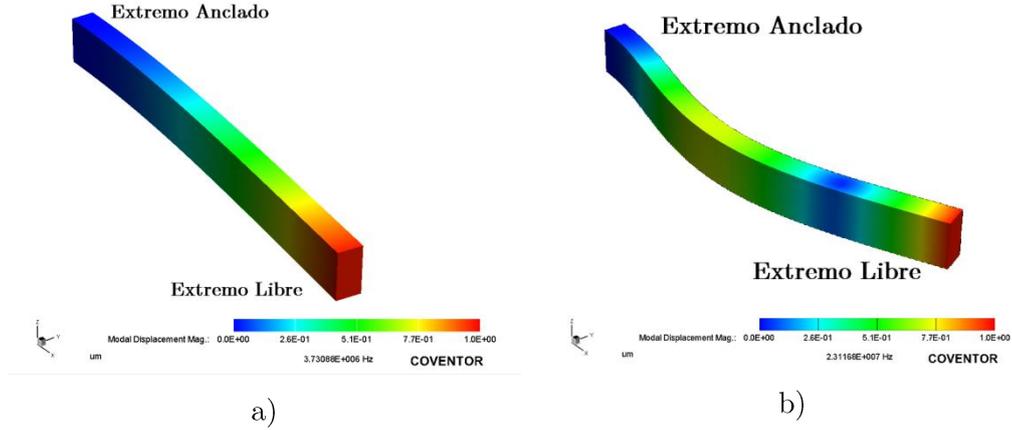


Figura 9. a) Primer modo de resonancia lateral de la palanca. b) Segundo modo de resonancia lateral de la palanca.

Tras la simulación se han obtenido los parámetros mecánicos mostrados en la tabla V, a partir de los cuales se han extraído las propiedades electromecánicas del resonador para ambos modos de resonancia.

Modo	Frecuencia de resonancia natural	Masa	Masa efectiva	Constante elástica efectiva
Primero	3.73 MHz	$9.65 \cdot 10^{-14}$ Kg	$2.4137 \cdot 10^{-14}$ Kg	12.7 N/m
Segundo	23.11 MHz	$9.65 \cdot 10^{-14}$ Kg	$2.4557 \cdot 10^{-14}$ Kg	517 N/m

Tabla V. Parámetros mecánicos de la palanca de tungsteno.

Mediante los datos de la tabla V y la ecuación (3) se puede ya estimar la resistencia mecánica de la palanca para distintos valores de polarización V_{DC} , y distintos factores de calidad Q.

$$R_m = \frac{V_{AC}}{I_m} = \frac{g^2}{V_{DC}^2 \omega C_0^2} \frac{k}{Q} = \frac{g^4}{V_{DC}^2 \omega A^2 \epsilon^2 \epsilon_r^2} \frac{k}{Q} \quad (3)$$

La resistencia mocional calculada para ambos modos, un voltaje DC entre 1 y 100V, y un factor de calidad Q de 100 se muestra en la figura 10.

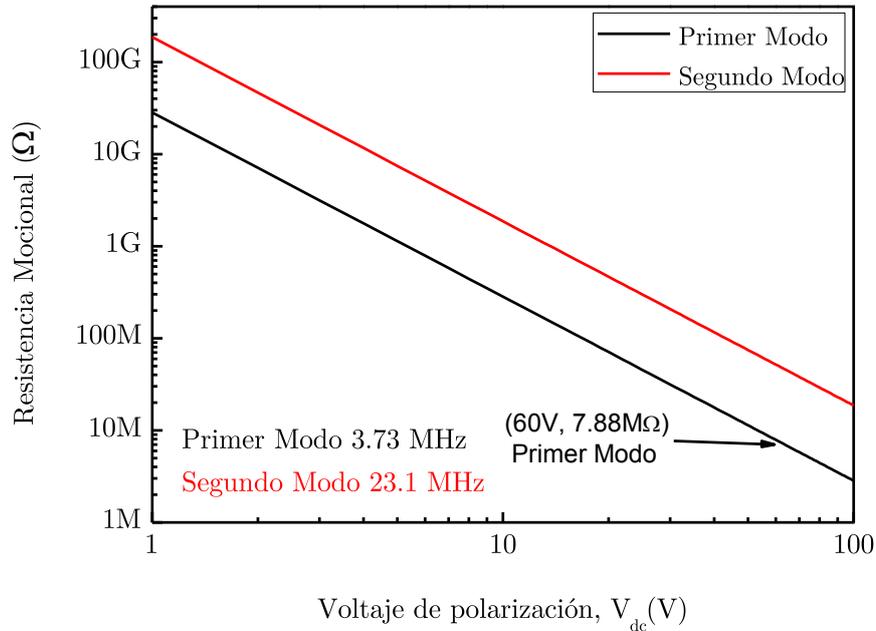


Figura 10: Resistencia mocional frente a la tensión de polarización para los dos primeros modos de resonancia laterales de la palanca de tungsteno.

A continuación se muestra el resonador fabricado y su caracterización.

3.1.2 Fabricación

En la figura 11 se muestran dos imágenes del resonador MEMS basado en la palanca de VIA 3. El proceso de liberado del resonador ha durado 4 minutos, ya que la VIA3 se encuentra en las capas superiores del chip. En la primera imagen se pueden distinguir los electrodos de excitación, lectura y el anclaje. En el centro de la imagen está la palanca liberada. En ambas imágenes se puede observar y entender mejor el concepto de ventana de pasivación, ya que toda el área bajo la superficie de la ventana ha sido atacada mientras que la parte externa, al conservar la pasivación, se mantiene inalterada.

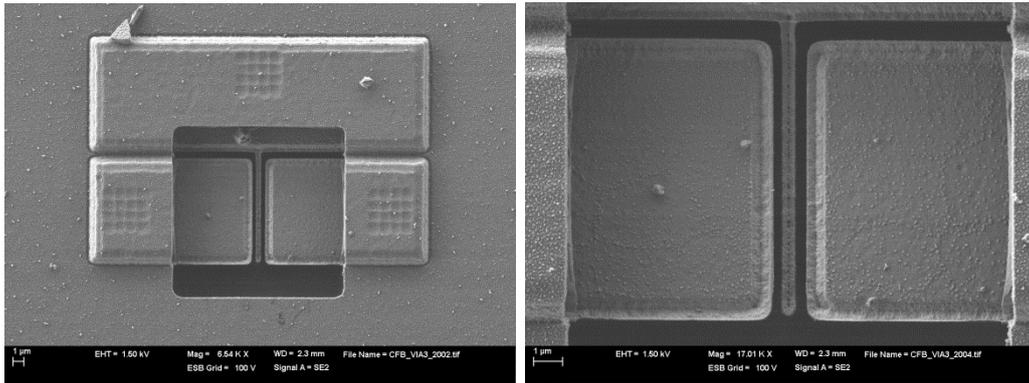
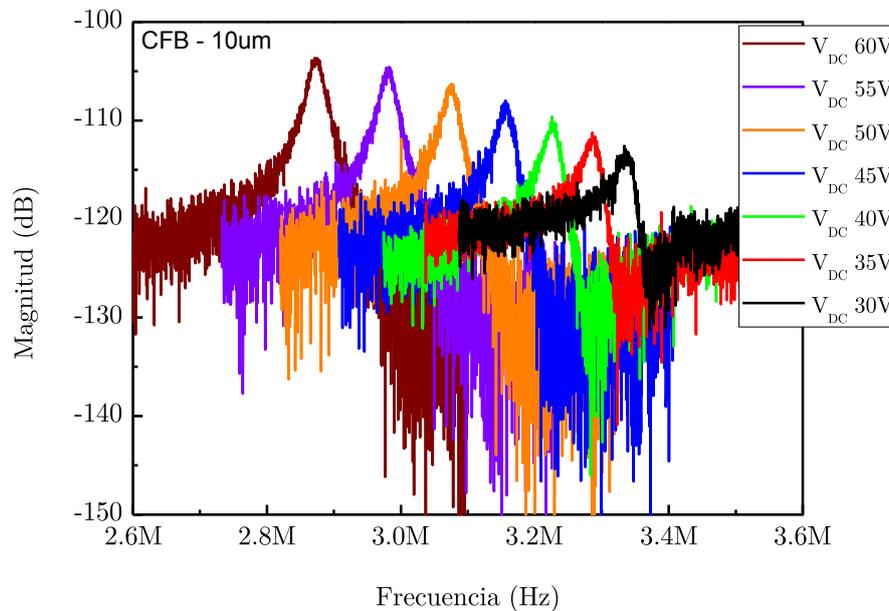


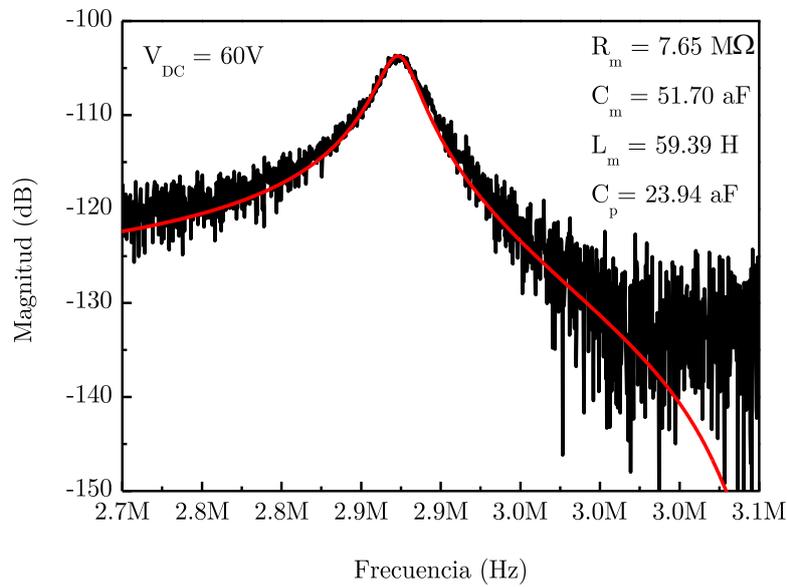
Figura 11. Imagen SEM del resonador MEMS basado en una palanca de VIA3.

3.1.3 Caracterización

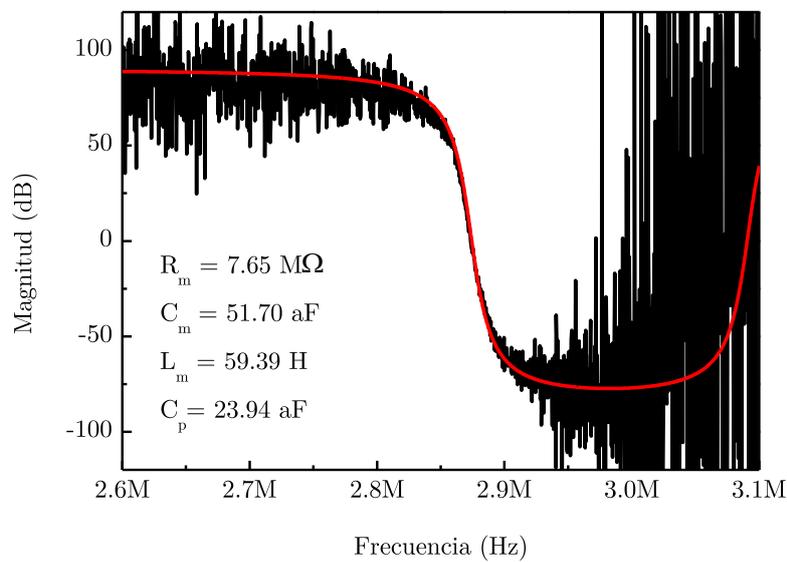
Para poder sensar el movimiento del resonador se ha necesitado utilizar voltajes de polarización DC comprendidos entre los 30 y los 60V. Las curvas de resonancia obtenidas para estos voltajes se muestran en la figura 12a. La curva correspondiente al voltaje de polarización de 60V se ha ajustado a un circuito RLC // C_p equivalente [12]. Las curvas ajustadas para la magnitud y fase se muestran en la figura 12b y 12c, en las que se incluyen los valores de los elementos del sistema eléctrico equivalente.



a)



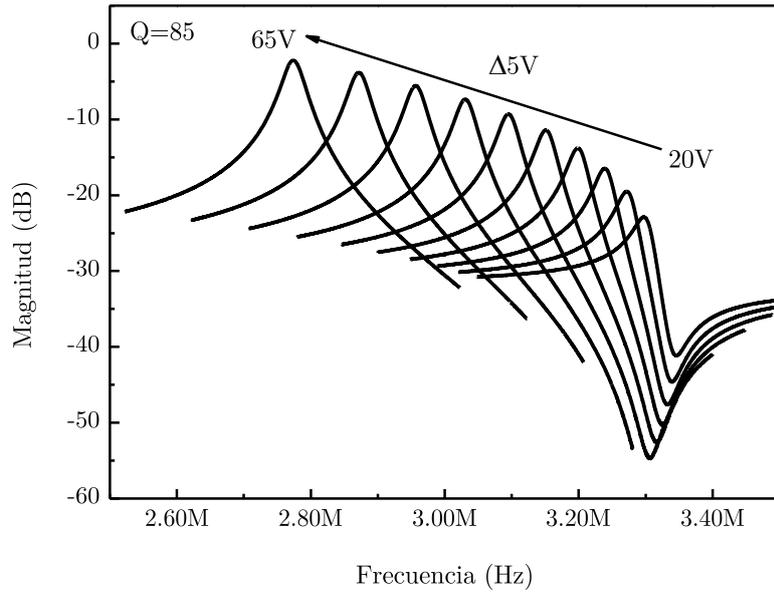
b)



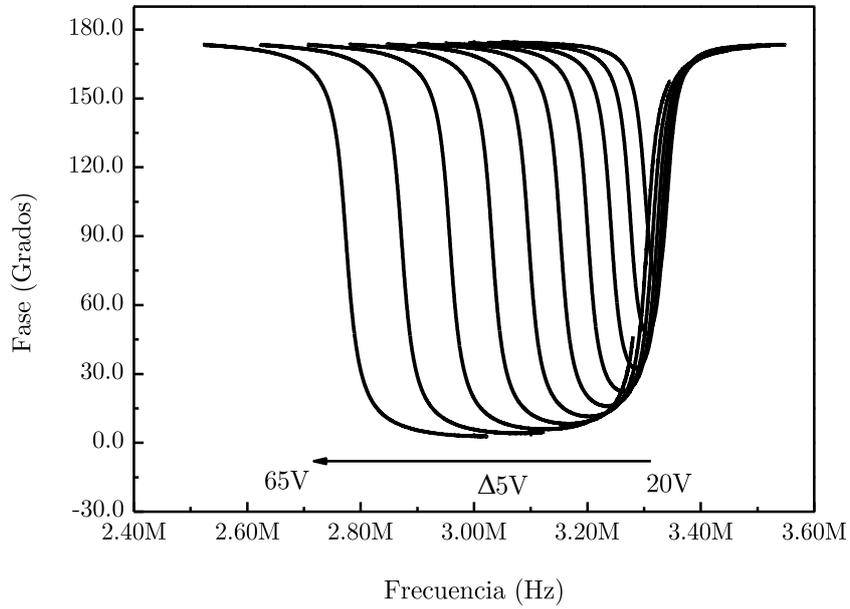
c)

Figura 12. a) Magnitud de la respuesta frecuencial del resonador tipo palanca para voltajes de polarización comprendidos entre 30V y 60V. Respuesta frecuencial: b) Magnitud y c) Fase del resonador tipo palanca para un voltaje de 60V. La curva experimental se representa en negro mientras que la curva del modelo eléctrico equivalente se representa en rojo.

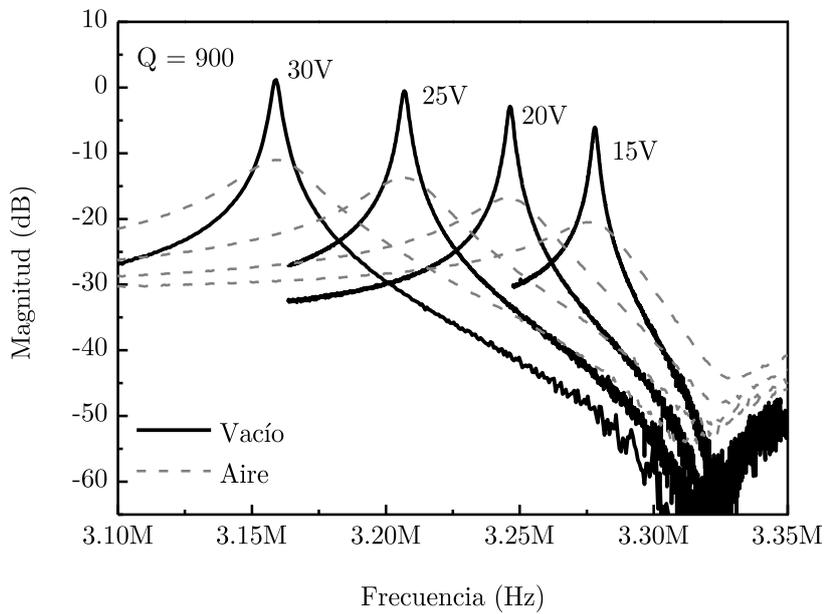
Con el objetivo de disponer de una mayor señal de salida se ha utilizado el amplificador push-pull presentado en el capítulo anterior. Las respuestas en frecuencia y fase del sistema utilizando el amplificador se muestran en las gráficas de la figura 13.



a)



b)



c)

Figura 13. Respuesta frecuencial de: a) Magnitud y b) Fase del resonador torsional junto al micro-amplificador en aire (10^{-3} mbar). c) Comparación de la magnitud de la resonancia en aire y vacío.

El factor de calidad del resonador asciende de 100 en aire hasta 900 en vacío (10^{-3} mbar). Para poder comparar los niveles en aire y vacío se ha representado la resonancia en ambos medios para los mismos voltajes de polarización (ver figura 13.c). De esta manera las curvas medidas en vacío se representan con una línea negra mientras que las curvas medidas en aire se representan con una línea gris discontinua.

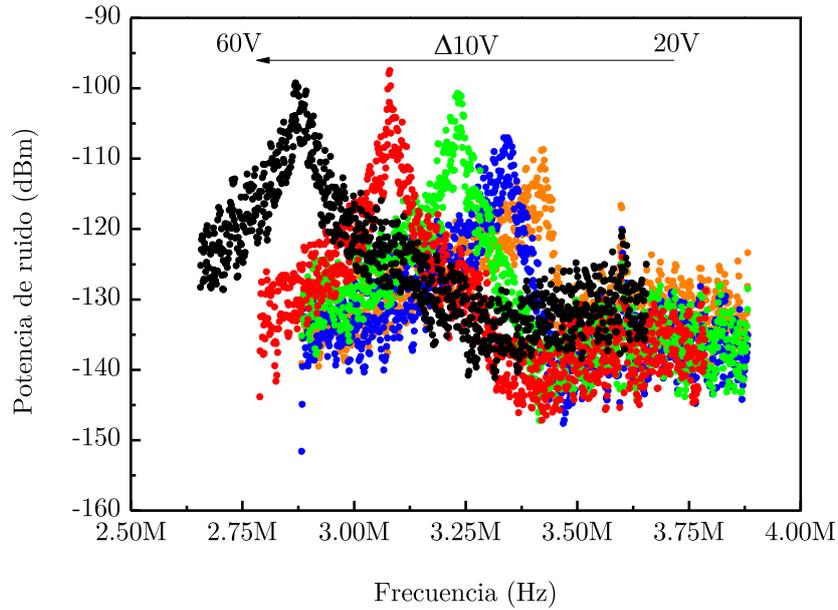


Figura 14. Medida del ruido termomecánico del resonador en aire para voltajes de polarización comprendidos entre 20 y 60V.

Como demostración del buen acoplo (noise matching), en la figura 13 se muestra el perfil del ruido termomecánico del resonador para distintos valores de polarización medido en aire. Como se puede observar, el ruido termomecánico llega a estar 35 dB por encima del ruido térmico del amplificador en el caso de una tensión de polarización de 60V. La resistencia mecánica (R_m) simulada del resonador es de $7.88M\Omega$ para un voltaje de 60V, mientras que el ruido de entrada equivalente del circuito es de $6.15nV/\sqrt{Hz}$ y su impedancia de entrada $1.10 M\Omega$ a la frecuencia de resonancia. Aplicando la expresión (4) al cálculo de la contribución del resonador al ruido del nodo de sensado se obtiene:

$$V_{Res-vin} = \frac{Z_{in}}{Z_{in} + R_m} \sqrt{4k_B T R_m} = 44.73nV / \sqrt{Hz} \quad (4)$$

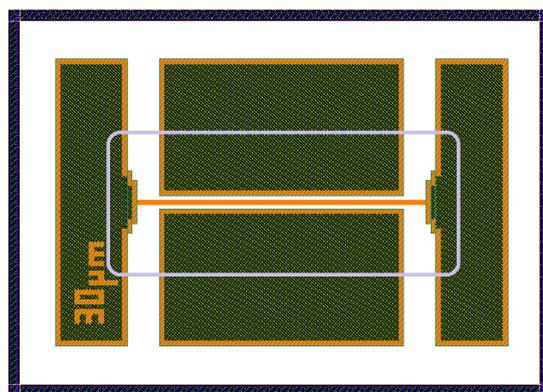
La contribución del ruido del resonador respecto al ruido equivalente de entrada del resonador ($V_{\text{resonador}}/V_{\text{circuito}}$) es 34.45 dB superior, lo que es compatible con el resultado obtenido en la figura 14.

3.2 Puente de tungsteno

En el presente apartado se va a diseñar un resonador tipo puente en tungsteno. El objetivo de este diseño consiste en reducir la resistencia mecánica del resonador a partir de incrementar el área de acoplamiento incrementando su longitud al mismo tiempo que se mantiene la frecuencia de resonancia compensando el incremento de su longitud con la mayor frecuencia de resonancia de los puentes respecto a las palancas.

3.2.1 Diseño y layout

La viga de tungsteno se va a definir sobre la VIA3. Los electrodos y anclajes siguen el mismo diseño que los utilizados para la palanca (Figura 14). En la tabla VI se muestran las dimensiones geométricas del dispositivo.



Dimensión	Valor
Grosor	1 μm
Longitud	30 μm
Anchura	500 nm
Gap	450 nm

Tabla VI. Dimensiones del puente

-  Fragmento de anillo de polarización
-  Combinación de MET3 y MET4
-  Combinación de MET3 VIA3 y MET4
-  VIA3
-  Perímetro de la ventana PAD

Figura 15. Layout del resonador MEMS puente. A la izquierda y derecha están los dos electrodos de excitación y lectura. En el centro se encuentra la palanca de VIA3, unida por sus dos extremos a los dos anclajes.

Se ha realizado la simulación mecánica de los dos primeros modos de resonancia flexurales en el plano de la estructura (Ver figura 16).

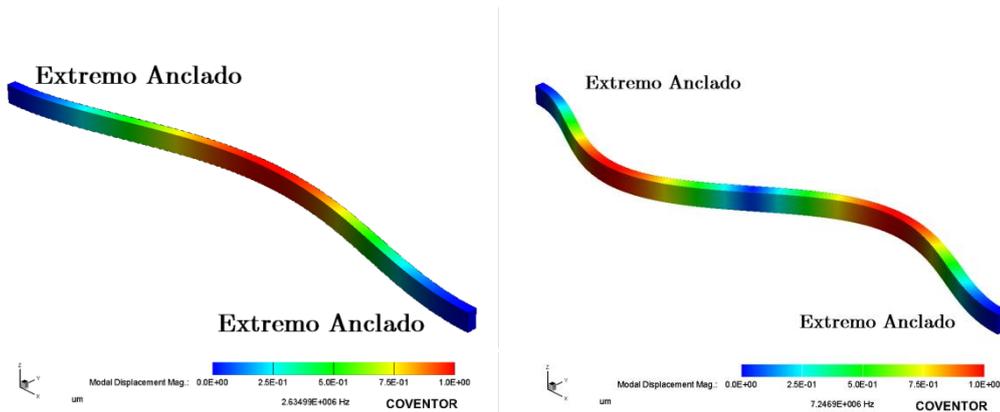


Figura 16. a) Primer modo de resonancia lateral del puente. b) Segundo modo de resonancia lateral del puente.

A partir de la simulación se han obtenido los parámetros mecánicos mostrados en la tabla VII, a partir de los cuales se obtienen las propiedades electromecánicas del resonador.

Modo	Frecuencia de resonancia natural	Masa	Masa efectiva	Constante elástica efectiva
Primero	2.63 MHz	$2.89 \cdot 10^{-13}$ Kg	$183.70 \cdot 10^{-13}$ Kg	127.2 N/m
Segundo	7.25 MHz	$2.89 \cdot 10^{-13}$ Kg	$281.93 \cdot 10^{-13}$ Kg	1480 N/m

Tabla VII. Parámetros mecánicos del puente de tungsteno.

A partir de los datos de la tabla se puede estimar la resistencia mecánica del puente para distintos valores de polarización V_{DC} y un factor de calidad $Q = 100$. En la figura 17 se representan estos valores y a su vez se comparan con los obtenidos para la palanca.

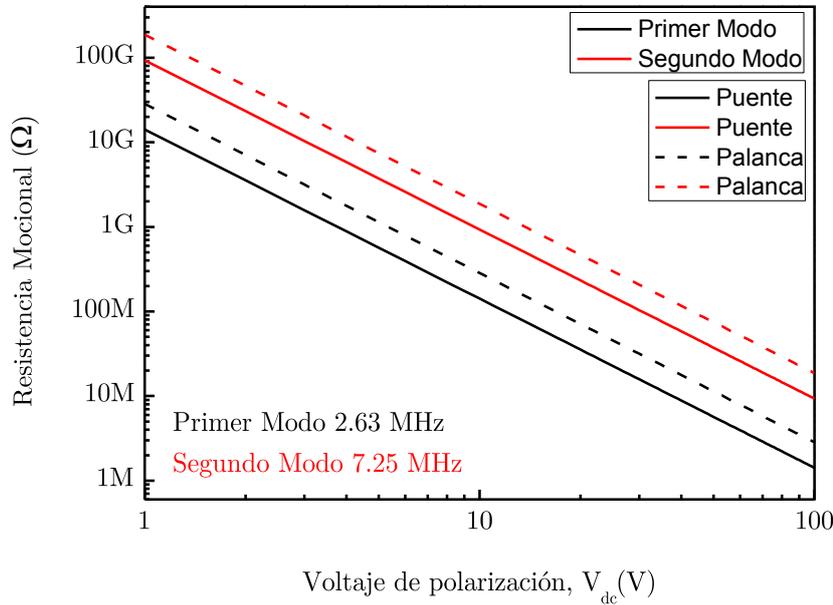


Figura 17: Resistencia mecánica frente a la tensión de polarización para los dos primeros modos de resonancia del puente.

El resultado mostrado en la figura 17 indica que el diseño de la estructura tipo puente reduce la resistencia mecánica en un factor 2 para ambos modos en condiciones de un mismo factor de calidad $Q = 100$. A continuación se muestran el resonador fabricado y su caracterización.

3.2.2 Fabricación

En la figura 18 se muestra la imagen SEM del resonador MEMS basado en el puente de VIA 3. El proceso de liberado del resonador han sido 4 minutos, ya que la VIA3 se encuentra en las capas superiores del chip. En la imagen se pueden distinguir los electrodos de excitación, lectura y el anclaje. En el centro de la imagen está el puente liberado, cuyos anclajes tienen forma escalonada. Este diseño se aplicó para reducir el área de acoplamiento entre el anclaje y los electrodos. Se puede apreciar la apertura de la ventana de pasivación, en la que no se cumplen las dimensiones recomendadas de $15 \mu\text{m} \times 15 \mu\text{m}$ para la apertura, sino que se ha utilizado una ventana rectangular.

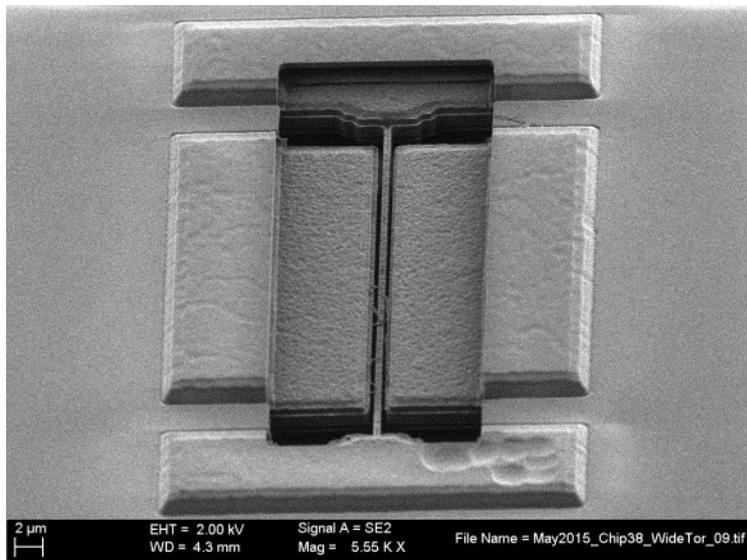
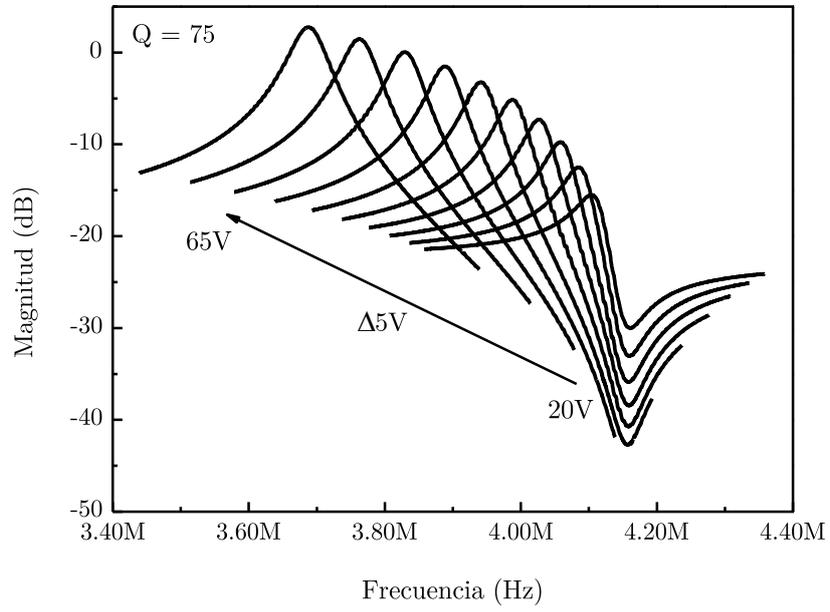


Figura 18. Imagen SEM del resonador MEMS basado en un puente de VIA3.

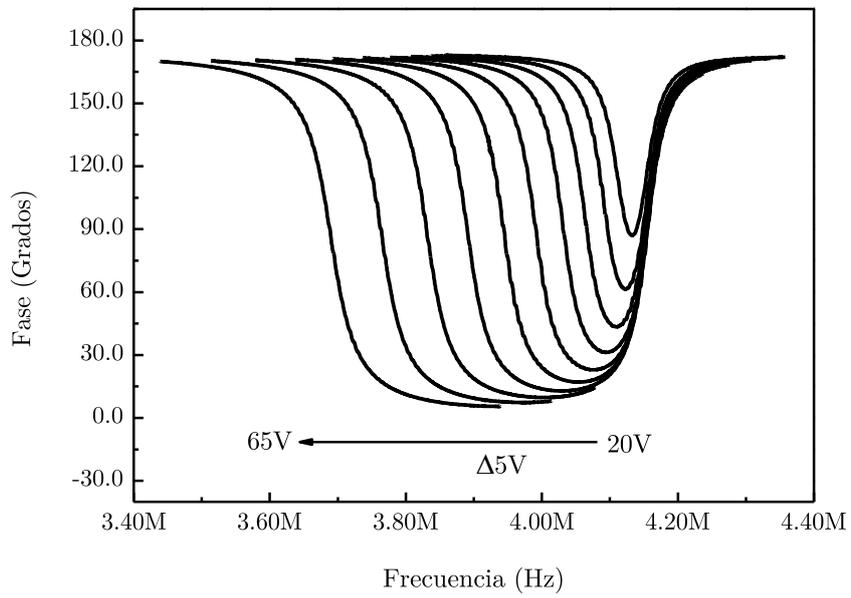
3.2.3 Caracterización

Las respuestas en frecuencia y fase del sistema se muestran en la figura 19. En las dos primeras curvas a) y b) el sistema está trabajando en el aire, mientras que en las curvas de c) y d) el sistema opera en un ambiente de vacío (10^{-3} mbar).

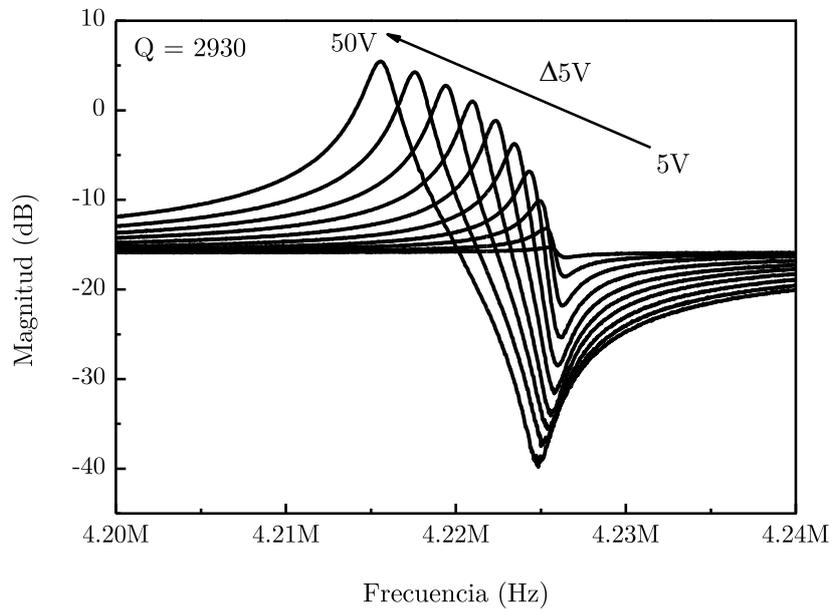
El amplificador utilizado para caracterizarlo ha sido nuevamente el amplificador push-pull con el objetivo de poder comprar la diferencia entre la resistencia mocional del puente y la palanca. De esta manera se podrá comprobar si la predicción del modelo teórico respecto a la reducción de la resistencia mocional es correcta.



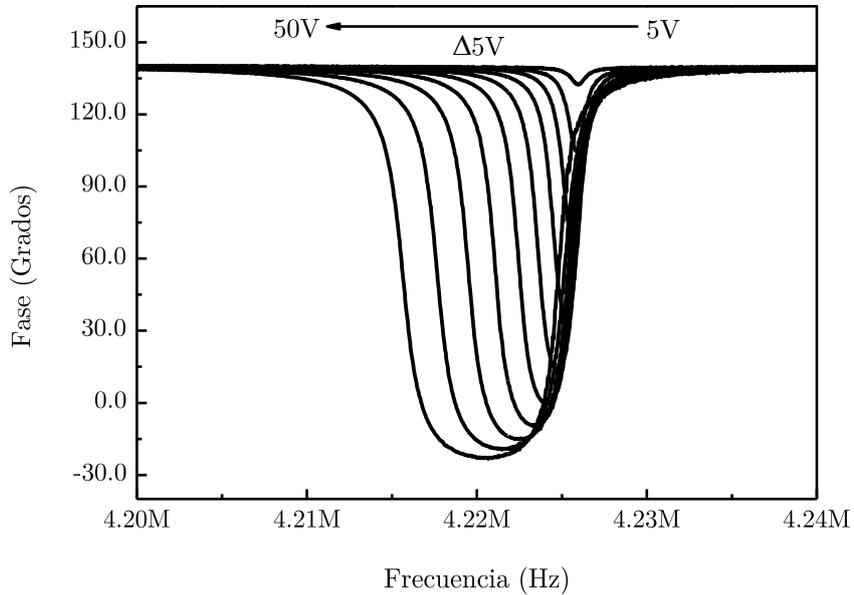
a)



b)



c)



d)

Figura 19. Respuesta frecuencial de: a), c) Magnitud y b), d) Fase del resonador torsional junto al micro-amplificador. Las gráficas a) y b) se han medido en aire y las gráficas c) y d) en vacío (10^{-3} mbar).

La primera diferencia observable es que el factor de calidad del resonador tipo puente pasa de tener un valor de 75 operando en aire a un valor de 2930 operando en vacío, muy superior al obtenido en la estructura tipo palanca. Comparando la magnitud de la resonancia de los dos resonadores para un mismo voltaje de polarización se observa, como era de esperar, que la resistencia mecánica del puente es la mitad (6 dB más de magnitud en la resonancia), operando en una frecuencia del mismo orden que la de la palanca y con un mismo factor de calidad (en aire). Esto muestra tanto teórica como empíricamente que el utilizar una estructura de tipo puente puede ayudar a mantener la frecuencia de operación del orden de MHz y al mismo tiempo reducir la resistencia mecánica del resonador respecto a la estructura tipo palanca.

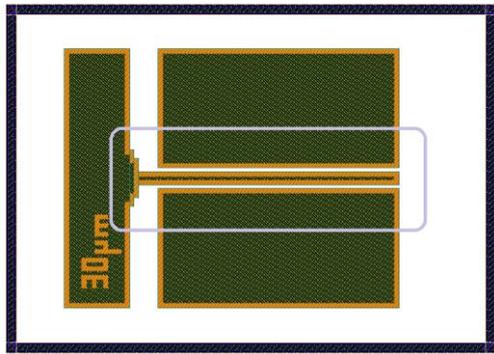
3.3 Palanca utilizando los niveles de MET y VIA

Con la estructura tipo puente se ha conseguido reducir la resistencia mecánica del resonador operando a una frecuencia cercana a 3MHz. Sin embargo, resulta interesante poder reducir el valor de esta resistencia al menos un orden de magnitud. Dado que en las estructuras tipo viga el modo de resonancia horizontal o en el plano no dependen del grosor de la viga se va a intentar diseñar una estructura multicapa que pueda proporcionar una mayor área de acople lateral manteniendo la frecuencia de resonancia. Bajo este objetivo se ha diseñado una estructura tipo palanca apilando dos capas de metal y una capa de VIA intermedia. La viga que se va a utilizar tiene la misma construcción que los electrodos y el anclaje, por lo que la palanca tendrá una capa de óxido de silicio en su interior.

Una de las ventajas extra que presentan las estructuras combinación de metales y óxido de silicio reside en que ambos materiales tienen una dependencia térmica opuesta, o lo que es lo mismo, mediante la combinación de estos materiales es posible anular o reducir la dependencia térmica de las propiedades mecánicas del resonador, incrementando la estabilidad térmica de su frecuencia de resonancia [13]. A continuación se muestra el diseño de esta estructura.

3.3.1 Diseño y layout

La viga de tungsteno se va a definir sobre los niveles MET3, VIA3 y MET2. Al igual que ocurre con los anclajes, el volumen contenido entre los metales quedará lleno de óxido. El plano y las dimensiones del resonador se muestran respectivamente en la figura 20 y tabla VIII.



Dimensión	Valor
Grosor	1.665 μm
Longitud	30 μm
Anchura	1.5 μm
Gap	450 nm

Tabla VIII. Dimensiones de la palanca

- Fragmento de anillo de polarización
- Combinación de MET3 y MET4
- Combinación de MET3 VIA3 y MET4
- VIA3
- Perímetro de la ventana PAD

Figura 20. Layout del resonador tipo puente. A la izquierda y derecha están los dos electrodos de excitación y lectura. En el centro se encuentra la palanca de MET3, VIA3 y MET4, rellena de óxido y unida por uno de sus extremos al anclajes.

Se ha realizado la simulación mecánica de la estructura (Ver figura 21), teniendo en cuenta las propiedades de la capa de óxido que queda atrapada dentro de la viga, de densidad 2634 kg/m^3 y módulo de Young de 180 GPa.

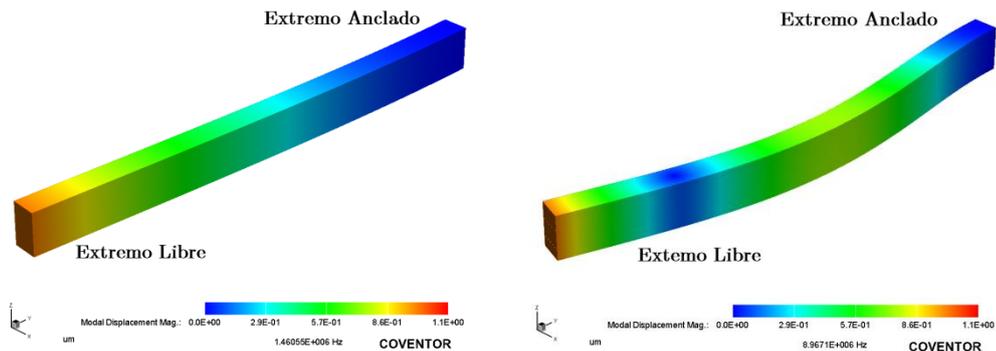


Figura 21. a) Primer modo de resonancia lateral de la palanca. b) Segundo modo de resonancia lateral de la palanca.

A partir de la simulación se han obtenido los parámetros mecánicos mostrados en la tabla IX. Estos parámetros se han utilizado para calcular las propiedades electromecánicas del resonador.

Modos laterales	Frecuencia de resonancia natural	Masa	Masa efectiva	Constante elástica efectiva
Primero	1.68 MHz	$7.78 \cdot 10^{-13}$ Kg	$1.98 \cdot 10^{-13}$ Kg	22.1 N/m
Segundo	8.97 MHz	$7.78 \cdot 10^{-13}$ Kg	$2.09 \cdot 10^{-13}$ Kg	664 N/m

Tabla IX. Parámetros mecánicos de la palanca apilada de tungsteno, aluminio y óxido de silicio.

Los datos de la tabla IX permiten estimar la resistencia mocional de la palanca para distintos valores de polarización V_{DC} y un factor de calidad $Q = 100$ (Ver figura 22).

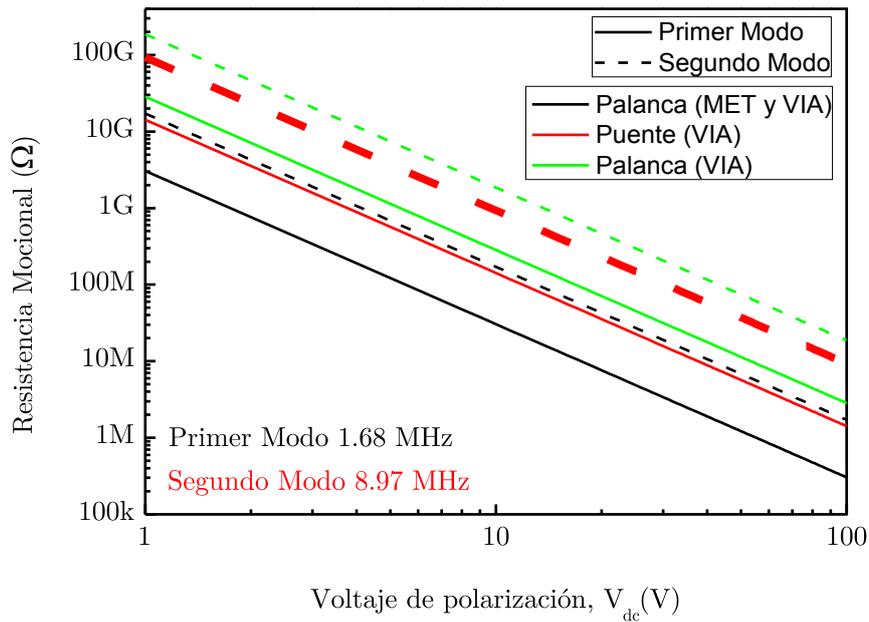
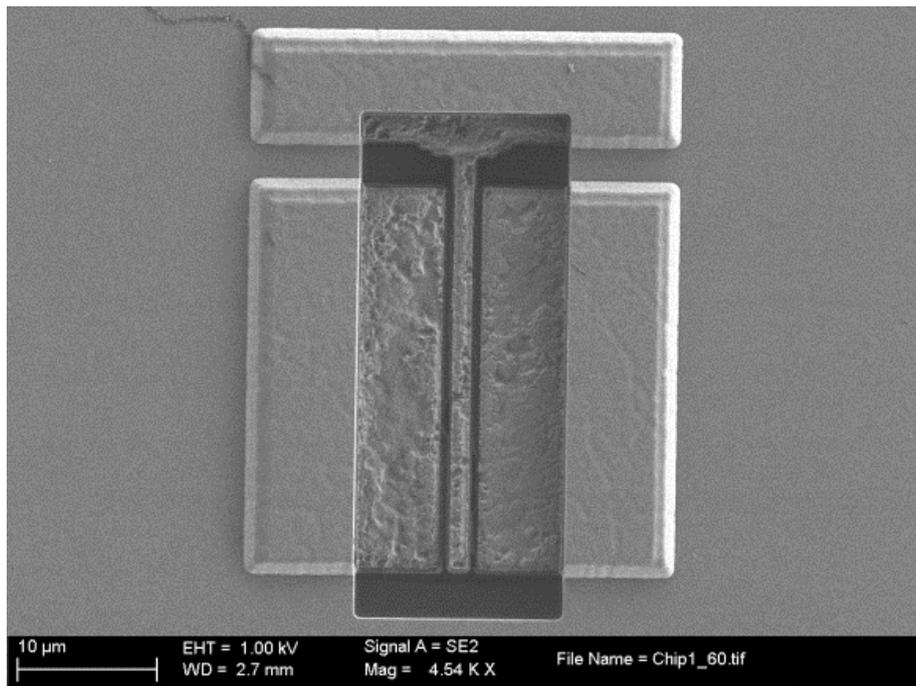


Figura 22. Resistencia mocional frente a la tensión de polarización para los modos: a) Primer modo de resonancia lateral de la palanca. b) Segundo modo de resonancia lateral de la palanca.

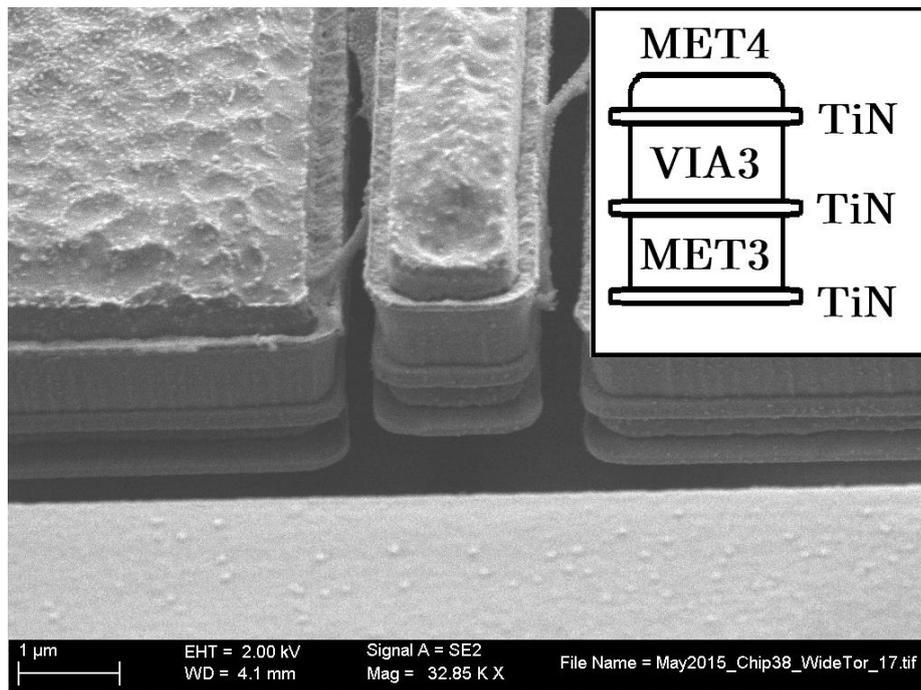
El resultado mostrado en la figura 22 indica que para un mismo factor de calidad $Q = 100$ la estructura propuesta lograría una reducción de la resistencia mecánica en un factor 9.3 respecto a la estructura tipo palanca de VIA y un factor 4.6 respecto a la estructura tipo puente de VIA. A continuación se muestran el resonador fabricado y su caracterización.

3.3.2 Fabricación

En la figura 23 se muestra la imagen SEM del resonador MEMS basado en el apilamiento de capas de MET3, VIA3 y MET4 relleno de óxido de silicio. En la imagen se pueden distinguir los electrodos de excitación, lectura y el anclaje. Debido a la profundidad del nivel de MET3 el proceso de liberado del resonador ha durado 8 minutos. En el centro de la imagen está el puente liberado, cuyos anclajes tienen forma escalonada. En este caso el ancho de la estructura es apreciablemente mayor que en el caso de las vigas de tungsteno. En la figura 23.b se pueden distinguir las distintas capas que conforman la viga, en este caso las mismas que forman los electrodos y el anclaje.



a.)

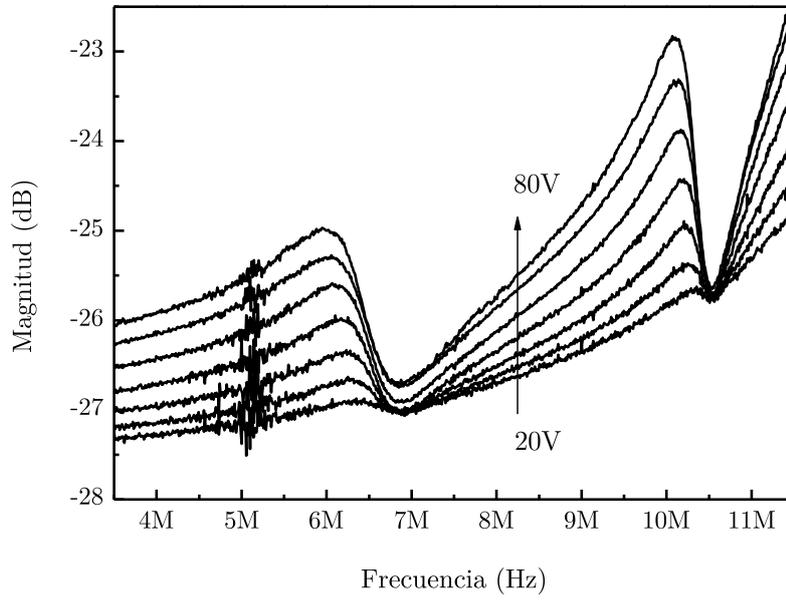


b)

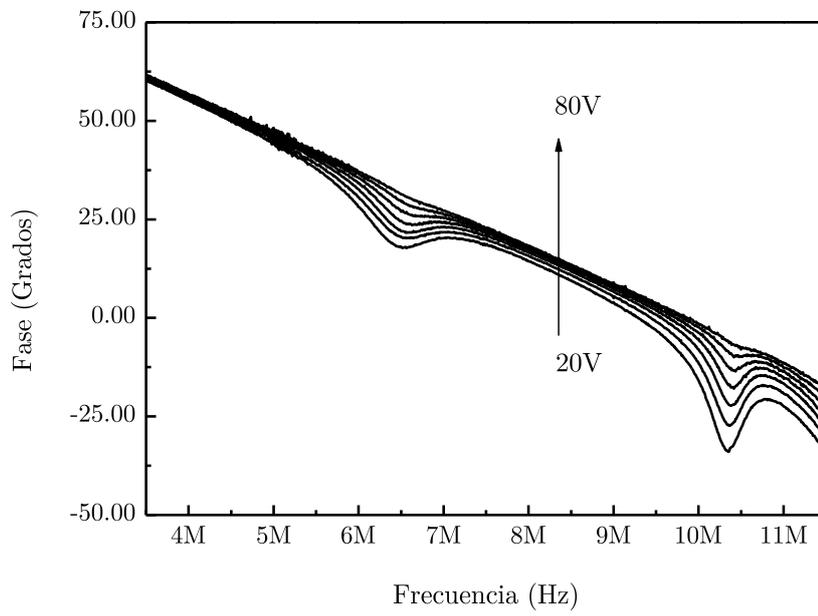
Figura 23. Imagen SEM del resonador MEMS basado en una palanca de MET3, VIA3, MET4 y óxido de silicio. a) Vista superior del resonador. b) Imagen del perfil de la palanca. Se ha añadido un esquema para mostrar el material de las capas que se observan. En la tabla I se dice que el grosor de la capa de metal (M4) es mayor que el correspondiente a los niveles metálicos inferiores M1-M3. Esto no se observa en la imagen SEM, pero es debido a que la capa superior ha sido la parte del resonador atracada durante más tiempo por el grabado húmedo, reduciendo su grosor considerablemente. (El HF ataca también al Al, aunque en menor medida que al SiO₂)

3.3.3 Caracterización

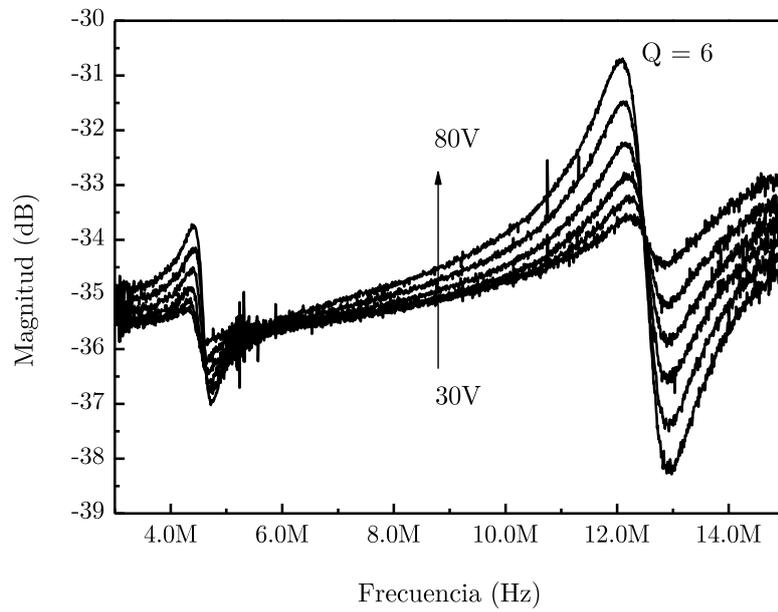
Debido a la imposibilidad de observar la resonancia en el dispositivo MEMS se ha realizado la caracterización del mismo a través del amplificador push-pull. Las respuestas en frecuencia y fase del sistema se muestran en la figura 24.



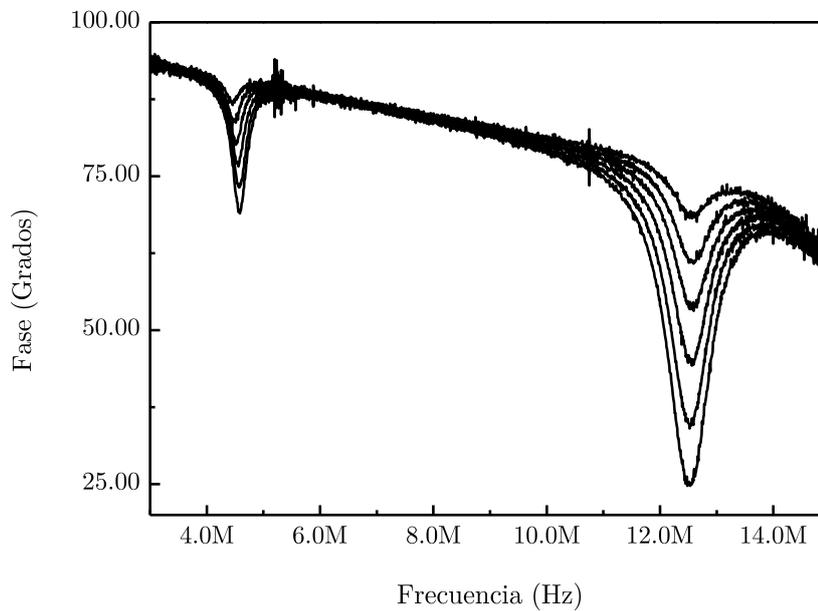
a)



b)



c)

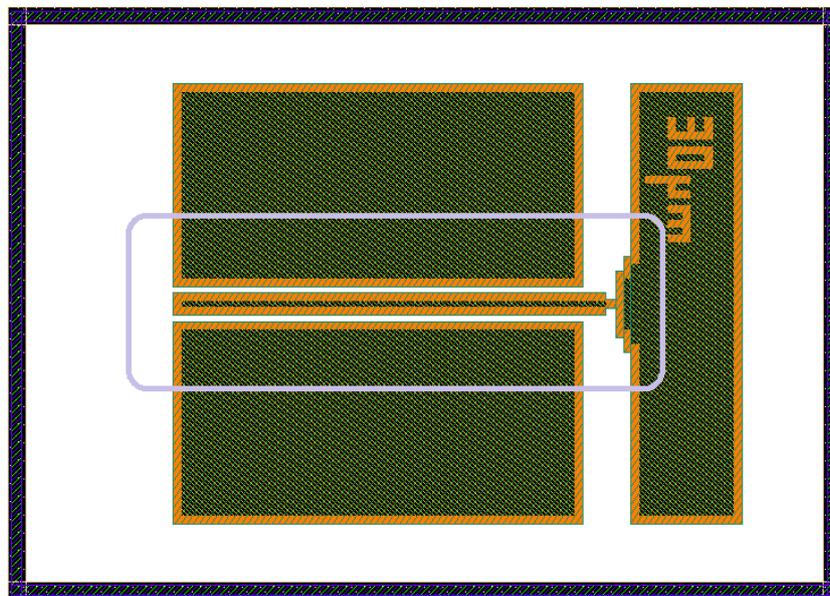


d)

Figura 24. Respuesta frecuencial de: a), c) Magnitud y b), d) Fase del resonador tipo palanca apilada junto al micro-amplificador. Las gráficas a) y b) se han medido en aire y las gráficas c) y d) en vacío (10^{-3} mbar).

Como se puede apreciar, las frecuencias de resonancia no son las predichas por la simulación mecánica. Además, la resonancia en aire no llega a tener 3 dB, por lo que resulta difícil estimar su factor de calidad. Por otra parte, la resonancia en vacío, pese a tener un valor mayor, sigue siendo muy pequeña, teniendo un factor de calidad $Q = 6$. En un principio podría pensarse que la estructura al tener un área de acoplo grande podría sufrir del amortiguamiento denominado *squeeze air damping*. Sin embargo, al apenas mejorar la medida en vacío el amortiguamiento parece venir del anclaje de la estructura. La estructura está anclada a través de una superficie de $1.665 \mu\text{m} \times 1.5 \mu\text{m}$, en lugar del área del resto de resonadores de $0.5 \mu\text{m} \times 1 \mu\text{m}$. El área de anclaje es 5 veces superior y puede estar jugando un papel importante en el amortiguamiento de la estructura.

En caso de utilizar la idea de esta estructura se debería rediseñar el anclaje de forma que se redujese la disipación de energía por anclaje. Una posibilidad para mejorar el diseño se muestra en la figura 25, donde se repite el diseño de la viga, sólo que esta queda anclada por un único rectángulo de VIA3 de grosor $1 \mu\text{m}$ y anchura de $0.5 \mu\text{m}$.



-  Fragmento de anillo de polarización
-  Combinación de MET3 y MET4
-  Combinación de MET3 VIA3 y MET4
-  VIA3
-  Perímetro de la ventana PAD

Figura 25. Diseño de la palanca multicapa donde se intenta reducir la disipación de energía del anclaje.

3.4 Palanca doble vía

Como segunda opción a la palanca presentada en el apartado anterior se ha intentado realizar una palanca monomaterial de tungsteno con un grosor de $2\mu\text{m}$. El diseño de este resonador se basa en intentar aprovechar el comportamiento mostrado en la figura 5 con el objetivo de lograr que dos niveles de VIA situados uno sobre otro queden unidos, formando una capa de VIA de $2\mu\text{m}$ de altura. Al llevar esta idea a la práctica tuvo lugar el proceso mostrado en la figura 26. Las dos capas de VIA no llegaron a estar conectadas entre sí, dando lugar a dos palancas independientes. Ambas palancas tienen el mismo grosor, de aproximadamente 775 nm , misma longitud de $10\mu\text{m}$ y están separadas entre sí una distancia de 350 nm , con un gap de 450 nm hasta los electrodos.

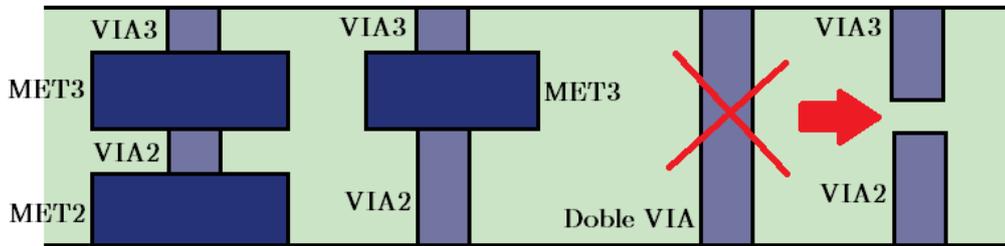
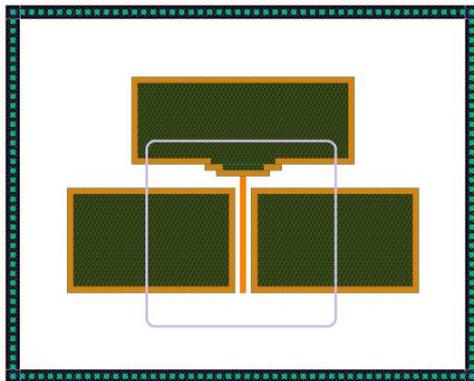


Figura 26. Resultado de fabricar el resonador de doble VIA. Las VIAS fabricadas tienen una altura similar (775nm), sin embargo están separadas por un gap aproximado de 350 nm .

La información mostrada en la figura 26 no se tuvo hasta observar el resultado de la fabricación. A continuación se mostrará el diseño inicial de la palanca, sin embargo las simulaciones que se mostrarán serán del sistema multipalanca.

3.4.1 Diseño y layout

Tanto el funcionamiento como las imágenes del resonador se muestran a continuación, pero primero, la figura 27 muestra el layout y dimensiones del resonador.



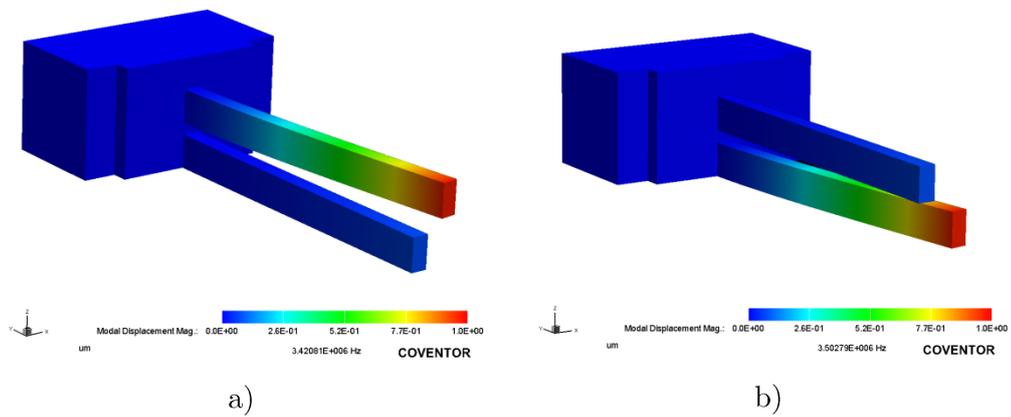
Dimensión	Valor
Grosor	775 nm
Longitud	10 μm
Anchura	500 nm
Gap	450 nm

Tabla X. Dimensiones de la palanca

- Fragmento de anillo de polarización
- Combinación de MET3 y MET4
- Combinación de MET3 VIA3 y MET4
- VIA3
- Perímetro de la ventana PAD

Figura 27. Layout del resonador MEMS puente. A la izquierda y derecha están los dos electrodos de excitación y lectura. En el centro se encuentra la palanca de VIA2 y VIA3, rellena de óxido y unida por uno de sus extremos al anclajes. En este caso los anclajes añaden los niveles de VIA2 y MET1 para crear el electrodo de excitación, actuación y anclaje.

Se ha realizado la simulación mecánica de la estructura multipalanca (Ver figura 28).



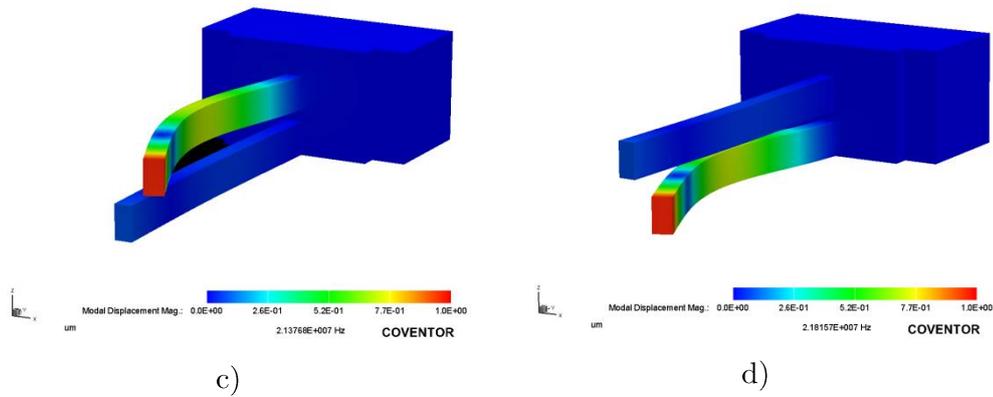


Figura 28. a) Primer modo de resonancia lateral de la palanca superior. b) Primer modo de resonancia lateral de la palanca superior. Primer modo de resonancia lateral de la palanca inferior. c) Segundo modo de resonancia lateral de la palanca superior. d) Segundo modo de resonancia lateral de la palanca inferior. Las frecuencias de resonancia de ambas palancas son ligeramente distintas debido a que el anclaje de ambas no es simétrico.

A partir de la simulación se han obtenido los parámetros mecánicos mostrados en la tabla XI, a partir de los cuales se obtienen las propiedades electromecánicas del resonador.

Modo		f_0 (MHz)	Masa ($\cdot 10^{-13}$ Kg)	Masa efectiva ($\cdot 10^{-14}$ Kg)	k (N/m)
Palanca superior	Primero	3.42	9.65	2.53	11.7
	Segundo	21.38	9.65	2.54	458
Palanca inferior	Primero	3.50	9.65	2.50	12.2
	Segundo	21.82	9.65	2.54	477

Tabla XI. Parámetros mecánicos de la multipalanca de tungsteno.

Los datos obtenidos a partir de la simulación mecánica se corresponden con los obtenidos en la simulación de la palanca individual, por lo que la resistencia mecánica y factor de calidad se mantendrán en el mismo valor que el mostrado en la palanca de VIA. Por lo que no se ha obtenido una mejoría en ese aspecto. Sin embargo, y como se recordará en los próximos apartados, conocer el funcionamiento de la interacción entre VIAS servirá para diseñar y mejorar nuevas estructuras MEMS en la tecnología AMS.

3.4.2 Fabricación

En la figura 29.a se puede observar la vista superior del resonador multipalanca de VIA2 y VIA3. El proceso de liberado del resonador han sido 8 minutos, ya que la VIA2 se encuentra en las capas de profundidad intermedias del chip. En la primera imagen se pueden distinguir los electrodos de excitación, lectura y el anclaje. En la figura 29.b y 29.c se muestran los anclajes de las dos palancas y los extremos libres de las mismas. Se puede apreciar en ambas el espacio que aparece entre las vigas.

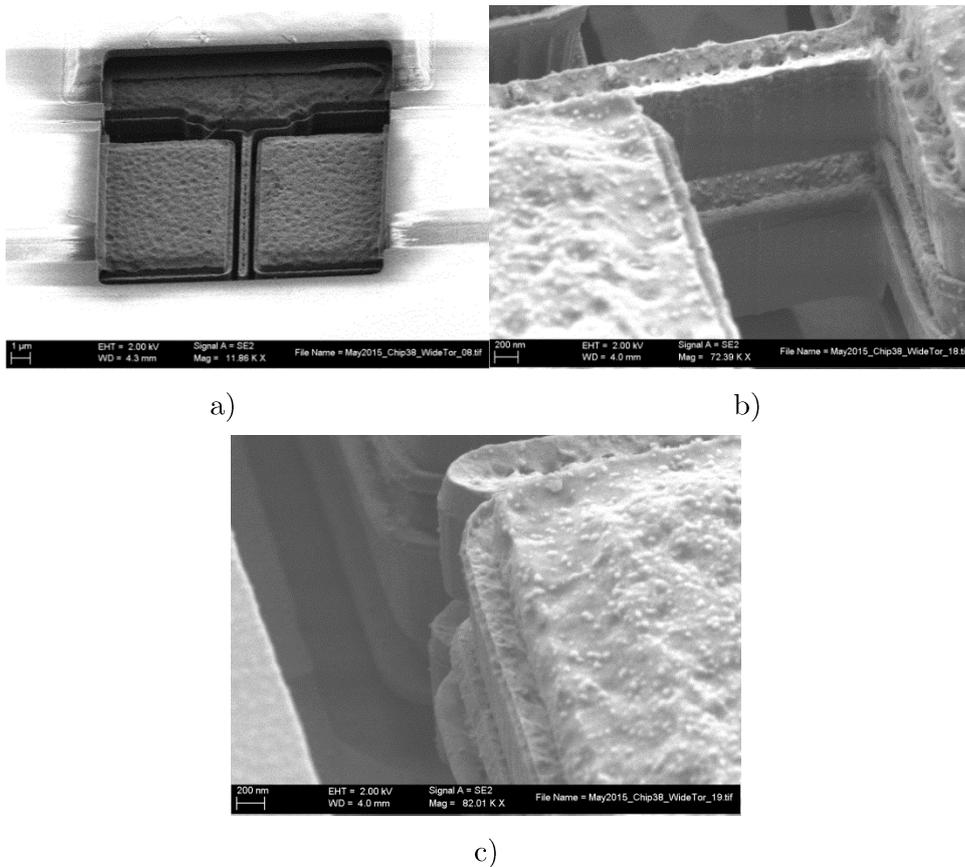
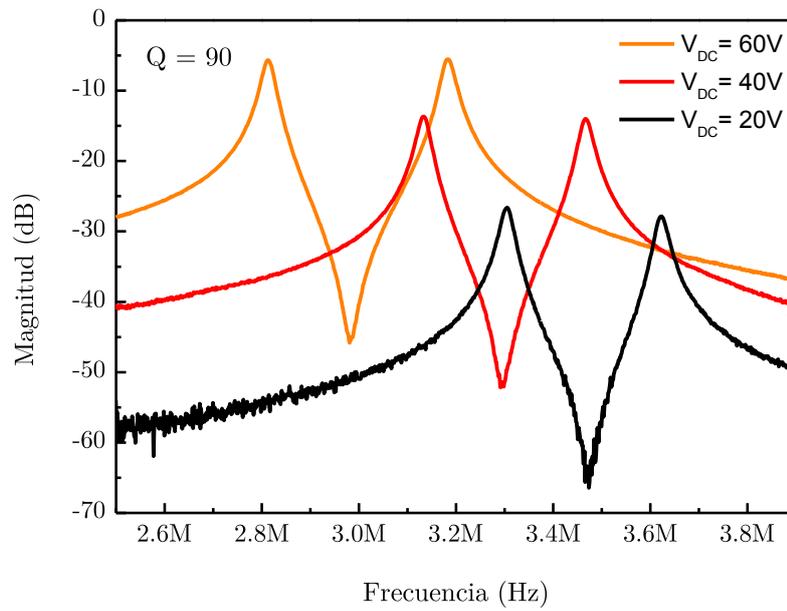


Figura 29. Imagen SEM del resonador MEMS basado en una doble palanca de VIA3. a) Imagen superior. b) Imagen del anclaje de la multipalanca donde se aprecia que se han fabricado dos palancas independientes en lugar de una única palanca. c) Imagen del extremo libre de las multipalancas.

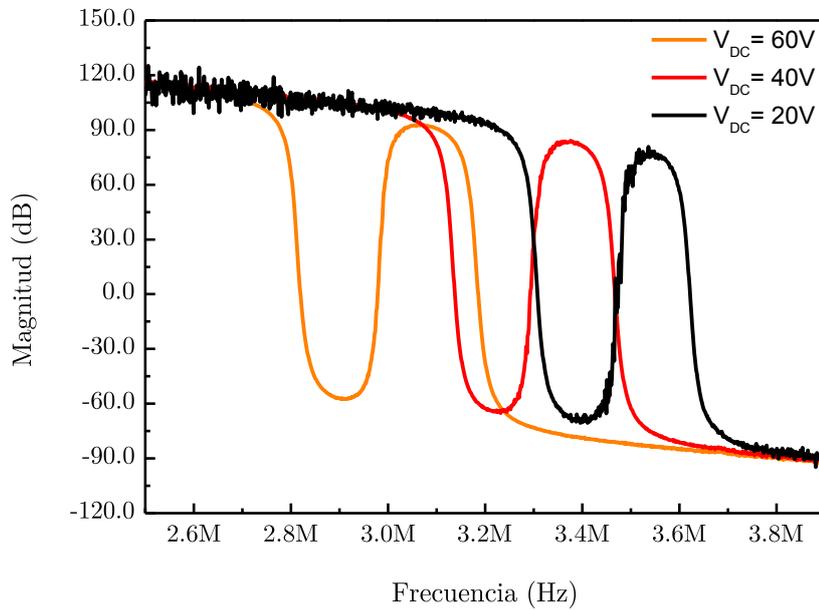
3.4.3 Caracterización

El resonador ha sido caracterizado mediante el amplificador diferencial simétrico. Esto tiene dos motivos. El primero es que la resistencia mecánica y

factor de calidad de cada viga va a ser similar al mostrado en la palanca de VIA3, por lo que no es necesario comparar el nivel de magnitud. Y segundo, dado que la corriente parásita produce una anti-resonancia y se está trabajando con dos resonadores cuyas resonancias están muy próximas, con el objetivo de distinguir ambos picos, resulta conveniente eliminar la corriente parásita a través del sistema diferencial. El resultado de la caracterización se muestra en la figura 30.



a)



b)

Figura 30. Respuesta frecuencial de a) magnitud y b) fase para distintas tensiones de polarización en aire.

El sistema formado por las dos palancas se comporta como dos resonadores RLC en paralelo con una única capacidad parásita (que es eliminada por la lectura diferencial). El sistema eléctrico equivalente del resonador junto al amplificador de transimpedancia se muestra en la figura 31.

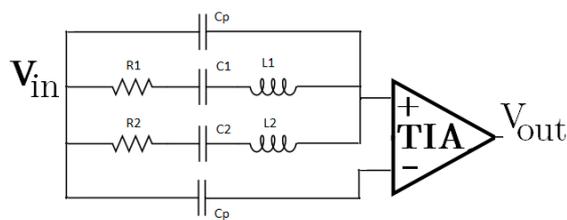


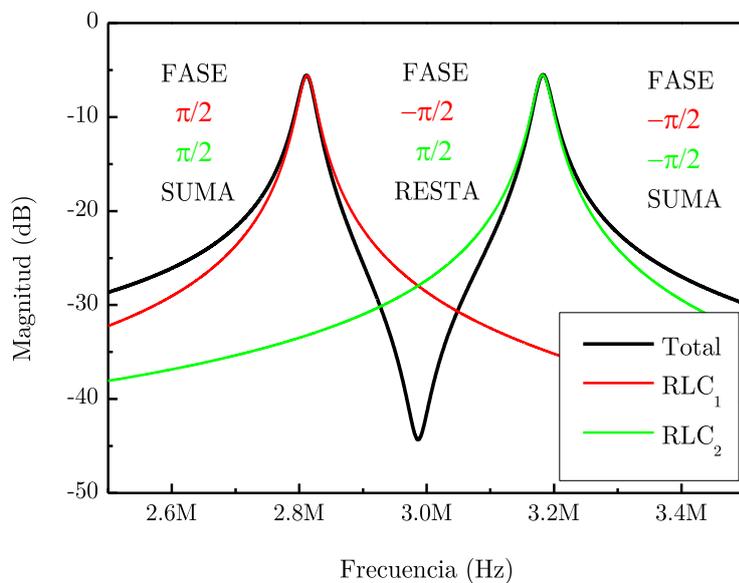
Figura 31. Esquema del circuito eléctrico equivalente del resonador torsional y el amplificador de transimpedancia.

La interacción entre las dos ramas RLC del sistema eléctrico equivalente produce una triple transición en la fase de π radianes. En la figura 32 la curva de magnitud y fase correspondiente a un voltaje de polarización de 60V se ha

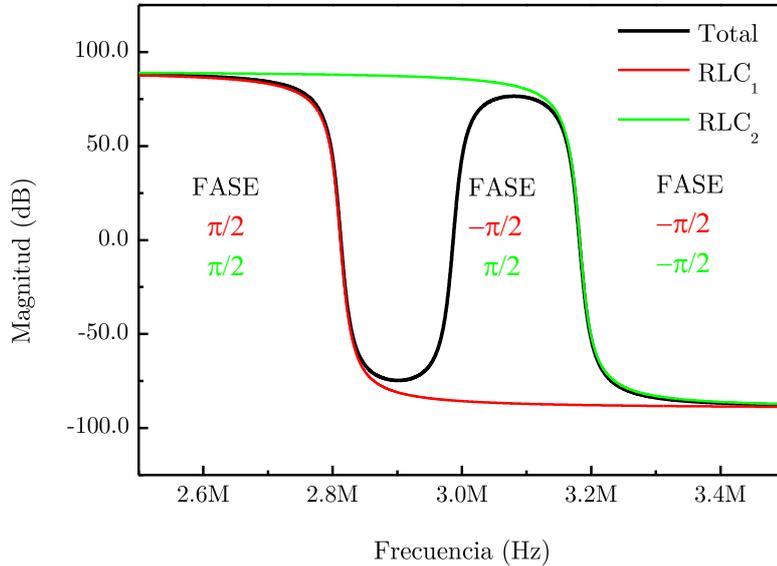
descompuesto en las contribuciones de la rama RLC correspondiente a la primera resonancia (color rojo), la rama correspondiente a la segunda resonancia (color verde) y la contribución total de ambas (color negro).

En los sistemas RLC para las frecuencias inferiores a la frecuencia de resonancia hay una contribución de fase de $+\pi/2$ radianes, en la resonancia una contribución de 0 y tras la resonancia una contribución de $-\pi/2$ radianes. Dado que hay dos sistemas RLC en paralelo la figura 32 queda dividida en 3 regiones. La primera región incluye las frecuencias inferiores a la primera resonancia, la segunda las frecuencias superiores a la segunda resonancia, y la tercera a las frecuencias comprendidas entre ambas resonancias. Para la primera y segunda zona la fase de ambos sistemas RLC es la misma, por lo que la interferencia entre ambas resonancias es constructiva. En la tercera zona las fases están opuestas en π radianes, por lo que la interferencia entre ambos modos es destructiva, dando lugar a la aparición de una anti-resonancia.

Las interferencias constructivas y destructivas dan lugar a tres transiciones de fase. Las dos transiciones descendentes se corresponden con las dos frecuencias de resonancia, y la transición central ascendente se corresponde con el punto intermedio entre ambas resonancias. Esta transición ascendente se da en el punto en el cual la magnitud de la primera resonancia pasa a ser inferior a la de la segunda resonancia, por lo que la contribución de fase de la segunda resonancia ($+\pi/2$ radianes) se impone sobre la contribución de fase de la primera resonancia ($-\pi/2$ radianes).



a)



b)

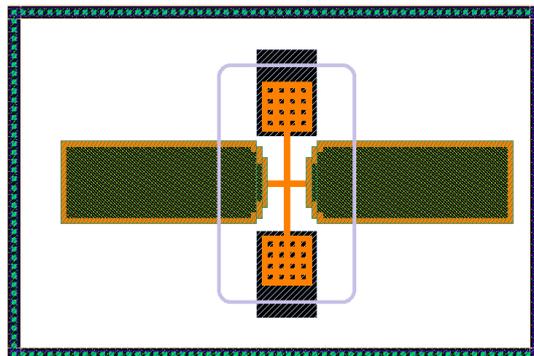
Figura 32. Representación de las distintas contribuciones de a) la magnitud y b) la fase de las distintas ramas del modelo eléctrico equivalente sistema resonador multipalanca. La magnitud y fase total se representan en negro, mientras que la magnitud correspondiente a cada rama se representa en rojo (Primera resonancia) y verde (Segunda resonancia).

3.5 Resonador Torsional

En los diseños anteriores se ha buscado optimizar la resistencia mocional intentando mantener la frecuencia de operación en el rango de 1-5 MHz. A partir de la experiencia previa del grupo en interruptores torsionales [1] se ha diseñado un resonador torsional, ya que las estructuras torsionales diseñadas por el grupo tenían un factor de calidad en aire más elevado. A continuación se muestran el diseño en los que los electrodos están situados debajo del resonador, por lo que el movimiento de estos resonadores podrá ser vertical o torsional. La estructura se ha diseñado utilizando la VIA3. Sin embargo, el material seleccionado para los electrodos ha sido la capa de MET2. Esto crea una distancia entre los electrodos y el resonador de $1.3 \mu\text{m}$, un gap que es más del doble que el utilizado en los resonadores flexurales horizontales. Debido a este valor de gap resulta importante insistir en que el objetivo a priori de los resonadores torsionales va a ser el de tener un factor de calidad elevado en aire y no el de tener una resistencia mocional competitiva.

3.5.1 Diseño y layout

La estructura torsional realizada está basada en un balancín de tungsteno. La estructura resonante ha sido implementada en el nivel de VIA3, mientras que los electrodos se encuentran bajo la estructura, implementados en la capa MET2. La estructura diseñada se muestra en la figura 33.



-  Fragmento de anillo de polarización
-  Combinación de MET3 y MET4
-  Combinación de MET3 VIA3 y MET4
-  VIA3
-  Perímetro de la ventana PAD

Gap	1.3 μm
Lado cuadrado ₁	0.5 μm
Lado cuadrado ₂	4.5 μm
Viga ₁	3.5 μm
Viga ₂	9.5 μm

Tabla XII. Dimensiones del resonador MEMS tipo balancín

Figura 33. Layout del resonador MEMS puente. A la izquierda y derecha están los dos electrodos de excitación y lectura implementados en MET2. Sobre cada uno de ellos se encuentran los extremos de la estructura tipo balancín. El balancín está anclado a dos estructuras de anclaje tipo MET3, VIA3, MET4.

Se ha realizado la simulación mecánica de la estructura (Ver figura 34).

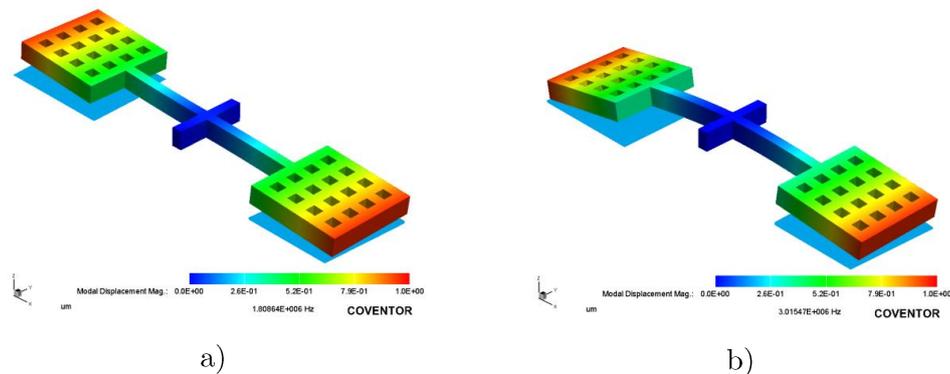


Figura 34. a) Primer modo de resonancia torsional del balancín. b) Primer modo de resonancia vertical del balancín.

A partir de la simulación se han obtenido los parámetros mecánicos mostrados en la tabla XIII, a partir de los cuales se obtienen las propiedades electromecánicas del resonador.

Modo	Frecuencia de resonancia natural	Masa	Masa efectiva	Constante elástica efectiva
Primero	1.81 MHz	$6.7309 \cdot 10^{-13}$	$3.1984 \cdot 10^{-13}$	41.4 N/m
Segundo	3.02 MHz	$6.7309 \cdot 10^{-13}$	$2.8649 \cdot 10^{-13}$	103 N/m

Tabla XIII. Parámetros mecánicos del balancín de tungsteno.

A partir de los datos de la tabla se puede estimar la resistencia mocional de la palanca para distintos valores de polarización V_{DC} y un factor de calidad $Q = 100$. En la figura 35 se compara la resistencia mocional de los dos primeros modo con los resonadores previamente mostrados. Ambos modos con una resistencia mocional muy superior a la obtenida en los diseños anteriores.

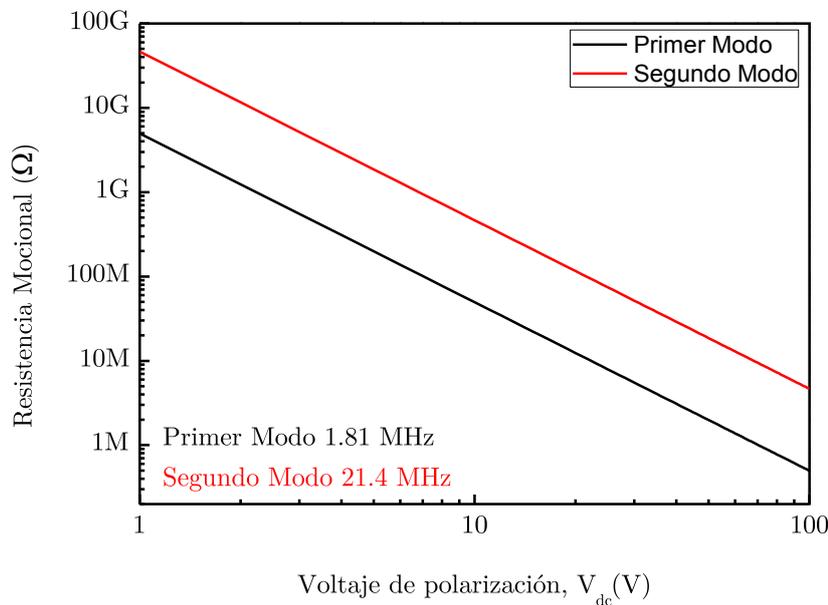


Figura 35. Resistencia mocional frente a la tensión de polarización para los dos primeros modos torsional y vertical del balancín.

3.5.2 Fabricación

En la figura 36 se muestra el segundo resonador torsional correspondiente al esquema mostrado en la figura 30. Resulta confuso que respetando la distancia mínima para la capa de VIA ($0,45\mu\text{m}$) esta se haya fabricado como se muestra en la figura 36. Dado a que el diseño final es totalmente distinto de lo esperado y simulado se ha repetido la simulación mecánica, esta vez adaptada a las nuevas dimensiones del resonador.

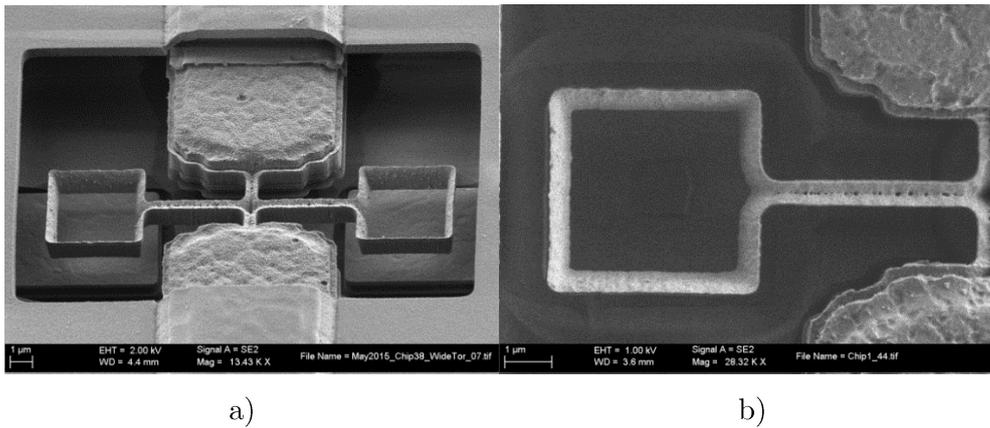


Figura 36. Imagen SEM del resonador MEMS basado en un balancín de VIA3. a) Imagen superior. b) Imagen del perímetro del cuadrado y el desdoblamiento de la VIA 3.

Tras los resultados de la fabricación se ha vuelto a realizar la simulación mecánica de la estructura (Ver figura 37), esta vez basada en su geometría real.

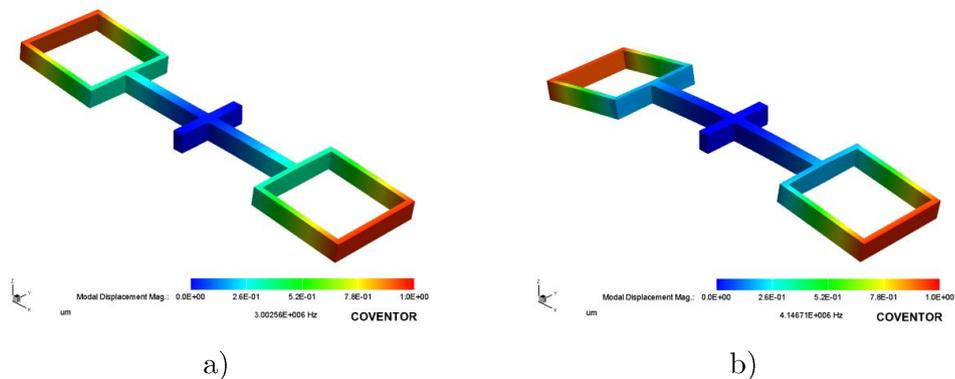


Figura 37. a) Primer modo de resonancia torsional del balancín. b) Primer modo de resonancia vertical del balancín.

A partir de la simulación se han obtenido los parámetros mecánicos mostrados en la tabla XIV, a partir de los cuales se obtienen las propiedades electromecánicas del resonador.

Modo	Frecuencia de resonancia natural	Masa	Masa efectiva	Constante elástica efectiva
Primero	3.00 MHz	$2.5621 \cdot 10^{-13}$	$7.6944 \cdot 10^{-13}$	273 N/m
Segundo	4.14 MHz	$2.5621 \cdot 10^{-13}$	$6.5505 \cdot 10^{-13}$	443 N/m

Tabla XIV. Parámetros mecánicos del balancín hueco de tungsteno.

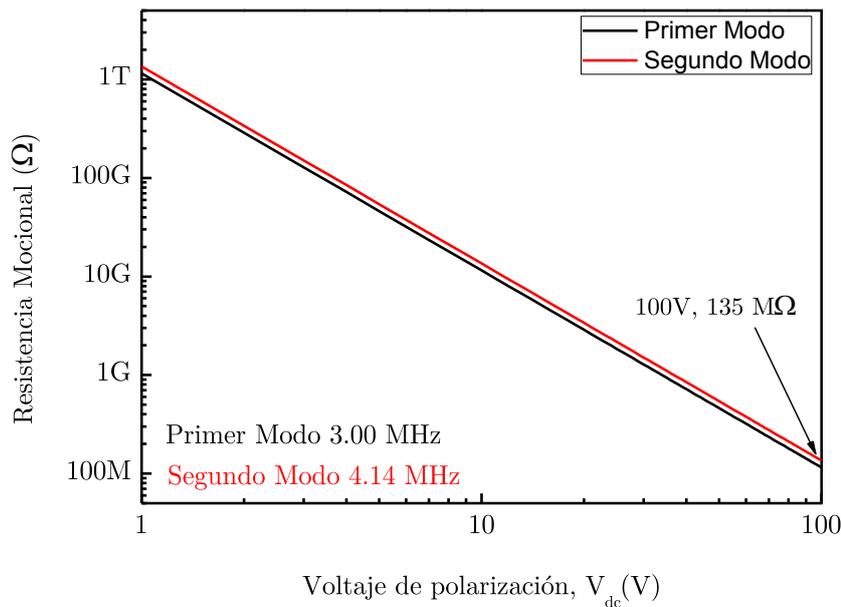


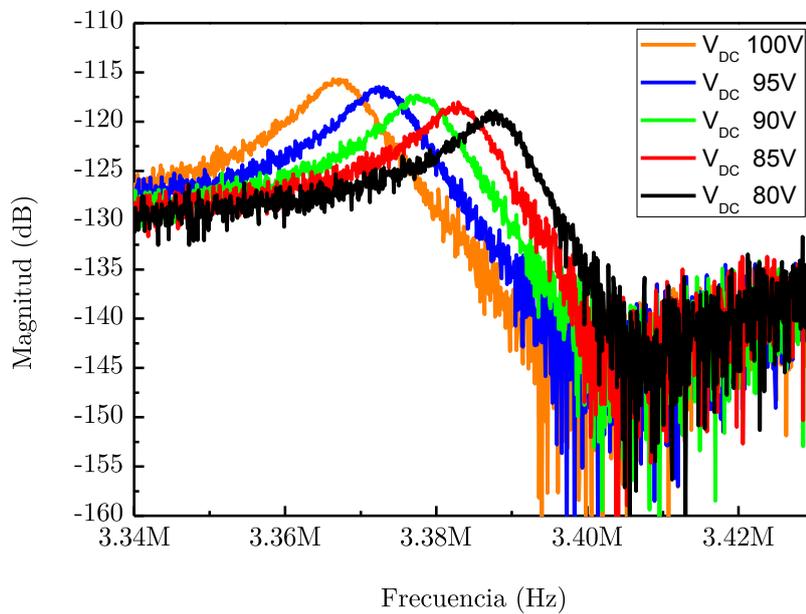
Figura 38. Resistencia mocional frente a la tensión de polarización para los dos primeros modos torsional y vertical del balancín.

En la figura 38 se muestra la resistencia mocional calculada para el resonador tipo balancín, suponiendo un factor de calidad $Q = 100$. La resistencia mocional es considerablemente más elevada que en cualquiera de los resonadores anteriores, esto es debido principalmente a dos factores. Primero se ha de tener en cuenta que en este diseño el gap es de $1.3 \mu\text{m}$ mientras que en los resonadores tipo viga el gap es de 450 nm . Esta diferencia de gap hace que, teniendo únicamente en cuenta la variable gap, la resistencia mocional sea 70 veces superior. Por otra parte, la

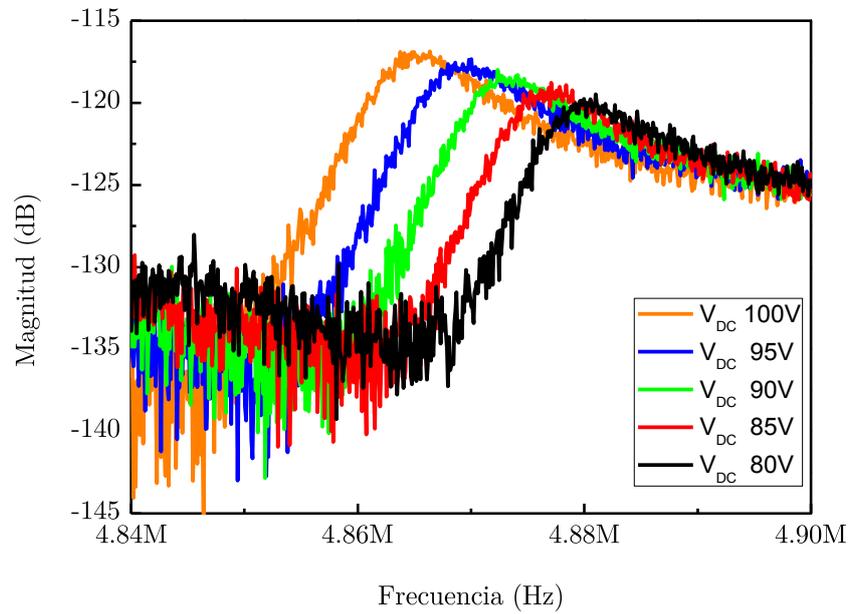
superficie de acoplo entre el resonador y los electrodos también se ha reducido al quedar hueco el resonador. En este caso se ha estimado que el área de acoplo efectiva será de $34 \cdot 10^{-12} \text{ m}^2$.

3.5.3 Caracterización

Debido a su gap de $1.3 \mu\text{m}$ el resonador se ha caracterizado utilizando voltajes DC de polarización elevados, del orden de 100V. Las curvas obtenidas se muestran en la figura 39.



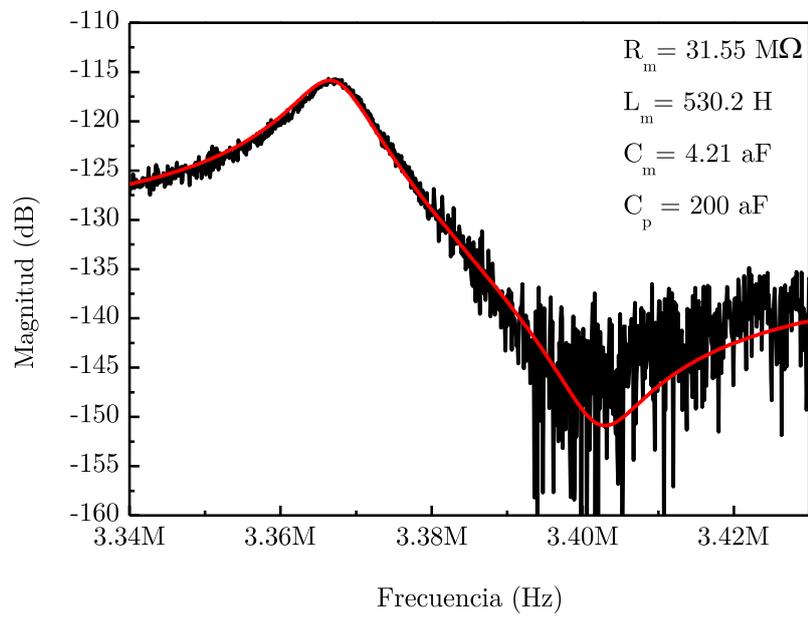
a)



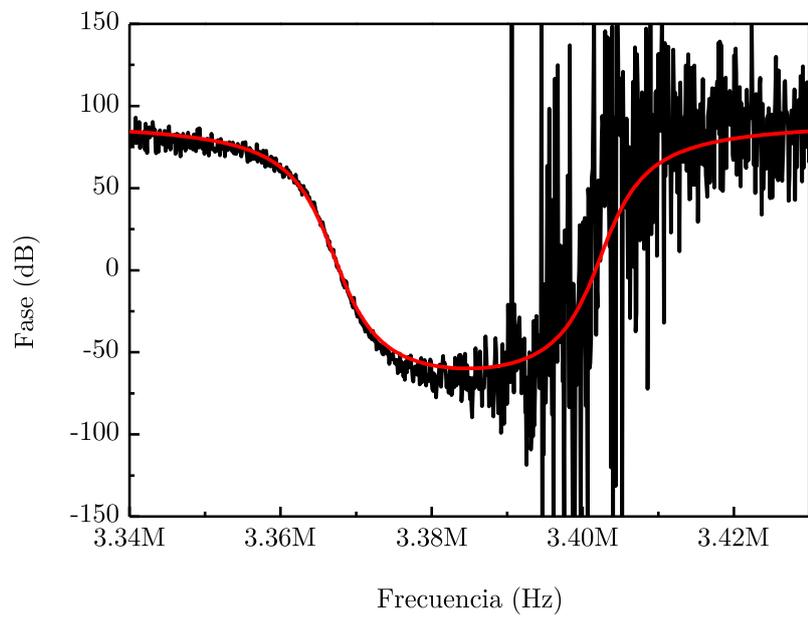
b)

Figura 39. Magnitud de la respuesta frecuencial del resonador tipo palanca para voltajes de polarización comprendidos entre 80V y 100V. a) Primer modo torsional, b) segundo modo vertical.

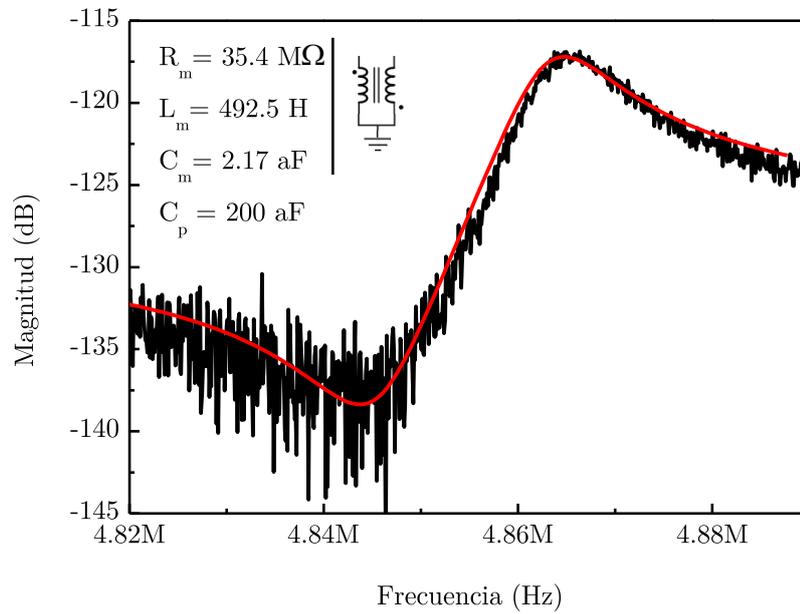
Las resonancias correspondientes a 100V se han ajustado a un sistema RLC en paralelo con una capacidad parásita para obtener la resistencia mocional del sistema torsional. Los ajustes realizados se muestran en la figura 40.



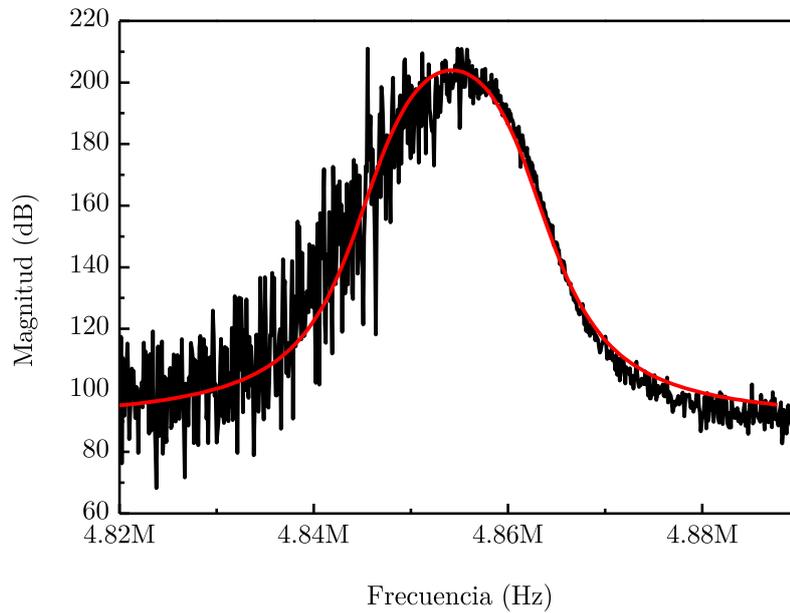
a)



b)



c)

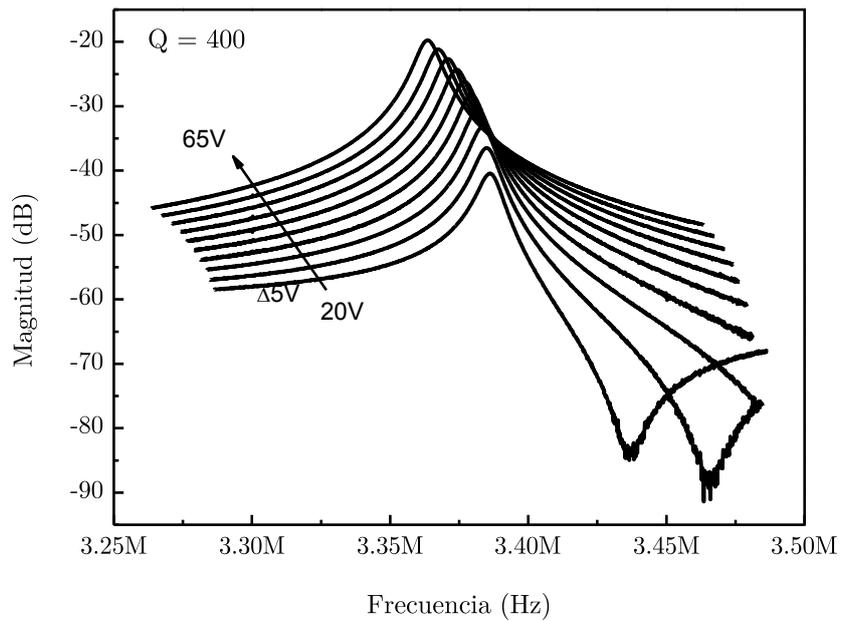


d)

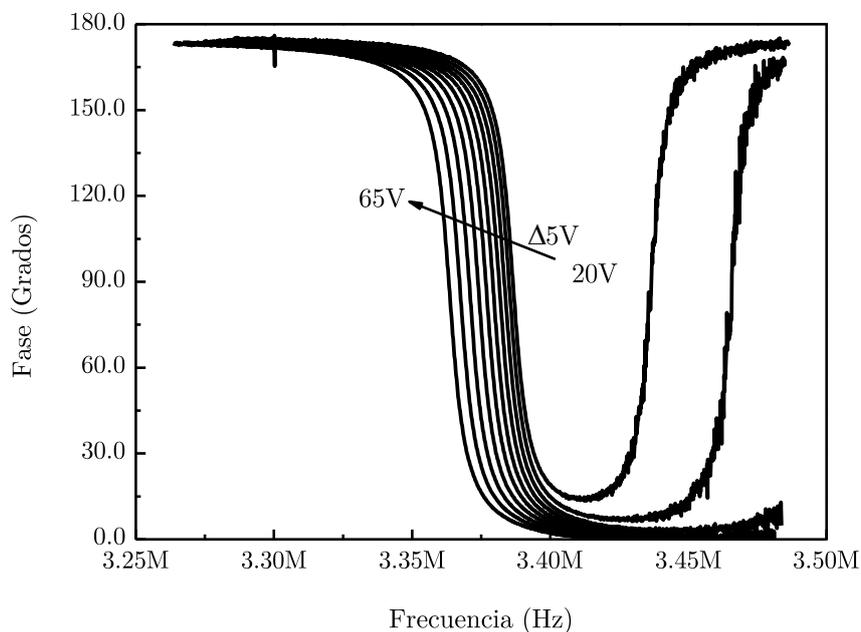
Figura 40. Representación de las curvas experimentales del resonador torsional ajustadas a un sistema RLC//C_p. Se representa: a) magnitud y b) fase del primer modo de resonancia y c) magnitud y d) fase del segundo modo de resonancia del sistema resonador torsional para una tensión de polarización de

100V. En las figuras a) y c) se incluyen los datos del sistema $RLC//C_p$ equivalente. En la figura c) se ha añadido un transformador a la derecha de los valores del sistema RLC para indicar que la fase corriente de la rama correspondiente al segundo modo de resonancia está girada π radianes respecto a una rama RLC.

La resistencia mocial obtenida mediante el ajuste RLC es muy cercana a la estimada en la simulación, $33M\Omega$ medido experimentalmente para 100V, y $29M\Omega$ a partir de los datos de la simulación. Para obtener una mayor definición en las medidas se ha realizado la caracterización del resonador utilizando el amplificador push-pull para tener una mayor sensibilidad. Las respuestas en frecuencia y fase del sistema con el amplificador se muestran en la figura 41.



a)



b)

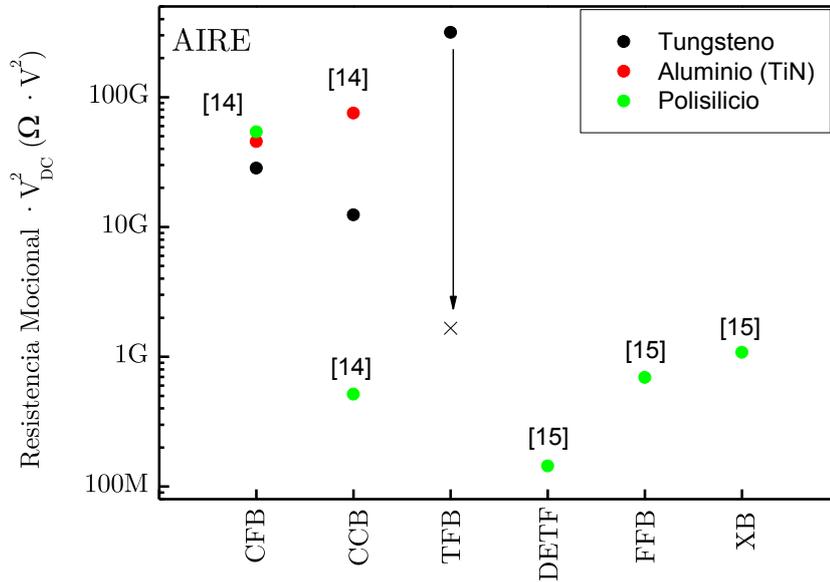
Figura 41. Respuesta frecuencial de: a) Magnitud y b) Fase del resonador torsional junto al micro-amplificador en aire.

Aunque la resistencia mocional es alta, resulta interesante ver que el factor de calidad de la estructura en aire asciende a un valor de $Q = 400$. Por lo tanto esta estructura mejora el factor de calidad cuatro veces mayor que el resto de resonadores medidos en condiciones de presión ambiental.

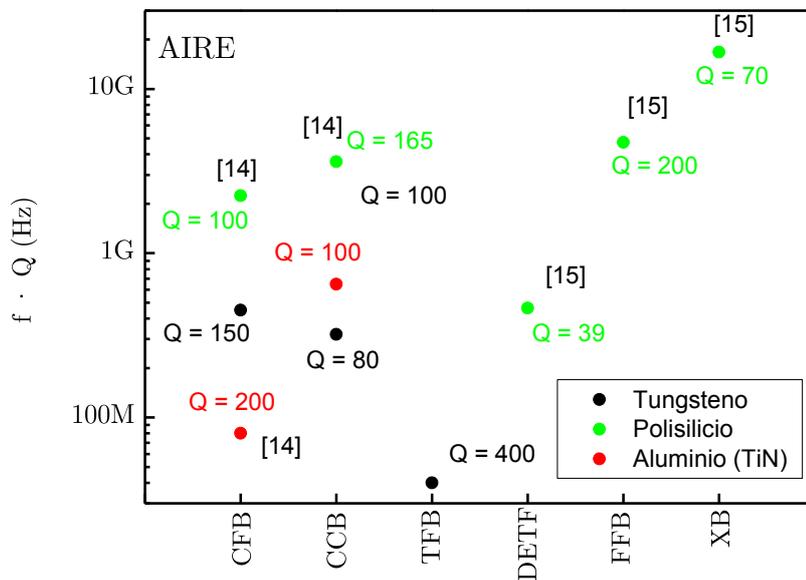
4 Conclusiones

A continuación, en la figura 42, se comparan dos figuras de mérito para los distintos resonadores fabricados por el grupo ECAS en la tecnología de AMS $0.35\mu\text{m}$, incluyendo los resonadores de tungsteno presentados en este capítulo. Las dos figuras de mérito se definen en (5).

$$FoM_1 = R_m V_{DC}^2 \quad ; \quad FoM_2 = f \cdot Q \quad (5)$$



a)



b)

Figura 42. a) Figura de mérito (FoM) basada en el producto resistencia motional por el voltaje de polarización al cuadrado. b) Figura de mérito (FoM) basada en el producto frecuencia de resonancia y factor de calidad. La procedencia de los resonadores que no han sido implementados en tungsteno puede localizarse en las referencias [14] o [15] según se indica en las gráficas.

A la hora de comparar los resultados se hace evidente que el polisilicio destaca como mejor material, ya que tiene las menores resistencias mecánicas por V_{DC}^2 debido a su reducido gap (de hasta 40nm) y altas frecuencias de resonancia. Por otra parte, el tungsteno resulta ser una alternativa al metal, ya que se encuentra cercano a este en ambas figuras de mérito.

El resonador torsional de tungsteno tiene el factor de calidad en aire más elevado de todos los resonadores presentados, sin embargo, su gap de 1.3 μ m no le permite sobresalir en resistencia mecánica respecto al resto de resonadores. Es por tanto importante conseguir reducir el gap para reducir así la resistencia mecánica del mismo.

Dado que el resonador torsional ha tenido el mayor factor de calidad en aire se debería realizar un nuevo diseño de la estructura torsional II, incrementando la frecuencia de resonancia y manteniendo el factor de calidad, haciendo al resonador más competitivo para la FoM₂ en aire.

5 Referencias

- [1] M. Riverola, G. Vidal-Álvarez, F. Torres, and N. Barniol. "CMOS-NEM relay based on tungsten VIA layer". IEEE Sensors 2014 Proceedings, pp 162-165, Valencia, Spain, 2-5 Nov 2014.
- [2] H. Kahn, S. Stemmer, K. Nandakumar, A. H. Heuer, R. L. Mullen, R. Ballarini, and M. A. Huff, 1996, "Mechanical Properties of Thick, Surface Micromachined Polysilicon Films", The Ninth Annual International Workshop on Micro Electro Mechanical Systems, San Diego, California, USA, pp 343-353.
- [3] Joan Lluís López et al. "A CMOS-MEMS RF-Tunable Bandpass Filter Based on Two High-Q 22-MHz Polysilicon Clamped-Clamped Beam Resonators" IEEE Electron Device Letters (Vol 30, Issue 7) July 2009.
- [4] Joan Lluís López et al. "Double-Ended Tuning Fork Resonator in 0.35 μ m CMOS Technology for RF Applications" Research in Microelectronics and Electronics. PRIME 2008. June 22- April 25 2008.
- [5] J.E. Sader et al "Method for the calibration of atomic force microscope cantilevers", Review of Scientific Instruments, vol. 66 (7), pp 3789-98, 1995.
- [6] Jaume Verd et al. "CMOS Cantilever-based Oscillator for Attogram Mass Sensing" IEEE International Symposium on Circuits and Systems. New Orleans, LA. 27-30 May 2007.
- [7] J. Verd, A. Uranga, J. Segura and N. Barniol, "A 3V CMOS-MEMS oscillator in 0.35 μ m CMOS technology," in 2013 Transducers and Eurosensors XXVII: The 17th International Conference on Solid-State Sensors, Actuators and Microsystems, TRANSDUCERS and EUROSENSORS 2013.

- [8] Vidal-Álvarez, G.; Marigó, E.; Torres, F.; Barniol, N. Fabrication and Measurement of a Suspended Nanochannel Microbridge Resonator Monolithically Integrated with CMOS Readout Circuitry. *Micromachines* 2016, 7, 40.
- [9] A. Uranga, J. Verd, N. Barniol, “CMOS-MEMS resonators: From devices to applications” *Microelectronic Engineering* 132 (2015) 58-73. Sep 2014.
- [10] G.K. Fedder, R.T. Howe, T.-J.K. Liu, E.P. Quévy, *Proceedings of the IEEE* 96 (2) (2008) 306–322, <http://dx.doi.org/10.1109/JPROC.2007.911064>.
- [11] M. Riverola et al. “Dynamic Properties of Three-Terminal Tungsten CMOS-NEM Relays Under Nonlinear Tapping Mode” *IEEE Sensors Journal*, Vol 16, Issue 13. Jun 2016.
- [12] C.T.-C Nguyen and R.T. Howe, “An Integrated CMOS Micromechanical Resonator High-Q Oscillator”, *IEEE J. Solid-State Circuits*, vol. 34, no. 4, pp. 440-455, April 1999.
- [13] Yu-Chia Liu, Ming-Han Tsai, Wen-Chien Chen, Ming-Huang Li, Sheng-Shian Li, Weileun Fang, “Temperature-Compensated CMOS-MEMS Oxide Resonators”, *J. Microelectromech. Syst.*, vol. 22, no. 5, pp. 1054–1065, Oct. 2013. DOI: 10.1109/JMEMS.2013.2263091
- [14] Jaume Verd Martorell “Monolithic CMOS-MEMS Resonant Beams for Ultrasensitive Mass Detection” PhD Thesis. 2008.
- [15] Eloi Marigó Ferrer “Monolithic Packaging and Transduction Approaches for CMOS-MEMS Resonators” PhD Thesis 2012.