

VI TEST

En este capítulo se aborda el test de la interfaz implementada, así como de los circuitos que la constituyen. Los objetivos son los siguientes:

- Comprobar las características de los bloques básicos
- Características de los moduladores Δ - Σ
- Comparar los dos tipos de moduladores Δ - Σ (con capacidades MOS y capacidades lineales)
- Comprobar el correcto funcionamiento del sistema sensor-interfaz.

Para poderlos realizar se ha realizado una placa de test y se ha puesto a punto un sistema de test. Por último se han establecido una serie de procedimientos de medida.

VI.1 Diseño de la Placa de Test

El test de un circuito de estas características no es una tarea sencilla. El primer obstáculo es el diseño la placa de test, que permite la conexión del circuito integrado a los equipos de generación y medida de señales.

La razón fundamental es que se utilizan dos tipos de señales de características completamente opuestas. La entrada del circuito es de tipo analógico, con tiempos de respuesta de milisegundos y amplitudes que varían

de Voltios a decenas de microvoltios. La salida y el reloj son señales digitales, con frecuencia de megahercios, y amplitud de Voltios.

Estas señales se mezclan en una misma placa. Si esta no se realiza con las protecciones adecuadas, el ruido generado en la placa puede enmascarar las prestaciones del circuito integrado. Por lo tanto, en el diseño de la placa se tienen que seguir exactamente las mismas reglas de diseño que las utilizadas para el diseño del circuito integrado.

La primera premisa para el diseño de la placa ha sido minimizar el número de componentes a introducir, y que sean, en la medida de lo posible, dispositivos de montaje superficial (SMD). De esta forma se reducen las posibles interferencias entre componentes.

En segundo lugar, se ha incluido un plano de masa, y uno de V_{SS} . El primero es la referencia analógica, y el segundo la digital. Ambos planos actúan como electrodos de una capacidad, que filtra el ruido de alta frecuencia que pueda haber entre ambas.

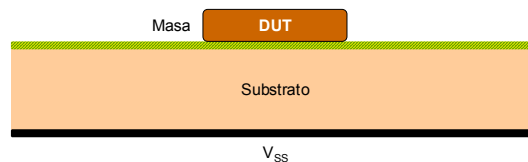


Figura 1. Esquema de ubicación de los planos de la placa de test.

El plano de masa se ha ubicado en la parte superior de la placa, ya que es en esta donde va el integrado a testar. Se ha procurado que este plano sea lo más continuo posible, de forma que se minimicen las posibles antenas del circuito.

El plano de V_{SS} y la mayoría de componentes y pistas se han conectado en la parte inferior de la placa. De esta forma, el plano de masa actúa de blindaje capacitivo frente a posibles interferencias con el integrado, además de reducir las que se producen entre las pistas y/o componentes.

Se ha dividido la placa en una zona digital y otra analógica. Se han separado las tensiones de V_{SS} y V_{DD} analógicas y digitales. Y se han incluido filtros capacitivos para minimizar las interferencias.

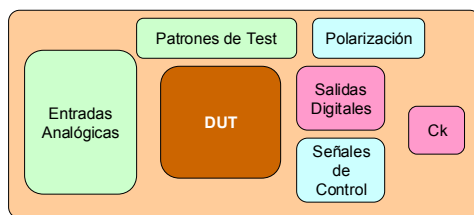


Figura 2. Distribución de señales en la placa de Test.

Por último, se ha reducido al mínimo la longitud de las pistas de señales analógicas. Con todas estas premisas, se ha realizado una placa, de la que se muestra una fotografía a continuación.

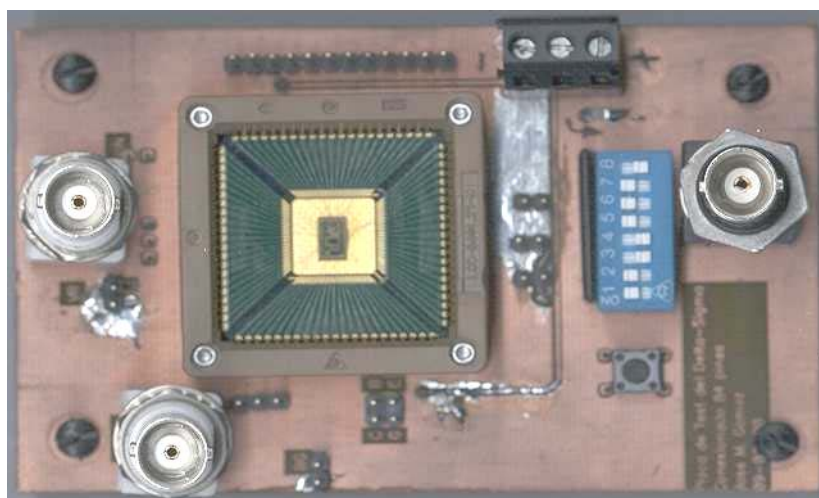


Figura 3. Fotografía de la cara superior de la placa de test

En esta placa se observa lo mencionado anteriormente. El plano superior, o plano de masa, solo se ve interrumpido por los pads de conexión de los diferentes componentes y por una pista de V_{SS} .

La mitad izquierda de la placa constituye la zona analógica. Esta tiene dos conectores BNC que permiten introducir una señal en tensión al modulador cuando este trabaja en modo test. En la zona superior se encuentran un conjunto de postes que permiten el test del OTA y el comparador por separado. Por último aparecen una serie de pads para poder conectar un sensor capacitivo.

La mitad derecha constituye la zona digital. Esta incluye un conector BNC para la entrada del reloj, un microconmutador que permite seleccionar los modos de trabajo de los moduladores y un conjunto de postes de donde se obtiene la salida del modulador. Por último incluye un pulsador de reset del circuito.

En el centro se encuentra el circuito a medir (DUT), el cual se conecta por medio de un zócalo que permite cambiar de forma rápida el circuito que se está midiendo.

Tal y como se ha mencionado, el resto de componentes se encuentran en la cara inferior de la placa, con lo que se minimizan interferencias con el circuito a testar. A partir de esta placa se ha realizado el test del OTA, el comparador y el modulador.

VI.2 OTA

En el circuito se incluyó un OTA como estructura de test. Con el se realizaron medidas de los diferentes parámetros de diseño, así como de aquellos que son debidos a las propias características de la tecnología utilizada.

A continuación se muestran los diferentes tests realizados.

VI.2.1 Test en continua

El primer parámetro que se ha calculado del OTA es la tensión de offset (V_{offset}). Para ello se ha conectado el OTA en configuración de seguidor de tensión no-inversor.

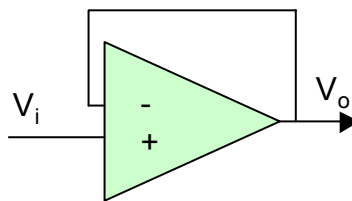


Figura 4. Esquema de un OTA en configuración no-inversora.

A la entrada se introduce una señal continua, que se va variando entre las tensiones de polarización. El resultado es de $10\mu\text{V}$, con una dispersión del 50%, lo cual es sorprendente teniendo en cuenta que se está trabajando en una tecnología digital, y que no se ha introducido ningún tipo de compensación del offset. Sin olvidar que las simulaciones daban valores superiores de offset (-

130mV). La única explicación es que las tolerancias de los diferentes dispositivos se han compensado mejorando las características del offset.

El rango en modo común (CMR) se ha realizado a partir del mismo circuito, ya que gracias al bucle de realimentación, ambas entradas están a la misma tensión. El resultado que se obtiene es un CMR de $-2V$ a $1,5V$.

El rango dinámico de salida (OVS) se ha calculado a partir de una configuración inversora, con una resistencia de entrada de $100k\Omega$ y una resistencia de realimentación de $500k\Omega$.

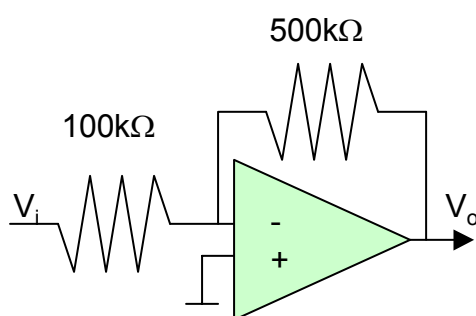


Figura 5. Esquema de una configuración inversora, con amplificación 1:5.

Introduciendo una señal de continua entre los valores de polarización se obtiene un OVS entre $\pm 2V$, el cual es más que suficiente teniendo en cuenta que se trabaja entre $\pm 1,25V$.

VI.2.2 Test en alterna

Para realizar el estudio de los parámetros en alterna se conectó el amplificador en bucle abierto, con una carga de $1nF$. Tanto la entrada, como la salida se conectaron al analizador de Fourier. A la entrada se introdujo ruido blanco. A la salida se obtuvo una frecuencia de ganancia unitaria de $84kHz$. Con una capacidad de $6,4pF$ y suponiendo condiciones ideales, pasa a ser de $13MHz$, lo cual es coherente con los resultados obtenidos en las simulaciones eléctricas ($10MHz$).

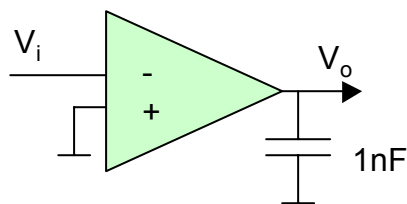


Figura 6. OTA en bucle abierto con carga de 1nF.

La capacidad puede alcanzar un valor de 8,4pF sin salirse de especificaciones. Lo cual deja un margen de 2pF para capacidades parásitas. Este valor difícilmente se alcanzará como consecuencia de las capacidades parásitas.

La ganancia en continua (A_V) se puede obtener a partir de la misma curva, mirando el comportamiento para frecuencia 0. Se observa en este caso un A_V de 70dB.

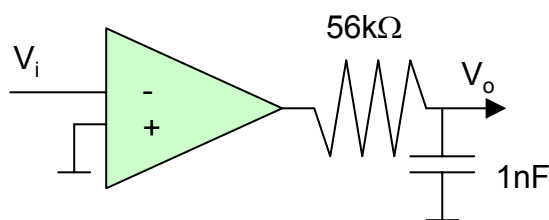


Figura 7. OTA en bucle abierto con carga de 56kΩ y 1nF.

Por último se ha calculado la distorsión armónica (THD) que introduce el OTA trabajando en configuración de seguidor no-inversor. La carga de salida es de 56kΩ y 1nF. Si se introduce una señal sinusoidal, se obtiene una THD inferior a 64dB.

VI.2.3 Test en transitorio

Para el cálculo de la relación de giro (SR), se ha configurado el operacional en bucle abierto. La salida se conecta a una carga de 1nF. A la entrada se introduce una señal cuadrada de amplitud de 0,5V y frecuencia 1kHz. Se obtiene un SR de 167V/ms. Extrapolando a la carga real, se ve que para una carga de 6,4pF el SR es de 26V/μs, que esta muy por encima de los 5V/μs obtenidos en simulación. Si se compara con las especificaciones introducidas para el diseño del OTA, (38pF y 5V/μs) se observa que en este caso, el SR es de 4,4V/μs, lo cual es coherente con las mismas.

A partir de este resultado, se puede calcular la corriente de salida, que es de $167\mu\text{A}$.

VI.2.4 Resultados

Los resultados anteriores se resumen en la tabla siguiente:

| <i>Parámetro</i> | <i>Valor</i> |
|--|--------------------|
| Tensión de Polarización | $\pm 2,5\text{V}$ |
| Carga | 1nF |
| Tensión de Offset | $-6,36\mu\text{V}$ |
| Rango en Modo Común | -2V a 1,5V |
| Velocidad de Variación | 167V/ms |
| Intensidad de Salida | $167\mu\text{A}$ |
| Excursión del Voltaje de Salida | $\pm 1,9\text{V}$ |
| Ganancia por Ancho de Banda | 84kHz |
| Ganancia en continua | 70dB |
| THD | > 64dB |

Tabla 1. Resultados del test del OTA Folded-Cascode

Como se observa en estos resultados, el OTA es adecuado para los requerimientos que se impusieron en las especificaciones.

VI.3 Comparador

Del comparador se ha realizado únicamente un test en continua, para conocer el valor de offset que introduce en la medida. Para realizar dicha medida, se ha utilizado el mismo método que para medir los parámetros de continua del OTA. El resultado obtenido se muestra en la Figura 8.

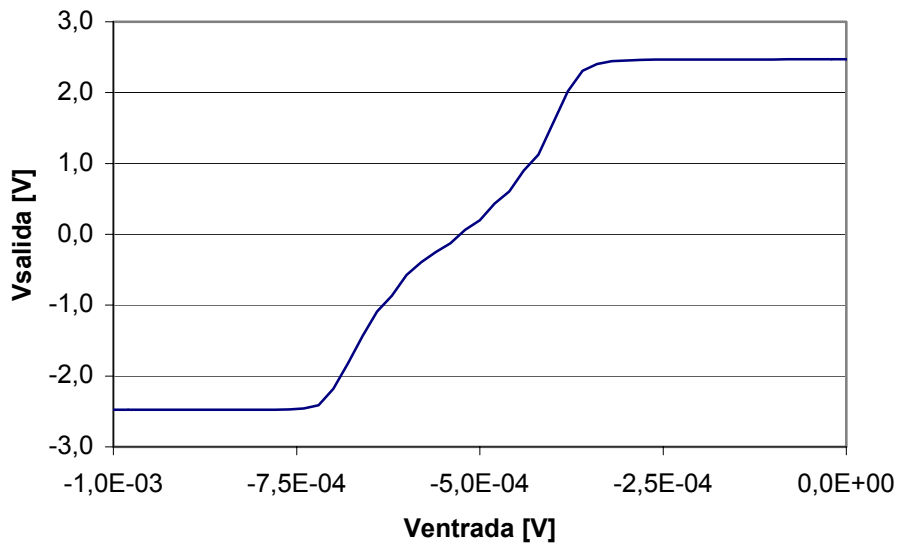


Figura 8. Tensión de salida frente a tensiones de entrada próximas a la de offset.

La gráfica sólo muestra la zona próxima a la tensión de offset del comparador. En ella se observa que el valor es de unos $-519\mu\text{V}$.

VI.4 Modulador Δ - Σ

En primer lugar, se ha caracterizado el modulador Δ - Σ en modo test. Para poderlo realizar, se precisan equipos de altas prestaciones, y un entorno de bajo ruido. A modo de ejemplo, se necesita un generador de señales con una resolución como mínimo 1bit superior a la que se desea medir. A la vez se necesita disponer de un equipo de medida digital que permita extraer una cadena de bits a la velocidad de salida del modulador.

En este caso se ha realizado el test basándose en el generador de señales del analizador de Fourier Tektronix 2642A. La razón es que este dispone de una salida de 16bits con un rango dinámico entre $\pm 10\text{V}$. Teniendo en cuenta que el modulador trabaja con tensiones entre $\pm 2,5\text{V}$, solo se pueden realizar estudios con resoluciones de 14bits^[Gom99].

Entre el analizador de Fourier y la entrada analógica de circuito es necesario incluir un filtro RC, con una capacidad de valor elevado. La razón es que de esta forma es la capacidad la que proporciona la carga al circuito, y no la fuente de tensión^[Tem98]. Con ello se reducen de forma significativa los picos

de corriente que tiene que proporcionar el generador cuando se realiza la carga de la capacidad de entrada del modulador.

Para medir la salida se ha hecho uso de un Analizador Digital HP 16500. Este permite leer señales digitales a alta frecuencia, y guardarlas en un fichero que posteriormente es volcado en un ordenador. Este fichero es tratado con Matlab para obtener la amplitud de la sinusoide de salida y su primer armónico por el método de la minimización del error sinusoidal^[Bos88], así como del suelo de ruido.

En un primer momento también se hizo uso de una fuente de tensión para proporcionar una tensión de referencia al circuito más estable que la propia de polarización (ya que esta incluye picos a las señales digitales). Sin embargo, esta solución no reducía los niveles de ruido y sí el rango dinámico, por lo que se optó por conectar la tensión de referencia a la de polarización. Para reducir fuentes de ruido, se puso entre ambas un filtro pasivo.

El diagrama de bloques del sistema de test se muestra en la Figura 9.

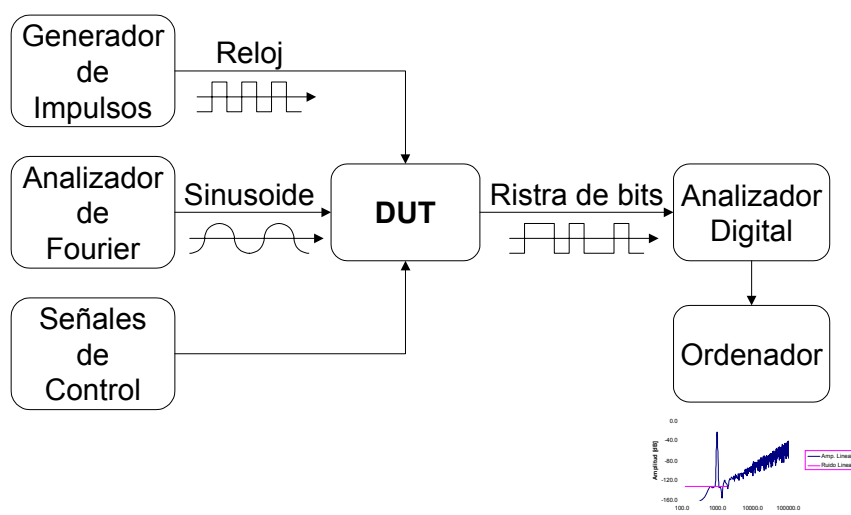


Figura 9. Esquema del sistema de medida del modulador Δ - Σ (DUT)

VI.4.1 Estudio a diferentes frecuencias de muestreo

El primer estudio que se ha realizado ha sido la medida del suelo de ruido del modulador dependiendo de la frecuencia de muestreo, con una

tensión de polarización de $\pm 2,5V$. Los resultados obtenidos se muestran en la Figura 10.

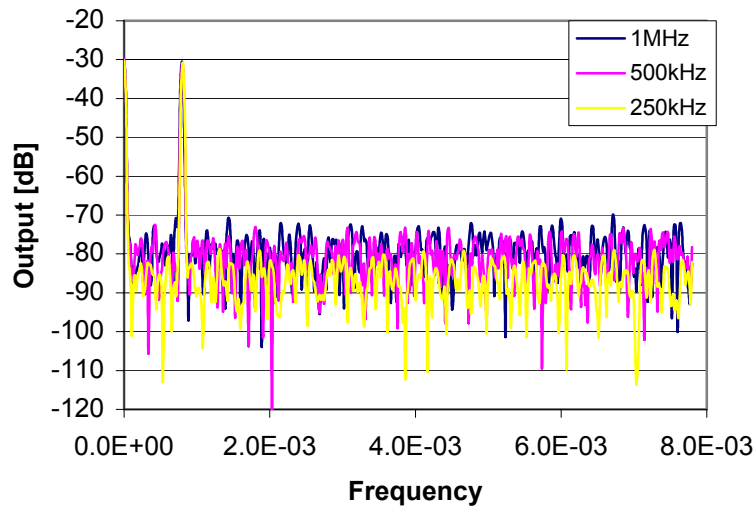


Figura 10. Espectro del modulador $\Delta-\Sigma$ con diferentes frecuencias de muestreo

En la gráfica, la frecuencia está escalada a la frecuencia de muestreo. Se observa que la señal de entrada tiene en todos los casos la misma frecuencia relativa ($8 \cdot 10^{-4}$). Las señales de salida han sido convolucionadas con una ventana de Blackman-Harris de cuarto orden, para reducir el efecto de los lóbulos laterales. El valor del suelo de ruido se muestra en la tabla.

| <i>Frecuencia de Muestreo</i> | <i>Suelo de ruido</i> |
|-------------------------------|-----------------------|
| 1MHz | -78dB |
| 500kHz | -79dB |
| 250kHz | -85dB |

Tabla 2. Resolución del modulador $\Delta-\Sigma$ con diferentes frecuencias de muestreo para una polarización de $\pm 2,5V$

Se puede ver que el suelo de ruido depende de la frecuencia de muestreo. Este efecto se puede deber a dos motivos, las interferencias entre las pistas analógicas y digitales, que crecen con la frecuencia, y el efecto de las capacidades parásitas que pueden reducir las prestaciones de los integradores.

Ambos efectos tienen comportamientos antagónicos cuando se cambia la tensión de polarización. Las interferencias se incrementan cuando aumenta la tensión de polarización, ya que las señales digitales tienen una amplitud superior. Por lo tanto una disminución en la tensión de polarización conlleva una reducción del ruido debido a interferencias.

En cambio, el efecto de las capacidades parásitas es inversamente proporcional a la tensión de polarización. La razón se debe a que la corriente que dejan pasar los transistores MOS depende de la diferencia respecto a la tensión de disparo, la cual es constante. Por lo tanto una reducción de la tensión de polarización implica una reducción mayor de la corriente que dejan pasar los transistores, y por lo tanto, será mayor el efecto de los parásitos.

Por este motivo, se realiza el mismo test con una tensión de polarización de $\pm 1,65V$, los resultados se muestran en la tabla.

| <i>Frecuencia de Muestreo</i> | <i>Suelo de ruido</i> |
|-------------------------------|-----------------------|
| 500kHz | -69dB |
| 250kHz | -74dB |

Tabla 3. Resolución del modulador $\Delta-\Sigma$ con diferentes frecuencias de muestreo para una polarización de $\pm 1,65V$

Se observa el mismo comportamiento que en el caso anterior. Sin embargo, el suelo de ruido se ha visto aumentado (teniendo en cuenta la diferencia de 3,6dB debida a la diferencia de polarización). Esto significa que algunos de los dispositivos diseñados no son capaces de dar la corriente necesaria para conseguir cargar las capacidades parásitas.

Todos los circuitos diseñados a nivel de máscara se han simulado, y en general, las características en corriente obtenidas en el test han sido siempre superiores a las indicadas en la simulación. Por lo tanto, es de suponer que alguno de los circuitos digitales se ha escogido con un fan-out inferior al que se necesitaba, debido a las capacidades parásitas.

VI.4.2 Estudio de las interferencias externas

El siguiente efecto estudiado es el de la variación del suelo de ruido debido a las interferencias externas. Durante las medidas, se comprobó que el suelo de ruido obtenido dependía de forma acusada del momento en que se realizaban las medidas pudiendo llegar a haber variaciones de hasta 6dB. Tal y como se muestra en la Figura 11.

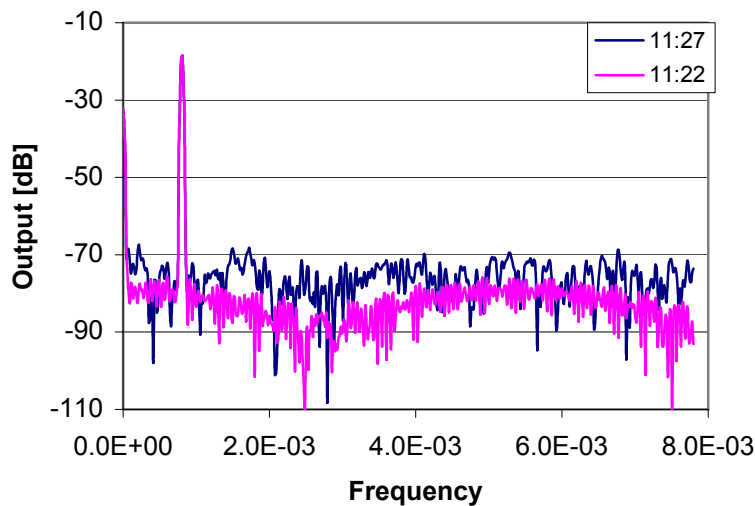


Figura 11. Espectro del modulador $\Delta-\Sigma$ en diferentes momentos de medida para una polarización de $\pm 1,65V$

En este caso las dos medidas se realizaron con una diferencia de 5 minutos, y el suelo de ruido se ve incrementado 6dB. Teniendo en cuenta que el suelo de ruido autoinducido por el propio circuito se puede considerar independiente de la hora en que se realiza la medida, el único motivo por el que puede haber esta variación es debido a interferencias externas (motores, luminarias, antenas parásitas...).

Para evitarlo se realizó un protocolo de medidas. Para cada punto de la gráfica, se realizaron tres consecutivas con una separación de tres minutos. De cada serie, se considera válida aquella en la que el suelo de ruido era más bajo, ya que las únicas variaciones posibles eran las de la señal de entrada, y las interferencias externas. En la tabla se muestra el número de veces en que una determinada medida dentro de las 16 series ha sido válida.

| <i>Número de muestra</i> | <i>Validas</i> |
|--------------------------|----------------|
| Primera | 2 |
| Segunda | 8 |
| Tercera | 6 |

Tabla 4. Número de muestras validas dependiendo del instante de muestreo

Se observa que el número de veces en que la primera medida era la válida es muy pequeño (2). Esto se debe a que al modificar el valor de la señal de entrada, se precisa de un tiempo hasta que todo el sistema vuelve a estar en el estado estacionario. Esto se corrobora al comprobar que en los otros casos, el número de validos es muy próximo. Por lo que el único motivo que puede haber para dicha variación en el suelo de ruido son las interferencias externas.

VI.4.3 Estudio del sobremuestreo

Tal y como se ha explicado en la Introducción, la resolución de un modulador depende del factor de sobremuestreo. Por este motivo se ha calculado la variación de la resolución dependiendo de la frecuencia de sobremuestreo. El resultado se muestra en la Figura 12.

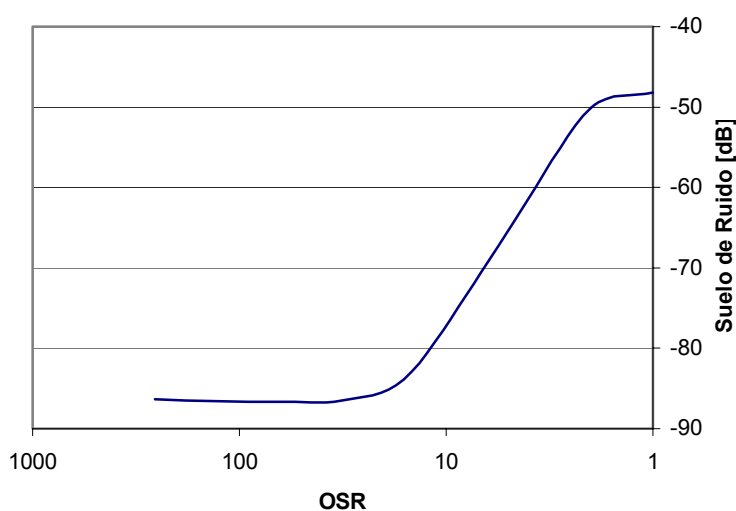


Figura 12. Dependencia del suelo de ruido respecto del factor de sobremuestreo

Se observa que el suelo de ruido no depende del factor de sobremuestreo cuando este es superior a 32. Este efecto se cumple en todas las medidas realizadas. La resolución obtenida es superior a 14bits, y permite un ancho de banda de 15kHz.

VI.4.4 Estudio del SNDR

Por último se han realizado medidas con el modulador trabajando a 250kHz. A partir de ellas se ha obtenido el SNDR del modulador, tal y como se muestra en la Figura 13.

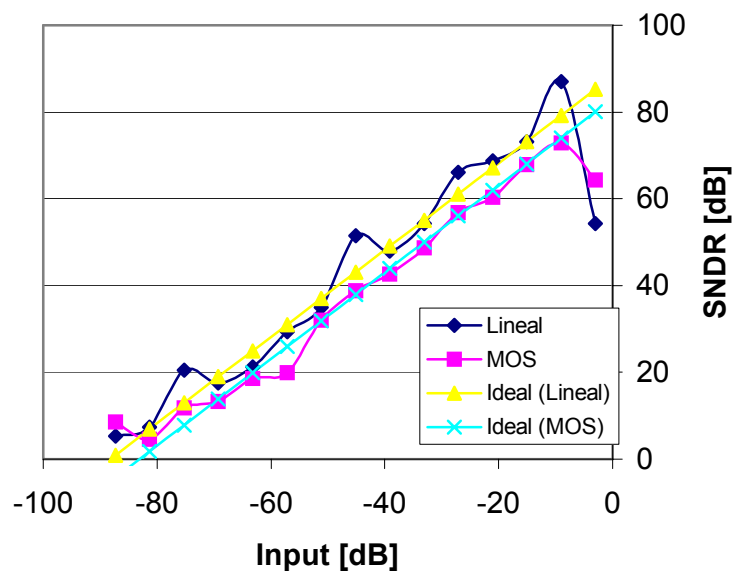


Figura 13. SNDR del modulador Δ - Σ a 250kHz

La señal de entrada tiene 200Hz y el factor de sobremuestreo es de 32. Las gráficas muestran la salida tanto para el modulador lineal, como para el MOS.

Se observa que los resultados son similares para ambos moduladores, aunque existe una pequeña diferencia debida al escalado que introduce las diferencias entre la capacidad lineal de entrada y la capacidad MOS de referencia ($\sim 3\text{dB}$)^[Gom99].

La resolución obtenida es de 14bits, cuando la polarización es de $\pm 2,5\text{V}$. Esta es superior a la que se esperaba poder medir con el generador de señales

que se utiliza. Sin embargo, al incorporar filtros analógicos a la salida, aumenta la resolución de la señal de salida del generador.

La resolución para una polarización de $\pm 1,65\text{V}$ es muy inferior a la que cabría esperar teniendo en cuenta nada más la diferencia debida al escalado de la señal de referencia (3,6dB), y suponiendo un suelo de ruido absoluto igual para ambos moduladores. La resolución que se obtiene está alrededor de los 11bits. En este caso se aprecia de forma más significativa el efecto del escalado entre las dos capacidades.

Estas resoluciones deben considerarse valores mínimos. La razón se debe a que no ha sido posible realizar el test del modulador con un generador de señales de resolución suficiente. Los resultados se resumen en la Tabla 5.

| <i>Modulador</i> | <i>Polarización</i> | <i>Resolución</i> |
|------------------|--------------------------------------|-------------------|
| Lineal | $\pm 2,5\text{V}$ | >14bits |
| | $\pm 1,65\text{V}$ | >11bits |
| MOS | $\pm 2,5\text{V}$ | >14bits |
| | $\pm 1,65\text{V}$ | >10,5bits |

Tabla 5. Resumen de las características de los moduladores Δ - Σ

Una vez caracterizado el modulador en modo test, pasamos a la caracterización del sistema completo sensor-modulador.

VI.5 Sistema Sensor-Modulador

Para realizar el test del sistema sensor-modulador se ha utilizado el acelerómetro en el eje x-y, ya que por problemas de encapsulado, no fue posible hacer uso del acelerómetro en el eje z.

Para realizar la caracterización del sistema se ha realizado un nuevo encapsulado. El motivo principal es minimizar los componentes parásitos que pudieran aparecer en el circuito, manteniendo la misma placa de test. El dispositivo final se muestra en la fotografía de la Figura 14.

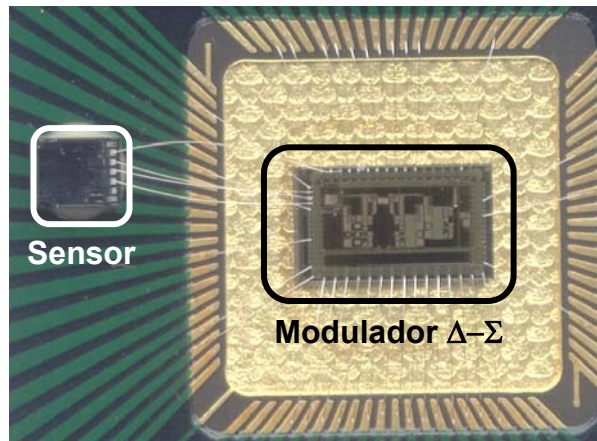


Figura 14. Fotografía del sistema sensor-modulador

Con el conjunto sensor-modulador, se ha realizado una única medida del comportamiento del sistema frente a un impulso de aceleración. Para generarlo, se paro el reloj cuando el sensor tenía uno de los electrodos a la tensión de referencia (V_{ref}). Pasado un instante, se puso en marcha de nuevo el sensor. Con ello se emula una aceleración equivalente a la que genera V_{ref} . El resultado obtenido se muestra en la Figura 15.

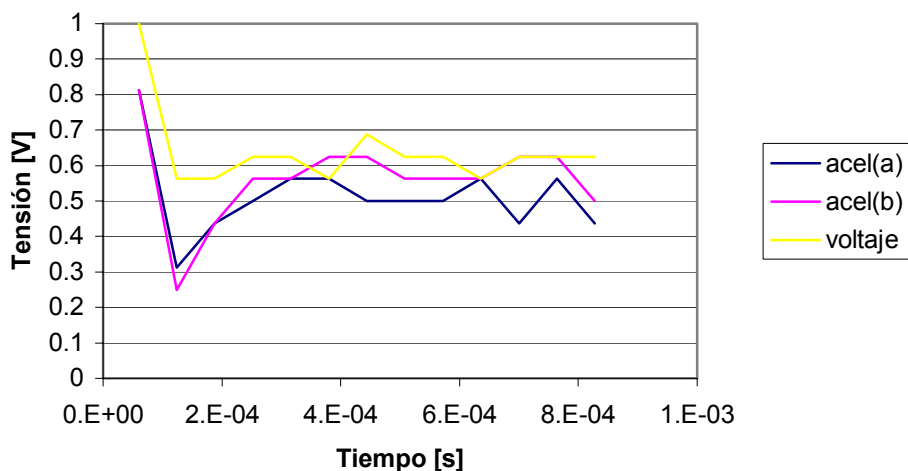


Figura 15. Evolución del sistema frente a un impulso unidad

La gráfica tiene poco nivel de detalle. El motivo es que el proceso dura apenas $400\mu s$, y la frecuencia de muestreo es de $4\mu s$. Por este motivo, se ha utilizado un factor de sobremuestreo pequeño (16), que permite tener 6 puntos del proceso.

En ella se muestra la salida, frente a un impulso de $2,5V$. La polarización es $\pm 2,5V$. Se observa la misma prueba en tres casos diferentes. En el primero

el modulador trabaja en modo test (voltaje), donde se observa que se alcanza rápidamente la estabilidad. En el segundo y tercero (acel(a) y acel(b)), el modulador trabaja en modo balance de fuerzas. Se observa que se introduce un sobrepico y posteriormente se estabiliza alrededor de 0,5.

Al parar el reloj del modulador, se cargan las capacidades de los integradores a la tensión de polarización. Esta carga se debe a la corriente de fugas de los conmutadores. Por este motivo, cuando se pone en marcha de nuevo el modulador, se produce un pico, para descargar las capacidades.

Una vez descargadas, el modulador actúa como un amplificador de carga, ya que la constante de realimentación no es suficientemente alta como para modificar las constantes de tiempo del acelerómetro, tal como se vio en el capítulo III. Este es el motivo de la exponencial que se observa a partir del segundo punto.

Una vez el acelerómetro alcanza la posición de equilibrio, el sistema pasa a funcionar en modo balance de fuerzas. Sin embargo, este no se puede apreciar en la Figura 15, ya que en este caso, no se ha aplicado ninguna aceleración.

VI.5.1 Conclusiones

Se ha conseguido demostrar la viabilidad de la implementación de un modulador $\Delta-\Sigma$ en tecnología digital basado en capacidades MOS. La resolución del modulador es superior a 14bits.

Se ha verificado el comportamiento del modulador en los modos balance de fuerzas y balance de cargas con capacidades discretas, validando el diseño realizado.

Por último se han encapsulado un modulador $\Delta-\Sigma$ y un acelerómetro juntos. Se ha realizado un test de comportamiento frente a un impulso unidad. El resultado ha sido el esperado.

VI.6 Referencias

- [Gom99] J.M. Gomez-Cama, S.A. Bota, E. Montané, J. Samitier, "A MOSFET-Only second order Delta-Sigma Modulator for capacitive sensor interfaces", ICECS'99, pp. 1689-1692, 1999.
- [Tem98] G.Temes, "High-Linearity Switched-Capacitor Circuits Using MOSFET Gate-Channel Capacitors", Plenary Session notes DCIS'98, 1998.
- [Bos88] B.E. Boser, K.P. Karmann, H. Martin, B. A. Wooley, "Simulating and Testing Oversampled Analog-to-Digital Converters", IEEE Transactions on Computer-Aided Design, Vol. 7, No. 6, June 1988.
- [Gom99] J.M. Gomez-Cama, E. Montané, S.A. Bota, E. Montané, J. Samitier, "A 0.7 μ m MOSFET-Only second order Delta-Sigma Modulator for capacitive sensor interfaces", DCIS'99, pp. 715-720, 1999.